

# THÈSE

présentée  
pour obtenir le titre de

DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE TOULOUSE

Ecole Doctorale : **G**énie **E**lectrique, **E**lectronique et **T**élécommunications

Spécialité : Conception des **C**ircuits **M**icroélectroniques et **M**icrosystèmes

par

**Denis STANDAROVSKI**

Ingénieur de l'École Nationale Supérieure d'Électrotechnique, d'Électronique, d'Informatique  
et des Télécommunications

DEA Conception des Circuits Micro-Électroniques et Micro-Systèmes de l'INPT

---

## Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre

soutenue le 19 décembre 2005 devant le jury composé de :

M. Marc	LESCURE	Directeur de Thèse
M. Pascal	NOUET	Rapporteur
M. Philippe	BENECH	Rapporteur
M. Jean-Yves	SEYLER	Membre
M. Vincent	LÈBRE	Membre
M. Pierre	MAGNAN	Membre

Thèse préparée au Laboratoire d'Électronique de l'ENSEEIH

E.A. 829 du MNRT



# Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre

## Mots Clefs

- 
- Circuits intégrés analogiques (ASICs)
  - Technologie CMOS basse-tension
  - Commutateur analogique
  - Chaîne vidéo
  - Échantillonneur-Bloqueur
  - Rail-to-Rail
  - Environnement Spatial
  - Durcissement aux radiations
- 

## Résumé

Le présent mémoire de thèse s'inscrit dans la problématique d'intégration de chaînes pour traitement du signal vidéo issu d'un capteur CCD dédiées aux instruments d'observation de la Terre. La solution présentée à travers cette étude consiste à concevoir des circuits intégrés spécifiques (ASIC) analogiques avec des technologies CMOS sub-microniques basse-tension, principalement développées pour les circuits numériques complexes.

Dans une première partie, nous présentons le contexte de l'étude en abordant l'environnement spatial et ses rayonnements inhérents. Nous précisons ensuite l'architecture des chaînes vidéo des instruments d'observation de la Terre mis en œuvre dans les différents satellites issus de la famille SPOT développés par le CNES.

Une étude approfondie est ensuite consacrée au circuit échantillonneur-bloqueur (E/B) car cette fonction est limitante des performances des chaînes de traitement analogique du signal vidéo CCD. La réponse transitoire du commutateur analogique dans les circuits d'échantillonnage est à l'origine d'une erreur prédominante qui introduit une non-linéarité dans la caractéristique de transfert de la chaîne vidéo en raison des phénomènes d'injection de charges lors des commutations. Nous démontrons que cette erreur est minimisée par le choix de certaines architectures d'E/B rapides et symétriques utilisant l'effet Miller.

Nous mettons en évidence la limitation dynamique des structures en boucle fermée (marge de phase réduite) et nous proposons une structure intéressante en termes de performances et pouvant répondre aux besoins d'une instrumentation rapide et précise.

Les résolutions visées pour notre instrumentation (12-bits, 10-20Mchs/s) nous amènent alors à maximiser la dynamique des signaux utiles, ce qui nous conduit à la conception de circuits rail-to-rail en entrée et sortie. Pour concevoir ces circuits, nous analysons les cellules élémentaires CMOS basse-tension (3.3V), telles que les miroirs de courants à grande excursion, les circuits cascodes améliorés, les sources communes classe AB ainsi que les dispositifs de contrôle de mode commun. A partir des caractéristiques de ces cellules, nous proposons une méthodologie pour le calcul analytique des transferts en boucle ouverte d'amplificateurs opérationnels large bande et de circuits transconductance.

De ces études, nous démontrerons la faisabilité de la chaîne vidéo à travers la réalisation de deux ASICs analogiques. Un premier démonstrateur en technologie CMOS 0.6 $\mu$ m intègre un amplificateur opérationnel symétrique large-bande rail-to-rail ainsi qu'un circuit E/B asymétrique. Une contribution aux besoins d'une instrumentation spatiale rapide, précise et totalement différentielle est développée dans une technologie BiCMOS 0.35 $\mu$ m à travers un circuit E/B symétrique et son étage d'entrée en prenant en compte les méthodes de durcissement aux radiations par layout.

# Contribution to low-voltage CMOS analogue integrated circuit conception dedicated to next generation of Earth observation spatial instruments

## Keywords

---

- Analogue integrated circuits
  - Low-voltage CMOS technology
  - Video Analogue Front-End circuit
  - Track-and-hold circuits
  - Rail-to-Rail
  - Spatial Environment
  - Radiations Hardening
- 

## Abstract

This report describes an interesting solution from the integration issue of a CCD signal processor dedicated to next Earth observatory instrumentation. This one uses specific analogue integrated circuits (ASICs) implemented on standard technology. The challenge will be so to use technologies easily available that can be seen currently in low-voltage CMOS technology, first developed for complex digital circuit integrations.

The study context is firstly described by focusing on the spatial environment and its radiations. The structure of the CCD signal processor dedicated to Earth observation is clarified and supported by the SPOT CNES program and its different satellites characteristics.

Next, the track-and-hold amplifier (THA) is studied due to its limiting characteristics on the requirements of the CCD signal processor circuit. The transient behaviour of analog switches is seen to be the origin of the dominant error on sample circuits. Due to charge injection during transition mode, a non-linearity is introduced on the video chain transfer function. How to minimize this error is demonstrated by choosing interesting fast and accurate THA structures using the Miller effect.

Dynamic limitation introduced by closed-loop THA architecture (with reduced phase margin) is focused on. To meet fast and accurate instrumentation needs, a very interesting THA structure is developed.

Regards to expected instrumentation resolution (12bits, 10-20 Msamples/s), signals dynamic range has to be maximised. Large excursion current mirrors, high-swing cascode circuits, class AB common sources and common-mode feedback circuits are then necessary.

Finally, analogue circuit's feasibility will be demonstrated by two ASIC realizations. A wideband rail-to-rail operational amplifier and an asymmetric THA are implemented on a CMOS 0.6 $\mu$ m technology. Our contribution to fast and precise spatial instrumentation needs is to integrate a full-differential THA with its input stage using BiCMOS 0.35 $\mu$ m technology and radiations hardening techniques by layout.

# Glossaire

## Circuit E/B

E/B	Echantillonneur/Bloqueur
S/B	Suiveur/Bloqueur
$T_{\text{SAMPLE}}$	Période du signal de commande d'échantillonnage.
$T_{\text{HOLD}}$	Durée de temps en mode de maintien.
$T_{\text{ECH}}$	Durée de temps en mode d'acquisition.
$T_i$	Temps d'intégration pour un pixel.
$C_H$	Capacité de stockage du circuit E/B.
$C_L$	Capacité de charge du circuit E/B
$\tau_{\text{ech}}$	Constante de temps dominante du circuit E/B en mode échantillonnage.
$t_{\text{ac}}$	Temps d'acquisition en mode échantillonnage pour obtenir la précision relative au codeur N bits.
$t_{\text{ac\_mini}}$	Temps d'acquisition minimal nécessaire en mode échantillonnage pour être dans la bande précision allouée relative au codeur N bits.
$t_f$	Temps de basculement de l'horloge de commande.
$t_{\text{ap}}$	Temps d'ouverture du commutateur analogique
$t_{\text{st}}$	Temps d'établissement en mode de maintien.
$t_{\text{holdeff}}$	Temps de maintien effectif (après établissement).
N	Nombre de bits de résolution du codeur Analogique/Numérique.
$\eta_{\text{ech}}$	Coefficient d'erreur de précision en mode échantillonnage exprimé en LSB.
$\epsilon_{\text{ech}}$	Erreur allouée au circuit E/B en mode échantillonnage exprimée en Volts.
$\phi_H$	Potentiel haut de l'horloge de commande.
$\phi_L$	Potentiel bas de l'horloge de commande.
$V_{\text{IN}}$	Valeur de l'amplitude du signal d'entrée.
$V_{\text{IN\_max}}$	Valeur maximale admissible de l'amplitude du signal d'entrée.
$V_{\text{OUT}}$	Valeur de l'amplitude du signal de sortie.
$r_{\text{ON}}$	Résistance équivalente du commutateur analogique dans son régime de conduction.
$\alpha_{\text{inj\_CH}}$	Rapport de charges accumulées dans le canal injectées sur l'armature haute de la capacité de stockage.
$Q_{\text{inj\_CH}}$	Quantité de charges accumulées dans le canal injectée sur l'armature haute de la capacité de stockage.
$\epsilon_{\text{canal}}$	Erreur de gain générée par l'injection des charges accumulées dans le canal.
$\epsilon_{\text{transition}}$	Erreur de gain totale générée lors du basculement de l'horloge de commande.
$V_{\text{offtransition}}$	Tension de décalage totale introduite lors du basculement de l'horloge de commande.
$V_{\text{offcanal}}$	Tension de décalage introduite par l'injection des charges accumulées dans le canal.
$\Delta V_{\text{CH}}^{(\text{canal})}$	Erreur de tension générée par l'injection des charges accumulées dans le canal.
$\Delta V_{\text{CH}}^{(\text{clock})}$	Erreur de tension générée par le pont capacitif parasite lors du basculement de l'horloge de commande.
$\Delta V_{\text{CH}}^{(\text{transition})}$	Erreur de tension totale générée lors du basculement de l'horloge de commande.
$\Delta V_{\text{CH}}^{(\text{ouverture})}$	Erreur de tension générée par le temps d'ouverture fini de l'horloge de commande.
$\Delta V_{\text{CH}}^{(\text{fuite})}$	Fonction temporelle représentant l'erreur de tension générée par les courants de fuite aux bornes de la capacité de stockage en mode de maintien.
$I_{\text{fuite}}$	Somme des courants de fuite en mode de maintien.

## Transistor MOS

K	Paramètre transconductance $K = \mu C_{\text{ox}}$ .
	$K_N$ : Pour les transistors canal N.
	$K_P$ : Pour les transistors canal P.

$\mu_0$	Mobilité nominale des porteurs.
$\mu$	Mobilité des porteurs.
$n$	Pente de la caractéristique $I_D$ ( $V_{GS}$ ) en régime de faible inversion.
$q$	Charge de l'électron.
$\phi_p$	Potentiel de surface.
$N_{fs}$	Densité d'états de surface.
$V_{FB}$	Tension de bande-plate (« flat-band »).
$T$	Température du composant.
$u_T$	Tension thermique $u_T=k_B T/q$ .
$k_B$	Constante de Boltzmann.
$W/L$	Rapport de la largeur $W$ et de la longueur $L$ du canal du transistor MOS.
$W$	Largeur du canal du transistor MOS.
$W_{eff}$	Largeur du canal du transistor MOS tenant compte de la largeur $W_{int}$ .
$L$	Longueur du canal du transistor MOS.
$L_{eff}$	Longueur du canal du transistor MOS tenant compte de la longueur $L_D$ .
$L_D$	Longueur latérale sous la grille des îlots de diffusions source et drain $L_D=L_{int}$ .
$L_{int}$	Longueur de recouvrement entre grille et îlots de diffusion.
$r_{ON}$	Résistance à l'état passant en zone ohmique du transistor MOS.
$g_m$	Transconductance petit signal de la grille du transistor MOS.
$g_{DS}$	Conductance petit signal drain-source du transistor MOS.
$g_{mb}$	Transconductance petit signal du substrat du transistor MOS.
$V_{th}$	Tension de seuil du transistor MOS.
$V_{th0}$	Tension de seuil du transistor MOS sans effet substrat.
$V_{GS}$	Tension statique grille-source.
$v_{GS}$	Tension dynamique petit signal grille-source.
$V_{DS}$	Tension statique drain-source.
$v_{DS}$	Tension dynamique petit signal drain-source.
$V_{BS}$	Tension statique bulk-source.
$v_{BS}$	Tension dynamique petit signal bulk-source.
$V_{DSsat}$	Tension de saturation statique au delà de laquelle le MOS est en zone saturée.
$\lambda$	Paramètre représentatif de la modulation de la longueur du canal.
$V_A$	Tension du MOS $V_A=1/\lambda$ .
$I_D$	Courant drain quasi-statique du transistor MOS.
$i_D$	Courant drain dynamique petit signal du transistor MOS.
$I_G$	Courant de grille quasi-statique du transistor MOS.
$Q_{canal}$	Quantité de charges accumulées dans le canal en régime de conduction.
$C_{OV}$	Capacité de recouvrement grille/drain(ou source)
$C_{OVs}$	Capacité de recouvrement grille/source
$C_{OVd}$	Capacité de recouvrement grille/drain
$C_{canal}$	Capacité grille/canal
$C_{ox}$	Capacité de l'oxyde de grille par unité de surface.
$C_{oxOV}$	Capacité de l'oxyde de recouvrement par unité de surface.
$C_{GD}$	Capacité grille-drain du transistor MOS.
$C_{GS}$	Capacité grille-source du transistor MOS.
$C_{GB}$	Capacité grille-substrat du transistor MOS.
$C_{DB}$	Capacité drain-substrat du transistor MOS.
$C_{SB}$	Capacité source-substrat du transistor MOS.
$C_{DS}$	Capacité drain-source du transistor MOS.

## Fonctions analogiques

$V_{DD}$	Tension d'alimentation la plus positive.
$V_{SS}$	Tension d'alimentation la plus négative.
$V_{pp}$	Amplitude du signal crête à crête.
$v_s ; v_e$	Tensions dynamiques petit signal.



$v_s(t) ; v_e(t)$	Tensions alternatives $[v_e(t) = V_E + v_e \sin(2\pi f t + \varphi)]$ .
$f_s$	Fréquence de commutation des phases dans un circuit numérique.
$f_{CHf}$	Fréquence de coupure haute d'une filtre passe-bas du 1 <sup>er</sup> ordre.
$S_X$	Densité spectrale quadratique du signal $X$ .
$e_T$	Tension de bruit d'origine thermique.
$\tau$	Constante de temps localisée $\tau = RC$ .
$g_{out}$	Conductance de sortie.
$GBW$	Produit gain bande passante au 1 <sup>er</sup> ordre en boucle ouverte.
$(SNR)_{max}$	Dynamique maximale du signal utile alternatif disponible en sortie.
$G_i(p)$	Gain en tension intrinsèque.
$G_{i0}$	Gain en tension intrinsèque de plateau.
$G_{iBO}(p)$	Gain en tension intrinsèque en boucle ouverte.
$G_{i0BO}$	Gain en tension intrinsèque de plateau en boucle ouverte.
$A_d(p)$	Gain en tension différentiel.
$A_{d0}$	Gain en tension différentiel de plateau.
$V_{mc}$	Tension de mode commun statique d'un amplificateur différentiel.
$v_d$	Tension différentielle dynamique petit signal d'un amplificateur différentiel.



# Table des Matières

<b>INTRODUCTION GENERALE.....</b>	<b>1</b>
<b>L'ENVIRONNEMENT SPATIAL ET LES CHAINES VIDEO .....</b>	<b>5</b>
<b>1. L'ENVIRONNEMENT SPATIAL.....</b>	<b>5</b>
1.1 Les Sources et Types de Radiations.....	7
1.2 Effets des radiations sur les électroniques embarquées .....	13
<b>2. LES INSTRUMENTS D'OBSERVATION DE LA TERRE ET LE PROGRAMME SPOT.....</b>	<b>16</b>
2.1 Les instruments d'observation de la Terre.....	16
2.2 Le programme SPOT .....	17
<b>3. PRINCIPE D'UNE CHAINE VIDEO FONCTIONNELLE DE TRAITEMENT VIDEO CCD.....</b>	<b>21</b>
3.1 Contexte.....	21
3.2 Architecture.....	22
3.3 Les Détecteurs CCD (Charge Coupled Device) .....	23
3.4 Le Traitement Analogique.....	29
3.5 Considérations sur les performances des chaînes vidéos.....	31
3.6 Les Chaînes Vidéos Monolithiques Commerciales.....	32
<b>CONCLUSION .....</b>	<b>34</b>
<b>LA CONCEPTION DE CIRCUITS INTEGRES ANALOGIQUES EN TECHNOLOGIE CMOS BASSE TENSION .....</b>	<b>35</b>
<b>1. L'EVOLUTION TECHNOLOGIQUE .....</b>	<b>36</b>
1.1 Le besoin .....	36
1.2 L'évolution de la technologie CMOS .....	36
1.3 Contraintes .....	38
<b>2. LA CONCEPTION DE CIRCUITS INTEGRES ANALOGIQUES BASSE-TENSION .....</b>	<b>39</b>
2.1 Justification de la conception basse-tension .....	39
2.2 Impact de la réduction de la tension d'alimentation.....	41
<b>3. CARACTÉRISTIQUES ÉLECTRIQUES DU TRANSISTOR MOS.....</b>	<b>44</b>
3.1 Structure du transistor MOS.....	45
3.2 Le régime statique.....	46
3.3 Le régime dynamique.....	47
3.4 Caractéristiques du transistor MOS et comparaison avec le transistor bipolaire.....	50
<b>4. LE CHOIX TECHNOLOGIQUE .....</b>	<b>52</b>
<b>CONCLUSION .....</b>	<b>54</b>
<b>LA CELLULE ECHANTILLONNEUR/BLOQUEUR : PRINCIPES ET LIMITATIONS .....</b>	<b>55</b>
<b>1. PARAMETRES CARACTERISTIQUES ET LIMITANTS DES CIRCUITS ECHANTILLONNEUR/BLOQUEUR .....</b>	<b>55</b>
1.1 Principe de fonctionnement.....	55
1.2 Paramètres caractéristiques et limitants des circuits E/B .....	56
<b>2. LE COMMUTATEUR ANALOGIQUE ET LA COMPENSATION DU PHENOMENE D'INJECTIONS DE CHARGE .....</b>	<b>68</b>
2.1 Compensation par Porte de Transmission.....	68
2.2 Compensation par Transistors « Fantômes ».....	70
2.3 Compensation par Structure Différentielle.....	72
2.4 Le commutateur analogique à basculement constant.....	73
<b>3. DYNAMIQUE MAXIMALE DU CIRCUIT S/B DE PRINCIPE.....</b>	<b>75</b>
3.1 Plage de dynamique maximale.....	75
3.2 Plage de dynamique maximale en considérant la participation du circuit S/B de principe.....	77
<b>4. ETUDE DYNAMIQUE DU CIRCUIT S/B DE PRINCIPE EN MODE ECHANTILLONNAGE .....</b>	<b>79</b>
4.1 Circuit de principe S/B.....	79
4.2 Contribution des buffers d'entrée et de sortie.....	80
4.3 Temps d'acquisition .....	83

4.4 Courant de charge .....	86
4.5 Précision et résolution .....	86
<b>CONCLUSION .....</b>	<b>90</b>
<b>ETUDE DE DIFFERENTES ARCHITECTURES D'E/BS POUR CHAINE VIDEO 93</b>	
<b>1. ANALYSE QUALITATIVE DES ARCHITECTURES DE CIRCUITS D'ECHANTILLONNAGE .....</b>	<b>94</b>
1.1 Méthodes d'Echantillonnage .....	94
1.2 Architectures Suiveur-Bloqueur (S/B) .....	96
1.3 Architectures Echantillonneur-Bloqueur (E/B).....	101
1.4 Tableau récapitulatif des architectures.....	103
<b>2. ANALYSE DE CIRCUITS S/B REBOUCLES.....</b>	<b>106</b>
2.1 Circuit S/B en boucle fermée à Intégrateur de Miller (Structure 3).....	106
2.2 Circuit S/B Inverseur en boucle fermée à Intégrateur de Miller (Structure 4) .....	111
<b>3. ETUDE DU CIRCUIT S/B A DOUBLE CAPACITE COMPENSE PAR EFFET MILLER (STRUCTURE 5) .....</b>	<b>122</b>
3.1 Avantages .....	122
3.2 Comportement du circuit en mode d'échantillonnage .....	123
<b>4. COMPARATIF PERFORMANCES/ARCHITECTURES.....</b>	<b>128</b>
<b>CONCLUSION .....</b>	<b>132</b>
<b>CELLULES ANALOGIQUES EN TECHNOLOGIE CMOS BASSE TENSION..... 133</b>	
<b>1. LES MIROIRS DE COURANT EN BASSE TENSION .....</b>	<b>133</b>
1.1 Le miroir de courant simple.....	134
1.2 Le miroir de courant Wilson.....	136
1.3 Les miroirs de courant cascode .....	138
1.4 Comparaison.....	143
<b>2. LES AMPLIFICATEURS OPERATIONNELS ASYMETRIQUES CMOS BASSE TENSION RAIL-TO-RAIL .....</b>	<b>146</b>
2.1 Les étages d'entrée.....	146
2.2 Les étages de sortie.....	152
<b>3. LES CIRCUITS DE CONTROLE DE MODE COMMUN (CMFB) DANS LES AOP SYMETRIQUES CMOS BASSE-TENSION.....</b>	<b>156</b>
3.1 Principe.....	157
<b>CONCLUSION .....</b>	<b>161</b>
<b>CONCEPTION ET VALIDATION D'UN E/B .....</b>	
<b>EN TECHNOLOGIE CMOS 0.6<math>\mu</math>M..... 163</b>	
<b>1. DIMENSIONNEMENT SYSTÈME DU CIRCUIT S/B INVERSEUR EN BOUCLE FERMEE A INTEGRATEUR DE MILLER (STRUCTURE 4) .....</b>	<b>164</b>
1.1 Dimensionnement au premier ordre des éléments passifs .....	165
1.2 Dimensionnement des caractéristiques au premier ordre de l'amplificateur $A_2$ .....	165
<b>2. CONCEPTION D'UN AMPLIFICATEUR OPERATIONNEL ASYMETRIQUE RAIL-TO-RAIL BASSE-TENSION .....</b>	<b>166</b>
2.1 Etude du premier étage.....	167
2.2 Etude de l'étage de sortie .....	172
2.3 Etude de l'amplificateur complet .....	172
2.4 Implémentation et résultats.....	176
<b>3. INTEGRATION DU CIRCUIT S/B INVERSEUR EN BOUCLE FERMEE A INTEGRATEUR DE MILLER (STRUCTURE 4).....</b>	<b>179</b>
3.1 Implémentation .....	179
3.2 Résultats.....	183
3.3 Caractéristiques du démonstrateur.....	189
<b>CONCLUSION .....</b>	<b>190</b>
<b>APPLICATION AUX FUTURS INSTRUMENTS D'OBSERVATION DE LA TERRE .....</b>	
<b>..... 193</b>	
<b>1. REPERES TECHNOLOGIQUES LIES A L'ENVIRONNEMENT SPATIAL.....</b>	<b>193</b>
1.1 Des technologies cibles sous environnement radiatif.....	194
1.2 Méthodes de durcissement des circuits aux radiations.....	194
<b>2. DEMONSTRATEUR DURCI EN TECHNOLOGIE ST BiCMOS 0.35<math>\mu</math>M.....</b>	<b>199</b>
2.1 L'architecture du circuit S/B (structure 5) .....	199
2.2 Dimensionnement au premier ordre du circuit différentiel S/B.....	200
2.3 Le buffer d'entrée symétrique rail-to-rail large bande .....	201

2.4	L'amplificateur opérationnel symétrique du circuit S/B.....	216
2.5	Les commutateurs analogiques.....	219
2.6	Le circuit de contrôle des phases de commande.....	220
<b>3.</b>	<b>IMPLEMENTATION ET CARACTERISTIQUES DU CIRCUIT S/B.....</b>	<b>221</b>
3.1	Implémentation .....	221
3.2	Résultats.....	222
<b>4.</b>	<b>INTEGRATION DE L'ASIC.....</b>	<b>229</b>
4.1	Synoptique des fonctions intégrées.....	229
4.2	Caractéristiques de l'ASIC.....	230
	<b>CONCLUSION .....</b>	<b>232</b>
	<b>CONCLUSION GENERALE .....</b>	<b>233</b>
	<b>RÉFÉRENCES .....</b>	<b>235</b>

---

---

---

# Table des Figures

## L'environnement spatial et les chaînes vidéos

Fig. 1.1 : Processus de création des gerbes de particules secondaires par le rayonnement cosmique .....	6
Fig. 1.2 : Contours isoflux des protons piégés (coordonnées L, $\square$ ) [Nasa,2005] .....	8
Fig. 1.3 : Contours isoflux des électrons piégés (coordonnées L, $\square$ ) [Nasa,2005] .....	9
Fig. 1.4 : Origines du vent solaire [McComas,1996] .....	9
Fig. 1.5 : Configuration du champ magnétique du Soleil.....	10
Fig. 1.6 : Eruption solaire observée au coronographe LASCO C2 du satellite SOHO (mars 2000) [Lasco,2000].....	11
Fig. 1.7 : Variation de l'intensité du rayonnement cosmique galactique observé au sol de 1959 à 2000, comparée à celle de l'indice des taches solaires (en pointillés) [ObsParis,2000].....	12
Fig. 1.8 : Représentation graphique de l'énergie moyenne communiquée $\Delta E$ dans un matériau.....	14
Fig. 1.9 : Interactions des particules et des photons avec la matière.....	16
Fig. 1.10 : Satellites de la famille SPOT (1986-2002).....	18
Fig. 1.11 : Orientation des miroirs d'entrée depuis le sol.....	18
Fig. 1.12 : Bandes spectrales d'observation de la famille SPOT .....	19
Fig. 1.13 : Acquisition du Centre Ville de Toulouse avec SPOT5 (pleine résolution) .....	20
Fig. 1.14 : Schéma synoptique représentatif d'une chaîne vidéo CCD typique.....	23
Fig. 1.15 : Première démonstration du détecteur CCD par Boyle et Smith en 1969.....	23
Fig. 1.16 : Structure Interne d'un détecteur CCD [CCD,2005].....	24
Fig. 1.17 : Représentation schématique du transfert des photocharges ligne à ligne .....	25
Fig. 1.18 : Transfert des photocharges dans le registre horizontal.....	25
Fig. 1.19 : Etage de sortie du détecteur CCD et forme équivalente du signal de sortie.....	26
Fig. 1.20 : Définition des paramètres d'un signal CCD.....	28
Fig. 1.21 : Définition des paramètres relatifs aux paliers d'un signal CCD.....	28
Fig. 1.22 : Principe du Double Echantillonnage Corrélé (DEC).....	30

## La conception de circuits intégrés analogiques en technologie CMOS basse tension

Fig. 2.1 : Graphique original de G.Moore sur le nombre de transistors intégrés pour une même fonction au cours du temps (1959-1965) .....	38
Fig. 2.2: Evolution actuelle de la loi de Moore (longueur de grille minimale comme référent) .....	38
Fig. 2.3: Evolution de la puissance dissipée au sein des microprocesseurs au cours du temps .....	38
Fig. 2.4: Evolution de la fréquence d'horloge des microprocesseurs au cours du temps .....	38
Fig. 2.5: Evolution de l'épaisseur grille-oxyde en fonction de la longueur de grille minimale des technologies CMOS existantes [Krishnamoorthy,1996] .....	40
Fig. 2.6: Evolution de la tension d'alimentation applicable en fonction de la longueur de grille minimale des technologies CMOS existantes [Krishnamoorthy,1996] .....	40
Fig. 2.7: Schéma de principe de charge d'une capacité pour évaluer la consommation moyenne sur l'alimentation.....	41
Fig. 2.8 : Vue en trois dimensions d'un transistor MOSFET à enrichissement à canal N (représentation des paramètres géométriques) .....	45
Fig. 2.9 : Vue en trois dimensions d'un transistor MOSFET à enrichissement à canal P (représentation des paramètres géométriques) .....	45
Fig. 2.10: Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en zone de saturation .....	48
Fig. 2.11: Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation .....	49
Fig. 2.12 : Gain en tension intrinsèque quasi statique $a_{v0}$ du transistor MOS source commune en fonction du courant drain $I_D$ pour différentes longueurs de canal avec un rapport $W/L = 10$ en technologie AMS0.35 $\mu$ m. [Josse,2003] .....	51

## La Cellule Echantillonneur/Bloqueur : Principes et Limitations

Fig. 3.1 : Circuit de principe E/B en technologie CMOS.....	56
Fig. 3.2 : Représentation graphique des signaux d'entrée et de sortie des circuits E/B .....	57
Fig. 3.3 : Modélisation du circuit équivalent simplifié de l'E/B en mode échantillonnage .....	58
Fig. 3.4 : Temps d'acquisition en mode échantillonnage .....	59
Fig. 3.5 : Constantes de temps $\tau_{ech}$ pire cas en fonction du temps d'acquisition disponible pour différentes résolutions de codeur (erreur allouée=1/2 LSB) .....	60
Fig. 3.6 : Modélisation du temps fini de basculement de l'horloge sur la grille du commutateur analogique .....	61
Fig. 3.7 : Schéma en coupe du transistor de commande.....	63
Fig. 3.8 : Modèle capacitif à deux distributions du transistor MOS .....	64
Fig. 3.9 : Implantation des transistors de commande par une porte de transmission.....	68
Fig. 3.10 : Utilisation d'un transistor « fantôme » complémentaire .....	70
Fig. 3.11 : Circuit alternatif d'utilisation d'un transistor « fantôme » complémentaire.....	71
Fig. 3.12 : Symétrisation du circuit E/B de base .....	72
Fig. 3.13: Conductance équivalente d'une porte de transmission en fonctionnement pour différentes valeurs de tension d'alimentation.....	74
Fig. 3.14: Architecture du circuit de commande à $v_{gs}$ constant [Abo,1999] .....	74
Fig. 3.15 : Dynamique maximale d'un circuit analogique de signal sinusoïde en entrée en fonction de la résolution du codeur .....	76
Fig. 3.16 : SNR du circuit S/B de principe échantillonné à la fréquence de Nyquist en fonction de la capacité de stockage $C_H$ pour différentes résolutions de codeur N .....	78
Fig. 3.17 : Résolution $N_{eff}$ en nombre de bits effectif d'une chaîne vidéo en fonction de la capacité de stockage $C_H$ du circuit S/B pour différentes résolutions de codeur N.....	79
Fig. 3.18 : Schéma petits signaux du circuit de principe S/B en mode échantillonnage.....	79
Fig. 3.19 : Schéma de principe du circuit S/B simple bufferisé.....	80
Fig. 3.20 : Schéma petit signal de l'amplificateur opérationnel en boucle ouverte .....	81
Fig. 3.21 : Schéma petit signal de l'amplificateur opérationnel rebouclé au gain unitaire.....	81
Fig. 3.22 : Schéma petits signaux du circuit de principe S/B bufférisé en mode échantillonnage .....	81
Fig. 3.23 : Résistance $r_{ON}$ équivalente maximale par pF en fonction du temps d'acquisition pour différentes résolutions de codeur (erreur allouée 1/2LSB) .....	84
Fig. 3.24 : Résistance $r_{ON}$ équivalente en fonction de la largeur de grille W pour un transistor NMOS en technologie AMS0.35 $\mu$ m et une longueur de grille L=0.35 $\mu$ m.....	84
Fig. 3.25 : Variation du temps d'acquisition en fonction du slew-rate imposé pour une constante de temps $\tau_{ech}$ de 1ns, une résolution de codeur de 12bits et une erreur allouée de 1/2LSB ( $\Delta V_{IN}=1V_{c\grave{a}c}$ ) .....	85
Fig. 3.26 : Intensité crête de courant minimum à fournir par l'étage suiveur par pF et slew-rate équivalent pour une constante de temps $\tau_{ech}$ de 1ns en fonction du temps d'acquisition désiré pour différentes résolutions de codeur et une erreur allouée de 1/2LSB ( $\Delta V_{IN}=1V_{c\grave{a}c}$ ) .....	86
Fig. 3.27 : Gain en tension différentiel en boucle ouverte $A_{d0}$ d'un amplificateur monté en suiveur nécessaire en fonction de la résolution du codeur pour différentes erreurs allouées en LSB.....	87
Fig. 3.28 : Surface $W_{eff}L_{eff}$ ( $\mu m^2/pF$ ) maximale du commutateur analogique en fonction de la résolution N du codeur pour un coefficient d'injection $\alpha_{inj\_CH}$ de 1/2, une erreur de 1/2 LSB et pour 3 technologies .....	88
Fig. 3.29 : Résistance $r_{ON}$ équivalente en fonction de la surface effective $W_{eff}L_{eff}$ ( $\mu m^2/pF$ ) pour un transistor NMOS en technologie AMS0.35 $\mu$ m et une longueur de grille L=0.35 $\mu$ m .....	89

## Etude de différentes Architectures d'E/Bs pour Chaîne Vidéo

Fig. 4.1 : Principe de la technique d'échantillonnage parallèle .....	95
Fig. 4.2 : Principe de la technique d'échantillonnage série.....	95
Fig. 4.3 : Schéma de principe du circuit S/B à injection de charges compensée .....	96
Fig. 4.4 : Schéma de principe du circuit S/B asymétrique en boucle fermée .....	97



Fig. 4.5 : Schéma de principe du circuit S/B à amplificateur commutable.....	98
Fig. 4.6 : Schéma de principe du circuit S/B asymétrique en boucle fermée à Intégrateur de Miller.....	99
Fig. 4.7 : Schéma de principe du circuit S/B inverseur asymétrique en boucle fermée à Intégrateur de Miller.....	100
Fig. 4.8 : Schéma de principe du circuit S/B à double capacité compensé par effet Miller.....	100
Fig. 4.9 : Fonctionnement en mode échantillonnage.....	101
Fig. 4.10 : Fonctionnement en mode de maintien.....	101
Fig. 4.11 : Schéma de principe du circuit E/B à capacité commutée.....	102
Fig. 4.12 : Schéma de principe du circuit E/B à capacité commutée et sortie intégratrice.....	103
Fig. 4.13 : Schéma petits signaux du circuit S/B asymétrique en boucle fermée en mode échantillonnage.....	107
Fig. 4.14 : Fonction de transfert en boucle ouverte et fermée du circuit.....	108
Fig. 4.15 : Participation des constantes de temps dominantes dans la fonction de transfert du circuit en boucle fermée.....	110
Fig. 4.16 : Schéma petits signaux du circuit S/B Inverseur en boucle fermée à Intégrateur de Miller en mode échantillonnage.....	111
Fig. 4.17 : Diagramme asymptotique de Bode $ G_i $ du circuit à partir d'une simulation comportementale Spice pour laquelle $R_1=R_2=1k\Omega$ , $C_H=1pF$ , $r_{ON}=0$ et où l'amplificateur est supposé idéal (gain infini et sans limitation fréquentielle).....	112
Fig. 4.18 : Diagramme asymptotique de Bode $ G_i $ du circuit à partir d'une simulation comportementale Spice pour laquelle $R_1=R_2=1k\Omega$ , $C_H=1pF$ , $r_{ON}=1k\Omega$ et où l'amplificateur est supposé idéal.....	114
Fig. 4.19 : Diagramme asymptotique de Bode $ G_i $ du circuit à partir d'une simulation comportementale Spice pour laquelle $R_1=R_2=1k\Omega$ , $C_H=1pF$ , $r_{ON}=1k\Omega$ , $A_{d0}=66dB$ .....	115
Fig. 4.20 : Diagramme asymptotique de Bode $ G_i $ du circuit à partir d'une simulation comportementale Spice pour laquelle $R_1=R_2=1k\Omega$ , $C_H=1pF$ , $r_{ON}=1k\Omega$ , $A_{d0}=66dB$ , $\tau_{GBWA}=0.8\mu s$ .....	116
Fig. 4.21 : Participation des constantes de temps de l'amplificateur opérationnel dans la fonction de transfert du circuit en boucle fermée.....	118
Fig. 4.22 : Fréquence propre minimale $f_n$ du filtre $F_2$ en fonction de la fréquence de coupure $f_1$ du circuit S/B et pour différentes valeurs du facteur d'amortissement $\xi$ du filtre $F_2$ pour $ G_{i0} =1$ .....	119
Fig. 4.23 : Fréquence propre minimale $f_n$ du filtre $F_2$ en fonction du facteur d'amortissement $\xi$ du filtre $F_2$ pour $ G_{i0} =1$ et $f_1=52MHz$ .....	120
Fig. 4.24 : Injection de charges dans la capacité $C_H$ au moment du basculement en mode de maintien... ..	120
Fig. 4.25 : Schéma du circuit S/B à double capacité compensé par effet Miller.....	122
Fig. 4.26 : Schéma du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage.....	123
Fig. 4.27 : Schéma petits signaux du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage.....	124
Fig. 4.28 : Schéma petits signaux du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage précédé de son étage suiveur.....	125
Fig. 4.29 : Injection de charges du commutateur analogique $S_2$ dans la capacité de stockage $C_{H1}$ .....	126
Fig. 4.30 : Injection de charges du commutateur analogique $S_1$ dans la capacité de stockage $C_{H1}$ au moment du basculement en mode de maintien.....	127
Fig. 4.31 : Caractéristiques Précision/Vitesse des circuits d'échantillonnage implémentés à travers la littérature.....	129

## Fonctions analogiques en technologie CMOS basse tension

Fig. 5.1 : Miroir de courant simple.....	134
Fig. 5.2 : Tension "d'Early" $V_A$ représentant la conductance $g_{DS}$ en fonction de la tension $V_{DS}$ pour 3 longueurs de canal avec un rapport $W/L$ constant de 10 en technologie AMS0.35 $\mu m$ . [Josse,2003].....	135
Fig. 5.3 : Schéma petit signal du miroir de courant simple.....	135
Fig. 5.4 : Miroir de courant Wilson.....	136
Fig. 5.5 : Miroir de courant Wilson amélioré.....	136
Fig. 5.6 : Miroir de courant cascode simple.....	138
Fig. 5.7 : Schéma équivalent pour la détermination de la conductance de sortie du miroir cascode.....	139
Fig. 5.8 : Schéma de principe du miroir de courant cascode à large excursion.....	139

Fig. 5.9 : Miroir de courant cascode à large excursion (I).....	140
Fig. 5.10 : Miroir de courant cascode à large excursion (II) .....	140
Fig. 5.11 : Miroir de courant cascode amélioré à large excursion.....	140
Fig. 5.12 : Miroir de courant cascode amélioré à large excursion à courant injecté.....	140
Fig. 5.13 : Caractéristiques de sortie des miroirs de courant (1)(2)(3)(4)(8) en technologie CMOS 0.35 $\mu$ m. Courant de référence=100 $\mu$ A, $V_{GS}$ =787mV pour (W/L)=10 et L=0.35 $\mu$ m, $V_{th0}$ =600mV. ....	145
Fig. 5.14 : Conductance de sortie des miroirs de courant (1)(2)(3)(4)(8) dans leur plage de tension de fonctionnement en technologie CMOS 0.35 $\mu$ m. Courant de référence=100 $\mu$ A, $V_{GS}$ =787mV pour (W/L)=10 et L=0.35 $\mu$ m, $V_{th0}$ =600mV. ....	145
Fig. 5.15 : Paire différentielle canal N .....	147
Fig. 5.16 : Paire différentielle canal P .....	147
Fig. 5.17 : Translation d'un $V_{GS}$ de la plage admissible de mode commun par valeur positive.....	148
Fig. 5.18 : Translation d'un $V_{GS}$ de la plage admissible de mode commun par valeur négative.....	148
Fig. 5.19 : Double Paires différentielles canal N/P .....	149
Fig. 5.20 : Somme des courants constante [Huijsing,1985] .....	150
Fig. 5.21 : Somme constante [Hovergorst,1992] .....	150
Fig. 5.22 : Avec commutateurs analogiques [Hovergorst,1994a].....	151
Fig. 5.23 : Avec Diode Zener [Hogervorst 1996].....	151
Fig. 5.24 : Etage de sortie push-pull utilisant deux transistors complémentaires configurés en sources communes.....	152
Fig. 5.25 : Principe de polarisation des grilles du circuit classe AB du type source commune .....	153
Fig. 5.26 : Exemple de circuit classe AB du type source commune avec contrôle de la d.d.p. $V_{GG}$ qui donne le courant de polarisation par résistance.....	153
Fig. 5.27 : Schéma de principe du circuit de prépolarisation de $M_{21}$ - $M_{22}$ fonctionnant en source commune classe AB avec sources de courant idéales.....	154
Fig. 5.28 : Etage de sortie classe AB avec circuit de contrôle réactif composé de transistors couplés. ....	155
Fig. 5.29 : a) b) c) Schémas équivalents pour la détermination de la résistance dynamique « vue » entre les grilles de $M_{21}$ - $M_{22}$ . d) Représentation sous forme Thévenin des transistors $M_{17}$ - $M_{18}$ .....	156
Fig. 5.30 : Schéma de principe des circuits CMFB.....	158
Fig. 5.31 : Schéma de principe du circuit RA-CMFB .....	159
Fig. 5.32 : Schéma équivalent du circuit RA-CMFB.....	159
Fig. 5.33 : Schéma de principe du circuit DDA-CMFB.....	159
Fig. 5.34 : Schéma équivalent du circuit DDA-CMFB.....	159
Fig. 5.35 : Circuit DDA-CMFB et interface avec l'amplificateur $H_1$ .....	160
Fig. 5.36 : Amplificateur folded cascode et son circuit DDA-CMFB.....	160

## Conception et Validation d'un E/B en technologie CMOS 0.6 $\mu$ m

Fig. 6.1 : Schéma synoptique du circuit asymétrique S/B inverseur en boucle fermée à Intégrateur de Miller.....	164
Fig. 6.2 : Schéma de l'amplificateur asymétrique rail-to-rail large bande avec sources de courant idéales	167
Fig. 6.3: a) Circuit différentiel à paire différentielle PMOS et charge active b) Variante utilisée .....	167
Fig. 6.4: a) Circuit différentiel à paire différentielle NMOS et charge active b) Variante utilisée.....	168
Fig. 6.5: Principe du circuit différentiel symétrique rail-to-rail en entrée et en sortie .....	168
Fig. 6.6: L'augmentation du gain différentiel en boucle ouverte est obtenu par deux circuits cascades en sortie .....	169
Fig. 6.7 : Représentation du circuit cascode amélioré à large excursion transmettant le signal de la paire d'entrée canal P.....	170
Fig. 6.8: a) Couple $M_{11}$ - $M_{13}$ et sa contre-réaction parallèle b) Schéma équivalent petit signal.....	170
Fig. 6.9 : Schéma du premier étage de l'amplificateur asymétrique rail-to-rail large bande avec sources de courant idéales.....	171
Fig. 6.10 : Etage de sortie classe AB avec circuit de contrôle réactif composé de transistors couplés. ....	172
Fig. 6.11 : Schéma équivalent de l'étage de sortie avec ses sources de courant équivalentes en entrée ....	172
Fig. 6.12 : Schéma électrique de l'amplificateur opérationnel rail-to-rail large-bande.....	175
Fig. 6.13 : Layout de l'amplificateur asymétrique rail-to-rail. ....	176

Fig. 6.14 : Valeur absolue de la non-linéarité différentielle de l'amplificateur en mode suiveur en fonction de la tension de mode commun en entrée ( $R_L = \infty [X]$ , $R_L = 2k\Omega [\square]$ ) .....	177
Fig. 6.15 : Réponse de l'amplificateur opérationnel en mode suiveur à un signal triangulaire 0-3.3V en entrée.....	178
Fig. 6.16 : Diagramme de Bode de l'amplificateur opérationnel rail-to-rail large-bande en boucle ouverte .....	178
Fig. 6.17 : Schéma de du circuit S/B inverseur en boucle fermée à Intégrateur de Miller.....	180
Fig. 6.18 : Schémas équivalent et électrique des commutateurs analogiques.....	180
Fig. 6.19 : Compensation de l'injection de charge résultante du commutateur $S_1$ par ajout d'un commutateur $S_2$ et d'une capacité $C_{H2}$ .....	181
Fig. 6.20 : Layout du circuit S/B inverseur en boucle fermée à Intégrateur de Miller.....	182
Fig. 6.21 : Caractéristique de sortie statique du circuit S/B en fonction de la tension de mode commun en entrée.....	183
Fig. 6.22 : Non-linéarité différentielle du circuit S/B en mode échantillonnage, dans les conditions typiques, $T=27^\circ\text{C}$ , $V_{DD}=3.3\text{V}$ en fonction de la tension appliquée en entrée .....	184
Fig. 6.23 : Diagramme de Bode post-layout (Module et Phase) du circuit S/B en mode échantillonnage sans et avec capacité de compensation $C_C=2\text{pF}$ . La capacité de charge $C_L$ est de valeur 1pF.....	184
Fig. 6.24 : Réponse spectrale du circuit S/B en mode échantillonnage pour un signal sinusoïdal d'entrée d'amplitude 1Vpp et de fréquence 1MHz.....	185
Fig. 6.25 : Réponse temporelle du circuit S/B à un signal triangulaire en entrée .....	185
Fig. 6.26 : Réponse temporelle du circuit S/B en mode échantillonnage à un front montant d'amplitude 1Vpp, de tension de mode commun 1.65V, de temps de montée 1ns en entrée (la courbe du signal d'entrée est volontairement inversée) sur charge capacitive en sortie de 1pF ( $C_C=2\text{pF}$ ) .....	186
Fig. 6.27 : Réponse temporelle du circuit S/B en mode échantillonnage à un front descendant d'amplitude 1Vpp, de tension de mode commun 1.65V, de temps de montée 1ns en entrée (la courbe du signal d'entrée est volontairement inversée) sur charge capacitive en sortie de 1pF ( $C_C=2\text{pF}$ ) .....	186
Fig. 6.28 : Réponse temporelle typique du circuit S/B lors du basculement en mode de maintien (ex : signal échantillonné d'amplitude +500mV superposé à la tension de mode commun $V_{mc}=1.65\text{V}$ , temps de basculement de la phase de commande de 1ns).....	187
Fig. 6.29 : Temps d'établissement minimum nécessaire en mode de maintien pour une résolution effective du circuit de 10bits en fonction de l'amplitude du signal en entrée.....	188
Fig. 6.30 : Erreur en tension générée par les phénomènes d'injection de charges après basculement en mode de maintien en fonction de l'amplitude du signal en entrée (temps de basculement de la phase de commande de 1ns) .....	189
Fig. 6.31 : Photographie du démonstrateur en technologie AMS CMOS 0.6 $\mu\text{m}$ .....	189

## Application aux futurs instruments d'observation de la Terre

Fig. 7.1 : Dessin du transistor MOS à grille fermée utilisé [Anelli,1999].....	197
Fig. 7.2 : Exemples de dessin de fonctions analogiques nécessitant un bon appariement des transistors en technologie ST BiCMOS6G 0.35 $\mu\text{m}$ a) Paire différentielle PMOS b) Miroir de courant NMOS.....	198
Fig. 7.3 : Schéma de principe du circuit S/B à double capacité compensé par effet Miller (structure 5) ..	199
Fig. 7.4 : Schéma de principe du circuit S/B symétrique à double capacité compensé par effet Miller avec son buffer d'entrée symétrique.....	200
Fig. 7.5 : Schéma représentatif petits signaux d'un amplificateur opérationnel symétrique.....	202
Fig. 7.6 : Schéma de l'étage d'entrée de l'amplificateur opérationnel symétrique .....	202
Fig. 7.7 : Schéma de l'étage de sortie source commune classe AB cascadé appliqué sur chaque sortie symétrique de l'amplificateur.....	203
Fig. 7.8 : Configuration de l'amplificateur symétrique en mode suiveur avec éléments résistifs.....	204
Fig. 7.9 : Schéma d'étude de l'amplificateur opérationnel symétrique à quatre entrées : a) en boucle ouverte b) en mode suiveur.....	205
Fig. 7.10 : L'étage d'entrée de l'amplificateur opérationnel différentiel symétrique comporte 4 entrées constituées de deux paires différentielles rail-to-rail.....	205
Fig. 7.11 : Schéma de principe de l'amplificateur opérationnel symétrique à quatre entrées avec son circuit de contrôle du mode commun.....	208

Fig. 7.12 : Schéma complet de l'amplificateur opérationnel différentiel d'entrée .....	210
Fig. 7.13 : Layout de l'amplificateur opérationnel symétrique à quatre entrées de la figure (Fig. 7.12) .....	211
Fig. 7.14 : Variation de la tension de mode commun en sortie de l'amplificateur pour une tension désirée de 1.65V en fonction de la tension de mode commun en entrée (0-3.3V).....	212
Fig. 7.15 : Non-linéarité de la tension de sortie différentielle du buffer symétrique en fonction de l'amplitude du signal différentiel en entrée (centré sur la tension de mode commun) .....	212
Fig. 7.16 : Diagramme de Bode (module et phase) en simulations post-layout de l'amplificateur opérationnel symétrique à quatre entrées en boucle ouverte et en configuration suiveur, en conditions typiques, sur charge capacitive de 3pF.....	213
Fig. 7.17 : Variation du Produit Gain Bande et du gain en tension différentiel quasi-statique: a) en fonction de la tension d'alimentation $V_{DD}$ ( $3.3V \pm 10\%$ ) b) en fonction de la température ( $-55^{\circ}C/125^{\circ}C$ ) c) en fonction de la tension de mode commun ( $1.65V \pm 10\%$ ).....	213
Fig. 7.18 : Variation de la fréquence de coupure haute à $-3dB$ de l'amplificateur en configuration suiveur : a) en fonction de la tension d'alimentation $V_{DD}$ ( $3.3V \pm 10\%$ ) b) en fonction de la température ( $-55^{\circ}C/125^{\circ}C$ ) c) en fonction de la tension de mode commun ( $1.65V \pm 10\%$ ).....	214
Fig. 7.19 : Réponse temporelle de l'amplificateur opérationnel en configuration suiveur à un front montant différentiel d'amplitude $2V_{pp}$ , de tension de mode commun 1.65V, de temps de montée 0.1ns en entrée sur charges capacitives en sortie de 3pF .....	215
Fig. 7.20 : Réponse temporelle de l'amplificateur opérationnel en configuration suiveur à un front descendant différentiel d'amplitude $2V_{pp}$ , de tension de mode commun 1.65V, de temps de descente 0.1ns en entrée sur charges capacitives en sortie de 3pF .....	215
Fig. 7.21 : Schéma de l'amplificateur opérationnel à sorties symétriques du circuit S/B avec CMFB .....	216
Fig. 7.22 : Layout de l'amplificateur opérationnel symétrique du circuit S/B (Fig. 7.21) .....	218
Fig. 7.23 : Réponse temporelle du circuit de contrôle des phases de commande. Ordre d'apparition temporelle : Horloge externe – Phase $\phi_{1a}$ – Phase $\phi_{1b}$ – Phase $\phi_{1c}$ .....	221
Fig. 7.24 : Layout du circuit S/B symétrique .....	221
Fig. 7.25 : Variation de la tension de mode commun en sortie du circuit S/B en fonction de l'amplitude des signaux différentiels appliqués en entrée pour une tension de mode commun en entrée de 1.65V....	223
Fig. 7.26 : Non-linéarité différentielle du circuit S/B symétrique en mode échantillonnage en fonction de l'amplitude crête à crête des signaux différentiels en entrée du circuit pour une tension de mode commun de 1.65V, dans les conditions typiques $T=27^{\circ}C$ et $V_{DD}=3.3V$ .....	223
Fig. 7.27 : Diagramme de Bode post-layout (module et phase) en mode échantillonnage du circuit S/B dans les conditions typiques $T=27^{\circ}C$ et $V_{DD}=3.3V$ . Le circuit est chargé par un buffer de sortie statique (utilisé pour la mesure expérimentale du circuit), càd qu'il voit des grilles de transistors MOS.....	224
Fig. 7.28 : Réponses temporelles du circuit S/B à un échelon en entrée d'amplitude $2V_{c\grave{a}c}$ (front montant et front descendant) pour une tension de mode commun de 1.65V et dans les conditions typiques.....	225
Fig. 7.29 : Zoom temporel sur la réaction du circuit S/B aux phénomènes d'injections de charges (signal différentiel en sortie du circuit S/B) dans les conditions de la figure Fig. 7.34. La phase de commande en mode de maintien bascule à $2.1\mu s$ pour un temps de basculement de 1ns.....	226
Fig. 7.30 : Erreur de tension différentielle résultante en mode de maintien en fonction du type de commutateur analogique utilisé et de l'amplitude des signaux différentiels en entrée du circuit : a) commutateur classique b) commutateur à $V_{GS}$ constant.....	227
Fig. 7.31 : Vue synoptique des circuits intégrés dans l'ASIC ST BiCMOS $0.35\mu m$ avec ses entrées/sorties .....	229
Fig. 7.32 : Photographie du démonstrateur en technologie ST BiCMOS6G $0.35\mu m$ 3.3V .....	231
Fig. 7.33 : Layout du circuit S/B symétrique, de son buffer d'entrée et du circuit de contrôle des phases de commande .....	231
Fig. 7.34 : Réponse temporelle en mode échantillonnage du circuit d'échantillonnage à un échelon de tension $\pm 500mV$ sur les entrées différentielles pour une tension de mode commun 1.65V. Ordre d'apparition temporelle : Entrée différentielle Asic – Sortie Buffer d'entrée – Sortie S/B – Sortie Dynamique – Sortie Statique .....	232

---

# Introduction Générale

---

Les programmes spatiaux sont devenus indispensables pour les scientifiques, les secteurs de l'industrie ou de la protection militaire. Ils le sont d'autant plus pour chacun d'entre nous, nous apportant ainsi de cruciales informations tant au niveau du climat, de l'urbanisation, de la végétation ou de la recherche de nouvelles ressources naturelles.

Un instrument d'observation de la Terre requiert de longues années de développement et de caractérisations. Les contraintes spatiales imposent une validation très stricte de l'ensemble des fonctions implémentées. D'un simple point de vue environnemental, les systèmes électroniques embarqués à bord des missions spatiales sont soumis à des radiations ayant des impacts de disfonctionnement ou destructeurs sur les fonctions requises de l'instrumentation. Ainsi, dans le cadre d'une intégration sur silicium des électroniques, les technologies utilisées ne doivent plus être seulement considérées au point de vue des performances offertes mais aussi de leur « tenue aux radiations », et ce, dès le début du développement.

Parallèlement, la conception des électroniques embarquées se complexifie d'autant plus que les instrumentations requièrent des niveaux d'intégration de plus en plus denses. En regard de l'évolution technologique du semiconducteur, les concepteurs cherchent à concevoir des systèmes de plus en plus compacts (sur un même « morceau » de silicium), de performances accrues, tout en diminuant la consommation.

D'un point de vue prospectif, les principales technologies accessibles et utilisées aujourd'hui sont majoritairement CMOS submicroniques basse-tension, initialement dédiées pour la réalisation de circuits numériques complexes. Ces technologies ne sont directement accessibles qu'aux industriels produisant des circuits intégrés en grande quantité. Quid du secteur spatial ? Quid des demandeurs de petits volumes ? Ce problème soulevé n'est pas le seul. Quand bien même l'accessibilité à une technologie auprès d'un fondeur soit directement assurée pour, par exemple, un projet spatial comprenant une centaine d'unités dédiées à la caractérisation, à la validation et à l'approvisionnement de modèles de vol, une question se pose alors quant à la pérennité de la technologie. Le fondeur sera-t-il ainsi prêt à assurer l'accès à sa technologie pendant la durée de développement d'un projet spatial ?

Mais alors l'intégration d'une chaîne vidéo complète de traitement du signal CCD, majoritairement analogique, peut-elle tirer bénéfice cette évolution technologique ? Le point majeur conséquent à la réduction géométrique des transistors dans le domaine submicronique est incontestablement la baisse de la tension d'alimentation maximale et que l'on peut appliquer au circuit. D'importantes modifications conceptuelles sont alors nécessaires dans la topologie même des circuits, qui utilisaient jusqu'à maintenant des tensions d'alimentations suffisantes (5V voire 12V).

Au travers de ce mémoire nous allons ainsi apporter notre contribution à la conception de circuits intégrés analogiques CMOS basse-tension dédiés aux instruments d'observation de la Terre. Nous devons ainsi répondre aux questions sous-jacentes au problème posé : Peut-on tirer profit des technologies CMOS submicroniques dans la conception d'une instrumentation de type « chaîne vidéo » ? Les performances atteintes pourront-elles être meilleures ? La contrainte basse-tension nécessite-t-elle de nouvelles topologies de circuits ?

Dans le chapitre 1 du présent mémoire, nous présenterons le contexte système de l'étude à travers l'environnement spatial des satellites et les instruments d'observation de la Terre. Nous y décrirons les radiations primaires et secondaires ainsi que leurs effets sur les électroniques embarquées. Nous reviendrons brièvement sur les caractéristiques des instruments d'observation de la Terre au travers des satellites du programme SPOT puis nous décrirons l'architecture interne d'une chaîne vidéo réalisant le traitement analogique du signal vidéo issu des détecteurs CCD. Nous terminerons le chapitre en réalisant un rapide état de l'art des chaînes vidéo monolithiques du commerce.

Dans le chapitre 2, nous aborderons le contexte technologique de l'étude. Nous nous intéresserons à l'évolution des technologies accessibles pour la conception de circuits intégrés analogiques, aujourd'hui majoritairement CMOS basse-tension. Nous justifierons la notion même de « basse-tension » en précisant bien la différence avec la notion de « basse-consommation ». La réduction de la tension d'alimentation en regard des caractéristiques des circuits en terme de précision nous amènera à démontrer l'utilité de signaux « rail-to-rail ». Les équations caractéristiques du transistor MOS seront résumées puisqu'elles seront réutilisées abondamment à travers le mémoire. Enfin, le choix des technologies utilisées au cours de cette thèse sera présenté.

Dans le chapitre 3, une fonction analogique représentative des chaînes vidéo, le circuit échantillonneur-bloqueur (E/B) sera étudié de façon approfondie. A partir du circuit E/B de principe, nous définirons les principaux paramètres caractéristiques et limitants de la structure. Nous verrons alors que la notion de « commutateur analogique » est primordiale dans la

conception d'une instrumentation précise en raison des phénomènes d'injection de charges lors des commutations des phases de commande. Nous démontrerons les limitations intrinsèques de la structure E/B de principe tout en introduisant des abaques de dimensionnement en fonction du nombre de bits et de la fréquence d'échantillonnage que l'on souhaite atteindre.

Dans le chapitre 4, nous serons amené à réaliser une analyse qualitative d'architectures de circuits d'échantillonnage afin de viser les spécifications d'une instrumentation rapide et précise. Nous donnerons ainsi un éventail de circuits d'échantillonnage couramment utilisés. Nous démontrerons les limitations fréquentielles introduites par les structures en boucle fermée puis nous étudierons une structure intéressante pour notre instrumentation. Nous mettrons enfin en évidence les avantages et inconvénients de chaque architecture et réaliserons un comparatif architectures/performances des circuits présentés dans la littérature.

Dans le chapitre 5, nous décrirons quelques cellules analogiques primordiales dans la réalisation de l'électronique pour notre instrumentation. L'utilisation de technologie CMOS submicronique basse-tension nécessitera d'étudier des circuits de polarisation tels que les miroirs de courant à large excursion, les circuits cascodes améliorés, les circuits transconductance, les étages de sortie source commune classe AB. Afin de maximiser la dynamique des signaux, les structures d'étages d'entrée et de sortie de type « rail-to-rail » seront étudiées. La symétrisation des circuits fonctionnant en monotension nous amènera à présenter les circuits de contrôle du mode commun (CMFB).

Le chapitre 6 utilisera l'ensemble des chapitres précédents appliqué à la conception et intégration d'un circuit S/B asymétrique rail-to-rail large-bande en technologie CMOS 0.6 $\mu$ m alimenté en 3.3V. Nous y verrons la nécessité de concevoir un amplificateur opérationnel asymétrique large-bande rail-to-rail. Nous montrerons au travers de son étude théorique l'imbrication des méthodes définies au chapitre 5. Nous présenterons enfin les résultats de simulations et expérimentaux du démonstrateur ainsi conçu.

Enfin, le chapitre 7 concrétisera l'ensemble de cette étude. A partir d'une technologie cible BiCMOS 0.35 $\mu$ m en cours de validation pour l'utilisation en environnement spatial, et dans l'optique d'une chaîne de traitement vidéo totalement différentielle, nous présenterons la conception d'un circuit S/B symétrique rail-to-rail large-bande dont la structure optimale résulte de l'analyse théorique décrite au chapitre 4. Ce circuit nécessitera la conception d'un amplificateur d'instrumentation large-bande rail-to-rail à sorties symétriques. Les résultats de simulations et expérimentaux valideront la faisabilité d'une chaîne vidéo pour l'instrumentation spatiale sur une technologie dite « commerciale ».

---



---

## L'environnement spatial et les chaînes vidéo

---

Les systèmes électroniques embarqués à bord des missions spatiales sont soumis à différents types de radiations. L'environnement spatial, considéré, au début, comme un milieu inerte est, en fait, soumis à d'incessants flux de particules de basse et haute énergie. Longtemps négligées, ces radiations sont désormais prises en compte dès les premières phases de conception puisque leur incidence fonctionnelle ou destructive l'est aussi bien sur les matériaux des satellites que sur les électroniques des charges utiles. Cet environnement est alors une contrainte supplémentaire dans la conception de chaînes vidéos spatiales. L'évolution technologique des circuits intégrés ne doit pas alors être simplement considérée du point de vue « conception classique » mais aussi du point de vue « tenue aux radiations ». Dans ce premier chapitre, nous présenterons, dans un premier temps, l'environnement spatial des satellites en nous limitant au cas des orbites basses (satellites d'observation de la Terre); les radiations primaires et secondaires y seront considérées ainsi que leurs effets sur les électroniques embarquées. Dans un second temps, nous décrirons de manière générale les instruments d'observation de la Terre, dans la lignée des satellites du programme SPOT, puis nous nous bornerons à y décrire le traitement du signal vidéo issu des détecteurs CCD. Nous présenterons enfin un rapide état de l'art des chaînes vidéos monolithiques du commerce.

### **1. L'environnement Spatial**

Il a fallu attendre la fin des années 1950, avec le début de la conquête spatiale et des premières missions spatiales (Explorer, 1958) pour découvrir la présence autour de particules piégées par le champ magnétique de la Terre.

En effet, la Terre dispose d'une double protection constituée du champ magnétique terrestre et de l'atmosphère terrestre. Par conséquent, les seules manifestations visibles de la présence de ces radiations n'étaient jusqu'alors que très restreintes. Principalement, ces manifestations étaient :

- la déformation de la queue ionisée des comètes par le vent solaire,
- les aurores boréales associées à des précipitations de particules guidées par le champ magnétique dans les hautes couches de l'atmosphère,
- l'ionisation de l'air, les gerbes de particules secondaires de flux très faible au sol ( $1 \text{ particule} \cdot \text{an}^{-1} \cdot \text{km}^{-2} \cdot \text{sr}^{-1}$  à  $10^{19} \text{ eV}$ ) et les isotopes (par exemple  $\text{C}^{14}$ ) produits par le rayonnement cosmique (Fig. 1.1).

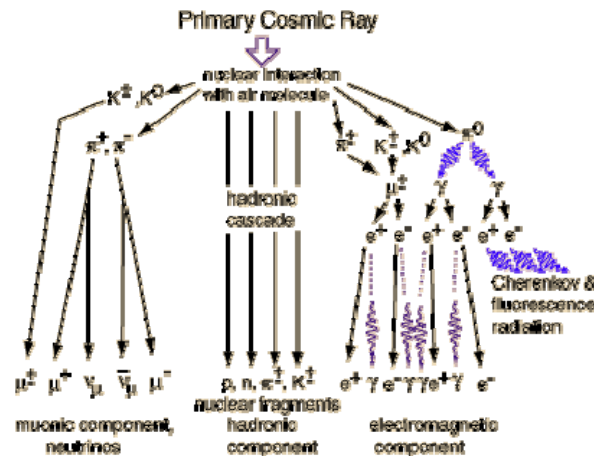


Fig. 1.1 : Processus de création des gerbes de particules secondaires par le rayonnement cosmique

En dehors de toute protection atmosphérique terrestre, nous rencontrons différents types de rayonnements possédant chacun des origines, des caractéristiques (que ce soit au niveau de leur énergie ou de leur nature) ainsi que des répartitions dans l'espace très variables. Leur fluctuation est souvent liée à l'activité solaire, et constatée à plus ou moins long terme.

Nous distinguerons deux types de rayonnement :

- un *rayonnement primaire* : particule de haute énergie dans l'espace,
- un *rayonnement secondaire* : particule créée par interaction du *rayonnement primaire* avec un matériau.

Néanmoins, nous devons remarquer que la prise en compte de ces radiations et leur influence sur les véhicules spatiaux sont longtemps demeurées ignorées. Pourtant, les effets de ces radiations sur les instruments peuvent entraîner des dysfonctionnements, voire des pertes totales de fonctionnement des équipements électroniques et optiques.

A l'intérieur d'un véhicule spatial, l'atténuation des flux primaires et la génération de secondaires induits dépendent de la nature et des épaisseurs de matériaux traversés, ainsi que du type et de l'énergie des radiations.

Le rayonnement ultraviolet et les particules chargées (de faible énergie) du vent solaire, rapidement absorbés, ne peuvent perturber qu'indirectement les systèmes électroniques embarqués (par l'intermédiaire d'impulsions électromagnétiques associées aux claquages de diélectriques et de matériaux isolés des structures à la surface des satellites) ; ils peuvent, par contre, dégrader de façon importante les caractéristiques optiques des matériaux directement exposés (revêtements de contrôle thermique par exemple).

Dans les matériaux et composants sensibles, les radiations pénétrantes peuvent induire essentiellement trois types de dégradations :

- des *bruits de fond* proportionnels aux flux, en particulier dans les détecteurs des expériences scientifiques,
- des *dérives de caractéristiques* pouvant, à long terme, entraîner une perte de fonctionnalité (effets de *dose cumulée*),
- des *problèmes de charge interne* dans les diélectriques et des *effets singuliers* associés aux ions lourds (***Single Event Effect***) dans les circuits intégrés.

Ces derniers, observés en vol depuis une quinzaine d'années, deviennent de plus en plus contraignants avec l'augmentation des traitements de bord et l'utilisation de technologies dont le niveau d'intégration croît.

Enfin, la présence de plus en plus fréquente de l'Homme dans l'espace ainsi que des projets de missions lointaines et de longue durée (base lunaire, vol vers Mars...) posent le problème des effets biologiques induits, essentiellement à long terme, par les radiations de haute énergie.

## 1.1 Les Sources et Types de Radiations

### 1.1.1 Les radiations primaires

Les contraintes de l'environnement spatial peuvent être classées selon quatre types [Boudenot] : les *ceintures de Van Allen* (ou ceintures de radiations), le *vent solaire*, les *éruptions solaires* et le *rayonnement cosmique*.

#### a) Les ceintures de Van Allen

Les *ceintures de Van Allen*, encore appelées ceintures de radiations, sont des régions de la magnétosphère dans lesquelles sont piégées des particules de haute énergie, principalement des *protons* et des *électrons*. Elles furent découvertes lors des premières missions spatiales.

Le piégeage de ces particules est dû au champ magnétique terrestre qui, sans ralentir les particules, les force à décrire des boucles autour de la Terre. Les particules, qui mettraient une fraction de seconde à traverser l'environnement terrestre si elles allaient en ligne droite, peuvent ainsi rester emprisonnées dans le champ magnétique terrestre pendant plusieurs semaines.

L'énergie de ces particules dépasse couramment le MeV, ce qui correspond à l'énergie qu'aurait un électron accéléré par un champ électrique d'un million de Volts. $m^{-1}$ .

Les particules des ceintures de radiations sont essentiellement des *rayons cosmiques* qui ont été capturés (il y a plusieurs processus de capture). Certaines particules de moindre énergie proviennent du *vent solaire*.

La répartition de flux de protons et d'électrons dépend du paramètre  $L^1$  de McIlwain (exprimés en rayons terrestres) (Fig. 1.2-Fig. 1.3).

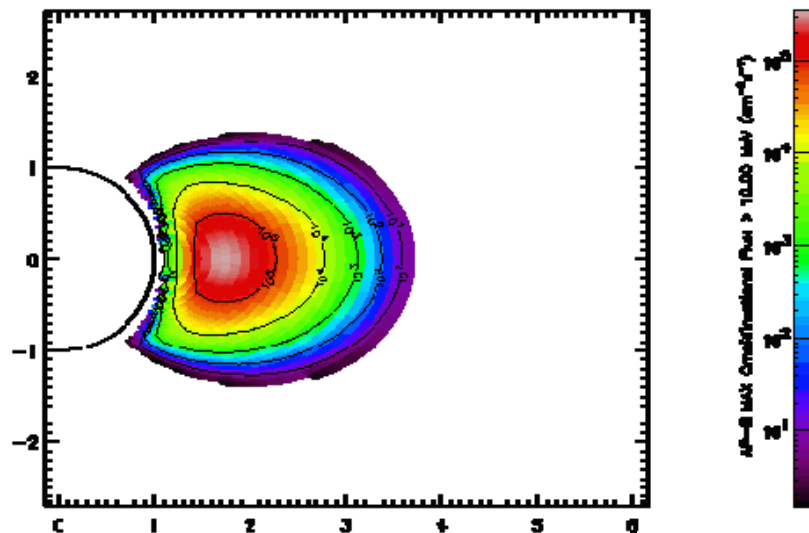


Fig. 1.2 : Contours isoflux des protons piégés (coordonnées  $L, \theta$ ) [Nasa,2005]

Pour les protons (Fig. 1.2), on observe un maximum entre  $1.6 < L < 2$ , avec un flux de  $10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$  et une énergie de l'ordre de quelques centaines de MeV.

Pour les électrons (Fig. 1.3), on observe deux zones de maximum :

- la première entre  $1.4 < L < 2.8$ , avec un flux de  $10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$  et une énergie de l'ordre de 5 MeV,
- la seconde centrée vers  $L=5$ , avec un flux de  $3 \cdot 10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$  et une énergie de l'ordre de 7 MeV.

<sup>1</sup>  $L$  est défini par la distance du centre de la Terre au point d'intersection de la ligne de force du champ magnétique avec le plan équatorial.

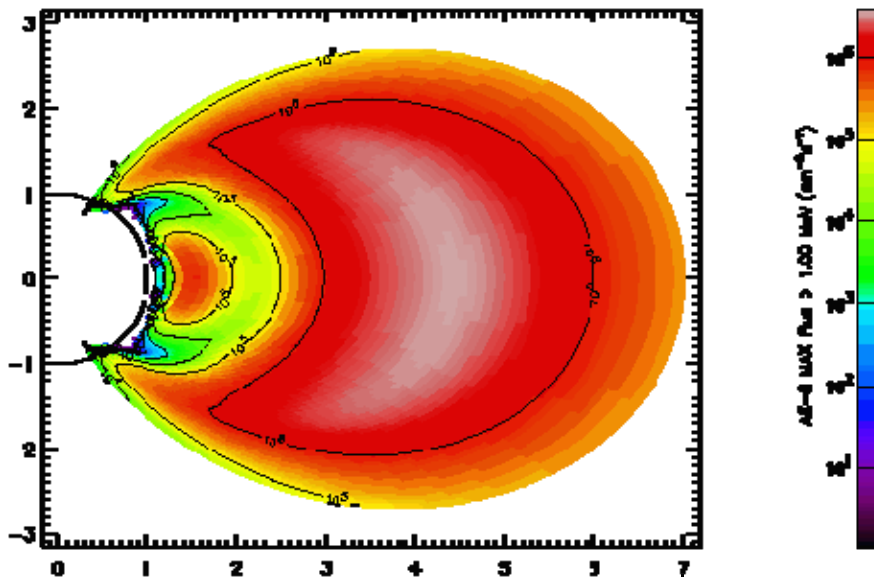


Fig. 1.3 : Contours isoflux des électrons piégés (coordonnées L,  $\theta$ ) [Nasa,2005]

Il faut noter que cette dernière zone est proche de la Terre dans les cornes polaires. Le dipôle terrestre étant incliné de 500 km vers le Pacifique ouest, la ceinture de radiations descend à plus faible altitude au-dessus de l'Atlantique sud (SAA : Anomalie de l'Atlantique Sud).

Les ceintures de radiations sont donc des régions néfastes pour les instruments spatiaux : les particules rapides détériorent les composants électroniques (effets de doses et des ions lourds) et sont dangereuses pour l'homme (effets de dose). Les missions habitées en orbite autour de la Terre minimisent ces effets en adoptant des orbites basses (moins de 800km) et équatoriales, de manière à traverser le moins possible les ceintures de radiations.

## b) Le vent solaire

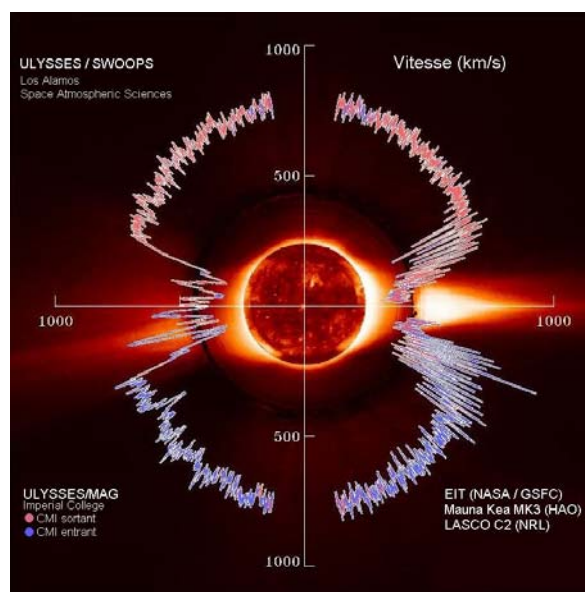


Fig. 1.4 : Origines du vent solaire [McComas,1996]

Le *vent solaire* est un flot de particules chargées s'échappant en permanence de la haute atmosphère du Soleil (Fig. 1.4). Il est principalement formé de protons et d'électrons dont les énergies sont inférieures à quelques keV. On y retrouve aussi, en proportion moindre (7 à 8%), des noyaux d'hélium ainsi que des traces infimes d'ions d'éléments plus lourds tels que l'oxygène ou le carbone. Le processus de formation du vent solaire fut expliqué pour la première fois par Eugène Newman Parker en 1958. La haute atmosphère du Soleil (appelée couronne) est composée d'un plasma très chaud (température supérieure au million de degrés) animant les électrons d'une vitesse d'agitation thermique suffisante et donc d'une énergie cinétique suffisante pour dépasser l'énergie de liaison gravitationnelle avec le Soleil. Les électrons s'échappent alors, attirant avec eux des protons et quelques ions chargés positivement dans l'espace interplanétaire. Dans le modèle de Parker, la vitesse d'extraction du vent solaire décroît en raison du gradient de pression entre la couronne et l'espace interstellaire pour demeurer constante à partir de l'orbite terrestre à une vitesse voisine de  $400\text{km}\cdot\text{s}^{-1}$ . Ce plasma héliosphérique est donc éjecté radialement du Soleil, mais en raison de la rotation du Soleil sur lui-même (27 jours), il semble s'enrouler en une spirale conformément aux lignes de champ magnétique (sondes Pioneer 10 et Mariner 2).

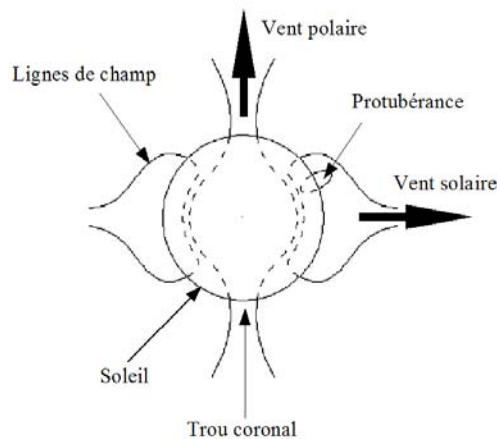


Fig. 1.5 : Configuration du champ magnétique du Soleil

En l'absence de vent solaire, le Soleil disposerait d'une configuration de champ magnétique approximativement dipolaire (Fig. 1.5). Néanmoins, la pression du plasma héliosphérique en mouvement l'emporte sur la pression magnétique, imposant ainsi sa structure aux lignes de force du champ. Ceci laisserait donc à supposer qu'au voisinage de l'écliptique, se situe une fine lame de plasma (appelée **lame neutre**) le long de laquelle courent parallèlement des lignes de force de polarités magnétiques opposées entraînant une inversion de polarité magnétique du champ à la traversée de cette lame. Les mesures des sondes spatiales dans la gamme des rayons X ont permis de revoir ce modèle et de démontrer qu'il existe des zones où les lignes de force sont radiales, ouvertes sur l'espace interplanétaire et n'offrant pas de résistance à l'écoulement du vent solaire.

Ces zones, appelées **trous coronaux**, sont en général situées dans les régions proches des pôles du Soleil bien que les observations ont montré que ces zones évoluent dans le temps, pouvant atteindre des latitudes solaires très variables dans les deux hémisphères. Déplaçant les lignes de champ fermées, elles sont à l'origine de l'ondulation de la lame neutre. Il faut noter que ces vents solaires associés, possédant des vitesses voisines de  $1000 \text{ km.s}^{-1}$ , n'affectent que très peu l'environnement terrestre et exclusivement lors de l'extension de ces zones aux faibles latitudes solaires.

### c) Les éruptions solaires

Les *éruptions solaires* sont des phénomènes violents secouant l'atmosphère solaire dont les effets se font sentir jusque sur Terre. L'éruption solaire est caractérisée par une augmentation très forte de la brillance sur des régions très vastes de l'étoile pouvant atteindre plus de 5 milliards de kilomètres carrés. L'observation au spectromètre du profil de la raie  $H_{\alpha}$  montre que celle-ci est du type *émission*, et donc, signe que la région émissive est très chaude et dense. Ces éruptions sont très visibles sur le limbe du Soleil (Fig. 1.6) où se forment des *ponts de matières* (ou boucles) reliant deux régions de polarités opposées. L'éruption en elle-même est en général localisée à la frontière entre ces deux régions et est caractérisée *d'éruption à double filet*.

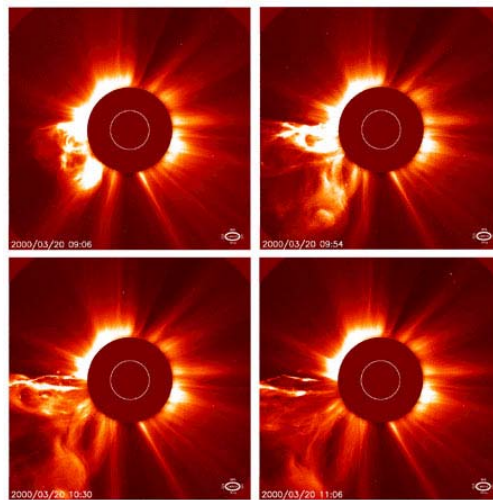


Fig. 1.6 : Eruption solaire observée au coronographe LASC0 C2 du satellite SOHO (mars 2000)  
[Lasco,2000]

Ces éruptions pourraient être liées au champ magnétique de l'étoile. En effet, de la matière vient se bousculer avec des vitesses opposées à cette frontière entre les deux régions. Le champ magnétique se « détortille » alors, libérant une énergie colossale ( $\sim 10^{25}$  Joules) en quelques minutes. Les particules du plasma (majoritairement des électrons et des ions) bénéficient de cette énergie libérée. Le freinage des ions sur les électrons provoquent l'émission de *rayons X durs* ( $>50 \text{ keV}$ ). La vitesse de propagation des électrons libérés dépasse dans ce cas les  $100\,000 \text{ km.s}^{-1}$ . On a récemment observé avec le satellite S.M.M. l'émission conjointe de raies  $\gamma$  à  $2.2 \text{ MeV}$ . Leurs

origines proviendraient des chocs de protons accélérés avec des noyaux d'hélium dans la basse atmosphère solaire : les protons produisent des neutrons en perdant de l'énergie et sont capturés par l'hydrogène, d'où l'émission de ses raies. On peut aussi noter la présence de *transitoires coronaux*, éjections de nuages de plasma se déplaçant à des vitesses de l'ordre de  $1000\text{km.s}^{-1}$  jusqu'à une dizaine d'unités astronomiques.

#### d) Le rayonnement cosmique

Le *rayonnement cosmique* est constitué de deux composantes, l'une *permanente*, d'origine cosmique, l'autre plus *sporadique*, liée à l'activité du Soleil.

Le rayonnement cosmique permanent est *d'origine galactique* et constitué de particules très énergétiques (de  $100\text{MeV}$  à  $10^3\text{GeV}$ ) , privées de leurs électrons, éjectées par les explosions de supernovae, mais de débit faible ( $10^{-4}$  à  $1\text{ p.cm}^2.\text{s}^{-1}$ ) . Ce sont essentiellement des noyaux d'hydrogènes (protons) et d'hélium (particules alpha) mais aussi des noyaux plus lourds tels ceux du fer ou du nickel, dont leur vitesse est proche de celle de la lumière. La Terre y est exposée en permanence en raison de son isotropie. Néanmoins une partie du rayonnement cosmique galactique est dévié par le vent solaire (et plus précisément par son champ magnétique) émis par le Soleil. Plus l'activité du Soleil est forte, moins la Terre est soumise à l'influence du rayonnement cosmique galactique. Les mesures démontrent la coïncidence entre les maxima d'activité solaire tous les onze ans et les minima d'interaction du rayonnement cosmique galactique sur la surface de la Terre (Fig. 1.7).

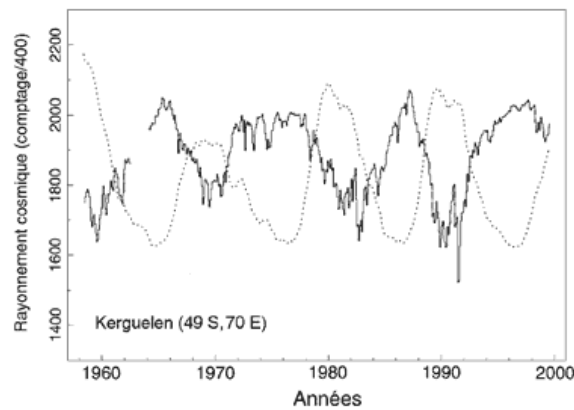


Fig. 1.7 : Variation de l'intensité du rayonnement cosmique galactique observé au sol de 1959 à 2000, comparée à celle de l'indice des taches solaires (en pointillés) [ObsParis,2000]

Paradoxalement, l'autre composante du rayonnement cosmique est liée à... l'activité solaire. Néanmoins, sa participation est négligeable en moyenne. Pourtant, lors de grandes et intenses éruptions solaires, aujourd'hui encore imprévisibles, des particules plus énergétiques sont libérées pendant plusieurs heures et atteignent la Terre en plus grand nombre. La différence



majeure avec le rayonnement cosmique galactique provient de la non-uniformité de ce rayonnement.

### 1.1.2 Les radiations secondaires

Les interactions des radiations primaires, électrons, protons et autres ions lourds avec les matériaux des véhicules spatiaux entraînent la production immédiate ou retardée de *rayonnements secondaires* divers, plus ou moins pénétrants et nocifs suivant le système et la fonction.

Ainsi, le *rayonnement Cerenkov* (photons UV et visibles) induit un bruit de fond gênant dans les systèmes optiques exposés à des flux élevés d'électrons rapides (ce phénomène s'est produit sur Hyparcos).

De même, la *production de rayons  $\gamma$  de freinage* par les électrons rapides (phénomène de *Bremsstrahlung*) est principalement à craindre dans les matériaux dont le numéro atomique est élevé. Leur utilisation est donc à proscrire dans les blindages extérieurs des satellites.

Au niveau des effets de *dose cumulée*, les neutrons et les protons secondaires générés par réactions nucléaires ne constituent pas, en général, un problème crucial, pas plus que les activations qui en résultent. Néanmoins, ces dernières pourraient devenir gênantes à très long terme sur les stations orbitales.

Par contre, et comme nous les verrons dans le paragraphe suivant, les réactions nucléaires induites par les protons rapides directement dans les semiconducteurs des composants électroniques peuvent y produire des noyaux de recul rapides. Ces ions lourds sont alors susceptibles de provoquer des anomalies de type *événements singuliers* dans les électroniques des instruments exposées à des flux élevés de protons de haute énergie (piégés ou d'éruption).

## 1.2 Effets des radiations sur les électroniques embarquées

Les effets des radiations spatiales sur les électroniques embarquées peuvent être classés suivant deux types : *effets cumulatifs* et *effets singuliers (SEE)*.

Les effets cumulatifs sont des effets graduels opérant durant la totalité du temps de la mission spatiale. On distingue généralement deux origines aux effets cumulatifs : *dose totale* entraînant des effets ionisants sur l'électronique ; *déplacement* entraînant des effets non-ionisants sur l'électronique.

Les effets singuliers sont des effets ponctuels dont l'origine est l'interaction d'une simple particule énergétique sur la surface donnée du composant. Les conséquences de ces effets

singuliers peuvent être de deux types : *destructif*, c'est-à-dire entraînant un dysfonctionnement irréparable de l'électronique ; *non-destructif*, entraînant un dysfonctionnement temporaire de l'électronique.

### 1.2.1 Notions de dose absorbée et équivalente

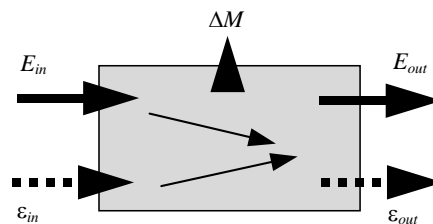
La dose absorbée est définie comme le quotient de l'énergie moyenne communiquée à un petit volume de matière par des rayonnements ionisants primaires et secondaires, sur la masse de ce volume. Elle dépend donc de la nature du matériau considéré. L'unité de la dose absorbée dans le système international est le Gray (Gy) et correspond à une énergie absorbée d'un joule par kilogramme de matière ( $1 \text{ Gy} = 100 \text{ rd} = 1 \text{ J} \cdot \text{kg}^{-1} = 10^4 \text{ erg} \cdot \text{g}^{-1}$ ).

$$D_{\text{abs}} = \frac{\Delta E}{\rho V} \quad (1-1)$$

L'énergie moyenne communiquée  $\Delta E$  est la fraction transférée au matériau sous forme ionisante, toutes les modifications dues à un transfert d'énergie des radiations en énergie de masse étant exclues du bilan énergétique, soit (Fig. 1.8):

$$\Delta E = \sum (E_{\text{in}} + \epsilon_{\text{in}}) - \sum (E_{\text{out}} + \epsilon_{\text{out}}) - \Delta M \quad (1-2)$$

où  $E_{\text{in}}$  et  $\epsilon_{\text{in}}$  représentent respectivement les énergie des radiations primaires et secondaires entrantes ;  $E_{\text{out}}$  et  $\epsilon_{\text{out}}$  représentent respectivement les énergie des radiations primaires et secondaires sortantes ; et  $\Delta M$  représente l'accroissement de l'énergie de masse de volume.



**Fig. 1.8 : Représentation graphique de l'énergie moyenne communiquée  $\Delta E$  dans un matériau**

La notion de dose absorbée ne s'utilise que pour des fluences assez élevées afin que les diamètres des traces ionisées se recouvrent. Cela dépend donc de la nature des radiations impliquées (Tab. 1-1).

De manière plus qualitative, nous pouvons donner des valeurs typiques de doses totales reçues par an, en fonction de l'altitude ainsi que de l'inclinaison (Tab. 1-2).

Radiation	Energie [MeV]	Diamètre de trace [ $\mu\text{m}$ ]	Fluence limite [ $\text{cm}^{-2}$ ]	Dose limite [Gy]
$e^-$	0.01	3	$10^7$	$10^{-3}$
photon	0.01	3	$10^7$	$10^{-2}$
$p^+$	10	0.3	$10^9$	10
ion lourd	30	0.03	$10^{11}$	$10^5$

Tab. 1-1: Ordre de grandeurs des doses absorbées en fonction des radiations secondaires générées

TYPE D'ORBITE	GEO	GPS	LEO	DMS
Apogée (kms)	35 796	20 189	1600	846
Périgée (kms)	35 795	20 172	1600	824
Inclinaison ( $^\circ$ )	0	55	60	99
Dose (rads(Si)/an)	6 600	59 000	17 300	1 260

Tab. 1-2: Valeurs typiques de doses totales reçues par an en fonction de l'orbite

## 1.2.2 Types d'interaction avec la matière

Les particules élémentaires définies précédemment peuvent interagir avec le silicium des circuits, et sont à l'origine de plusieurs types d'interactions en fonction de leur nature et de leur énergie.

Dans le cas des électrons, on distingue ceux dont l'énergie d'interaction est **inférieure à 1eV**, cas où le phénomène d'*excitation* est mis en jeu ; ceux dont l'énergie est **inférieure à 1MeV**, cas où le phénomène d'*ionisation* est mis en jeu ; et pour les énergies **supérieures au MeV**, cas où le rayonnement de freinage combiné aux collisions avec les noyaux n'occasionnent que de rares déplacements qui sont négligeables dans le cas du silicium.

Le phénomène d'interaction électromagnétique via les photons est nettement plus dépendant des énergies mises en jeu :

- Energie de quelques électrons-volts : excitation
- Energie inférieure à 100keV : effet photoélectrique
- Energie proche de 1 Mev : effet Compton
- Energie supérieure à 1.022MeV : matérialisation des paires électron-positron
- Energie de 6MeV à 25MeV : réaction photonucléaire
- Energie supérieure à 1GeV : production de méson ( $\mu$ )

Nous retiendrons de manière visuelle ces différentes interactions à l'aide du diagramme suivant (Fig. 1.9):

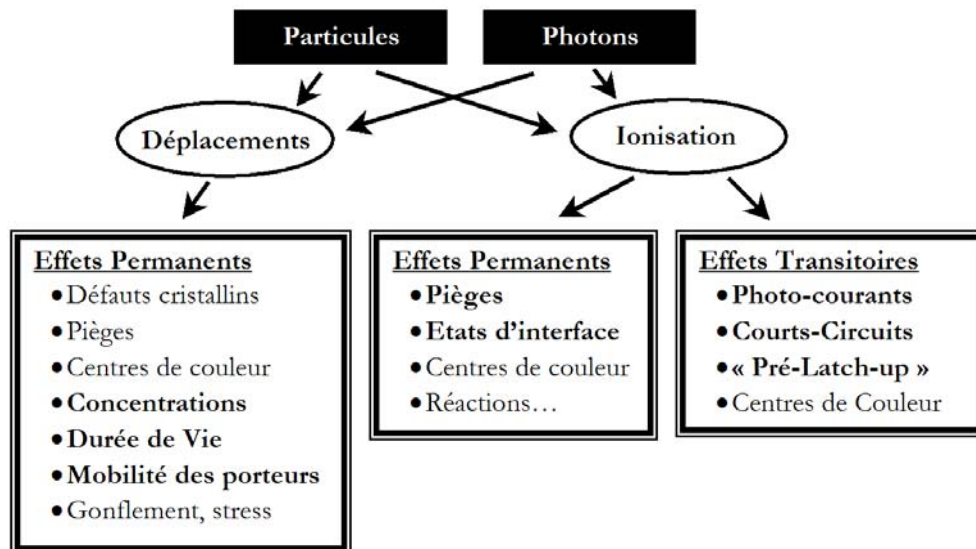


Fig. 1.9 : Interactions des particules et des photons avec la matière

Nous reviendrons sur les problèmes inhérents à ces interactions avec le silicium des circuits intégrés dans le chapitre 7, à travers lequel nous reviendrons sur les méthodes de durcissement aux radiations mis en jeu.

## 2. Les Instruments d'Observation de la Terre et le programme SPOT

### 2.1 Les instruments d'observation de la Terre

Le début de la conquête spatiale a marqué l'aboutissement d'un rêve ancestral pour l'homme, celui de contempler sa Terre originelle, d'embrasser d'un seul regard un hémisphère entier. Si aujourd'hui les programmes spatiaux nous semblent devenus indispensables, autant pour les scientifiques, l'industrie ou la protection militaire, ils sont devenus, plus généralement, indispensables à tout homme afin de mieux comprendre l'environnement dans lequel il évolue. Des spectres étendus du visible à l'infrarouge en passant par le millimétrique, les bandes spectrales d'observation ciblent des besoins précis dont tout à chacun bénéficie très souvent indirectement. Les satellites d'observation de la Terre ont ainsi capturé, en quelques dizaines d'années seulement, des scènes toujours plus précises répondant à des besoins eux aussi toujours plus précis. La grande quantité d'images recueillies de l'ensemble du sol terrestre depuis les balbutiements de l'observation terrestre est aujourd'hui une mine de renseignements pour toute la communauté scientifique. Regroupées de manière thématique, elles fournissent de cruciales informations aussi bien sur l'urbanisation, la végétation, l'impact de l'agriculture intensive, la recherche de ressources naturelles, la composition du sol géologique, le climat... Prenons

l'exemple de l'agriculture. L'observation de la Terre depuis l'espace a ainsi permis de favoriser une nouvelle agriculture plus consciente de l'impact de l'exploitation des sols par l'homme. Dans les pays en développement, elle permet d'identifier la composition des sols, d'évaluer les ressources en eau, de prévenir les zones à risque soumises aux aléas du climat. Combinée à la répartition humaine sur le sol, elle permet de mieux évaluer les besoins en fonction des régions, d'optimiser les lieux de stockage des ressources céréalières (silos)... Les images issues de ces satellites permettent aussi une réaction plus rapide face à des catastrophes de grande ampleur, qu'elles soient géologiques, météorologiques ou humaines. Les exemples en sont nombreux : impact des marées noires sur l'écosystème (malheureusement toujours aussi répétitives), réchauffement de la planète, déforestation intensive... Très récemment, les observations satellites ont pu déterminer très rapidement l'impact du tsunami ayant ravagé les côtes d'Asie du Sud-Est en décembre 2004 : les conséquences de cette catastrophe ont révélé, grâce à l'observation depuis l'espace, des impacts non seulement du point de vue humain (sur les côtes mais aussi sur des ensembles d'îles isolées à l'écart de toute civilisation dont la population a totalement disparu), écologique (disparition pure et simple des bancs de coraux côtiers; pollution des nappes phréatiques, seules ressources d'eau potable pour toute une population), géologique (l'affaissement de la plaque du Pacifique ayant entraîné la disparition de nombreuses îles, le déplacement de plusieurs mètres de toute une partie du continent, l'affaissement de plusieurs mètres des côtes océaniques), touristique (les côtes concentrant la majeure partie de l'activité touristique de nombreux pays) et économique (lente et difficile reconstruction). La prise de conscience récente de l'impact humain sur l'environnement est aussi l'une des conséquences de l'observation de la Terre depuis l'espace, et il est aujourd'hui primordial de multiplier les missions spatiales d'observation de la Terre afin de préserver notre planète.

## 2.2 Le programme SPOT

### 2.2.1 Objectifs

Depuis le lancement du premier satellite de la famille SPOT le 22 février 1986, le CNES n'a cessé de développer et d'améliorer son système d'observation de la Terre, permettant ainsi à la France de disposer, incontestablement, d'un des systèmes d'observation de la Terre les plus complets et les plus performants actuellement. L'évolution des satellites de la famille SPOT de SPOT1 à SPOT5 (Fig. 1.10) répond aux besoins croissants de leurs utilisateurs tout en faisant face à une concurrence internationale toujours plus rude.

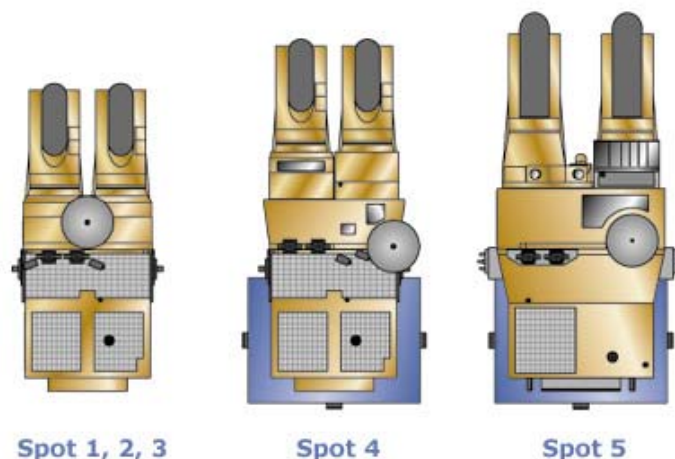


Fig. 1.10 : Satellites de la famille SPOT (1986-2002)

Dès sa définition, le programme SPOT était fondé sur une continuité des services aux utilisateurs du monde entier, afin d'éviter toute rupture des services proposés tout en améliorant leur qualité ainsi que celles des images en réponse aux attentes des clients. Les utilisateurs proviennent aujourd'hui de domaines très diverses : le suivi de la végétation, l'agriculture, la forêt, les sols, la géologie, l'érosion, l'exploration pétrolière et minéralogique, les ressources en eau, l'aménagement du territoire urbain et rural, le génie civil ou la surveillance de l'environnement.

### 2.2.2 La famille SPOT1-SPOT3

Chaque satellite de la gamme SPOT jusqu'à SPOT4 comporte deux instruments imageurs identiques HRV (**H**igh **R**esolution **V**isible), chacun étant capable d'acquérir de manière indépendante des scènes aux sols couvrant une zone géographique de 60\*60km.

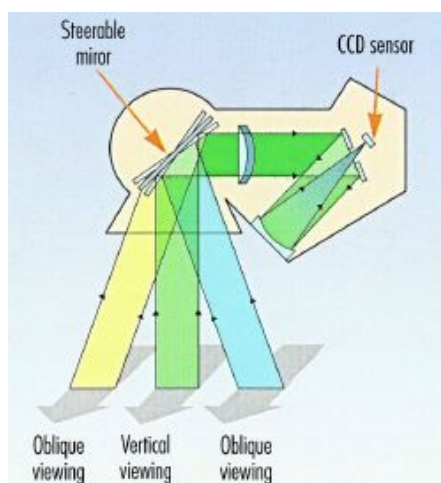


Fig. 1.11 : Orientation des miroirs d'entrée depuis le sol

La position des miroirs d'entrée des deux instruments est contrôlée à partir du sol permettant une observation du sol non nécessairement verticale (l'angle de vue est variable à +/- 27 degrés par rapport à la verticale) (Fig. 1.11).

Deux modes de vue sont utilisés sur chaque instrument (Fig. 1.12):

- le mode panchromatique (P) : l'image est acquise dans une seule bande spectrale correspondant à la bande spectrale visible exempte du bleu. Les images sont ainsi acquises en noir et blanc et utilisées principalement pour des applications requérant une finesse du détail.
- le mode multispectral (XS) : l'image est acquise dans trois bandes spectrales (vert, rouge et proche infrarouge). La combinaison de ces trois images donnent ainsi une image en couleur composite de la scène observée.

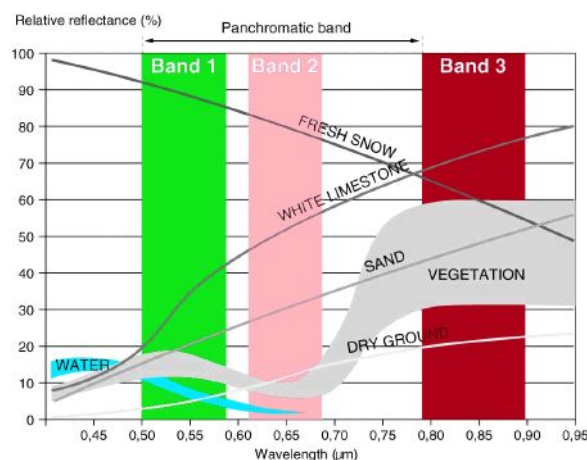


Fig. 1.12 : Bandes spectrales d'observation de la famille SPOT

Ces deux modes peuvent être utilisés séparément, simultanément ou indépendamment sur chacun des 2 instruments. Il est ainsi possible, grâce à l'utilisation simultanée des deux instruments avec des angles de vue différents de générer des couples stéréoscopiques pour la perception du relief et la création de modèle numérique de terrain.

### 2.2.3 Le satellite SPOT4

Le satellite SPOT4 s'inscrit dans la continuité du programme SPOT en offrant des caractéristiques géométriques de prise de vue semblable aux satellites précédents de la gamme (fauchée de 60km par instrument et capacité de visée latérale à +/- 27° par rapport à la verticale) tout en introduisant une nouvelle bande spectrale dans le moyen infrarouge (1,5µm à 1,75µm). Cette nouvelle bande spectrale a notamment nécessité la définition d'un nouveau boîtier de définition (détecteurs...) et la gestion d'une température plus basse et stabilisée au centième de degré près. La durée de vie du satellite a aussi été améliorée conférant une exploitation sur 5 années. Les deux instruments embarqués de type HRVIR (**H**aute **R**ésolution **V**isible et **I**nfra**R**ouge) dérivent des instruments des satellites SPOT1-3.

## 2.2.4 Le satellite SPOT5

La capacité de traitement des images sur SPOT5 (5 images) est largement améliorée en comparaison avec le dernier satellite de la famille SPOT4 (2 images). Les enregistreurs à bande magnétique ont été abandonnés au profit de mémoires électroniques permettant une meilleure gestion des ressources. SPOT5 est pourvu de 2 instruments HRG, ayant chacun un champ de vue de 4° (soit comme pour tous les autres satellites de la famille, une fauchée au sol de 60km). Ils peuvent fonctionner de façon autonome (prise de vue double) ou alors conjointement afin d'augmenter la bande observée au sol (120 kms) ou pour utiliser le **supermode**.

La satellite SPOT5 utilise les mêmes bandes visibles dans le domaine visible et moyen infra-rouge que celles de SPOT4. Néanmoins, une bande panchromatique est ajoutée [0.49-0.69 $\mu$ m]. SPOT5 profite notamment de l'introduction du **supermode**. Ce processus d'acquisition particulier permet ainsi, à partir de deux images panchromatiques acquises simultanément au pas d'échantillonnage de 5 mètres, de produire une image échantillonnée à 2,5 mètres (Fig. 1.13).



Fig. 1.13 : Acquisition du Centre Ville de Toulouse avec SPOT5 (pleine résolution)



## 2.2.5 Spécifications techniques des instruments du programme SPOT

Le [tableau 1-3](#) montre l'évolution des spécifications techniques et des performances en vol de la famille de satellites du programme SPOT. Nous remarquerons principalement l'évolution des détecteurs embarqués ainsi que le taux de transfert de données sur la dernière génération SPOT5.

PARAMETER	SPOT-1,-2,-3	SPOT-4	SPOT-5
PRIME SENSOR	2 x HRV	2 x HRVIR	2 x HRG
SPECTRAL BANDS PAN	PAN (0.51-0.73 $\mu\text{m}$ ) at 10 m resolution	PAN (0.61-0.68 $\mu\text{m}$ ) 10 m, co-registered with B2	PA-1 (0.49-0.69 $\mu\text{m}$ ), 5 m PA-2 (0.49-0.69 $\mu\text{m}$ ), 5 m
SPECTRAL BANDS MS	B <sub>1</sub> (50-0.59 $\mu\text{m}$ ) B <sub>2</sub> (0.61-0.68 $\mu\text{m}$ ) B <sub>3</sub> (0.79-0.89 $\mu\text{m}$ ) all at 20 m resolution	B <sub>1</sub> (0.50-0.59 $\mu\text{m}$ ), 20 m B <sub>2</sub> (0.61-0.68 $\mu\text{m}$ ), 10 m B <sub>3</sub> (0.79-0.89 $\mu\text{m}$ ), 20 m SWIR (1.58-1.7 $\mu\text{m}$ ), 20 m	B <sub>1</sub> (0.49-0.61 $\mu\text{m}$ ), 10 m B <sub>2</sub> (0.61-0.68 $\mu\text{m}$ ), 10 m B <sub>3</sub> (0.78-0.89 $\mu\text{m}$ ), 10 m SWIR (1.58-1.7 $\mu\text{m}$ ), 20 m
FOV (SWATH) PER SENSOR	4.13° (60 km)	4.13° (60 km)	4.13° (60 km)
LOCATION ACCURACY	approx. 350 m	approx. 350 m	approx. 50 m
S/C MASS (AT LAUNCH)	1907 kg	2755 kg	3000 kg
S/C SIZE (MAIN STRUCTURE)	2 m x 2 m x 4.5 m	2 m x 2 m x 5.6 m	3.4 m x 3.1 m x 6 m
SOLAR PANEL SPAN, POWER	8.14 m, 1 kW (EOL)	8.032 m, 2.1 kW (EOL)	2.40 kW (EOL)
DETECTOR LINE ARRAY (Si) (Si) (InGaAs/InP)	6000 PAN, 3000 MS	6000 PAN, 3000 MS (2 lines) 3000 SWIR (1 line)	12000 PAN (2 lines) 6000 MS (3 lines) 3000 SWIR (1 line)
ONBOARD DATA STORAGE	2 x 60 Gbit	2 x 120 Gbit + 9 Gbit solid-state memory	90 Gbit solid state memory
RECORDING CAPABILITY	2 x 22 min	2 x 40 min	2 x 40 min
DATA COMPRESSION	DPCM (3/4) for PAN data only	DPCM (3/4) MS and PAN	DCT
IMAGE PROCESSING	Two images can be processed at once, then sent directly or stored using a compression factor of 1.3		Up to five images. Two sent in real or deferred time. Three stored, compression factor: 2.6-3.0
DATA RATE (X-BAND)	2 x 25 Mbit/s	50 Mbit/s	2 x 50 Mbit/s
X-BAND FREQUENCY	8.253 GHz	8.253 GHz	8.253 GHz (QPSK)
DESIGN LIFE	3 years	5 years	5-7 years
ORBIT DETERMINATION	DORIS	Real-time DORIS, 5 m rms	Real-time DORIS, 5 m rms

Tab. 1-3 : Spécifications techniques des instruments du programme SPOT

## 3. Principe d'une chaîne vidéo fonctionnelle de traitement vidéo CCD

Comme nous avons pu le voir précédemment les instruments d'observation de la Terre utilisent jusqu'à aujourd'hui des détecteurs CCD. Le signal de sortie d'un détecteur CCD requiert alors une chaîne de traitement vidéo spécifique majoritairement analogique.

### 3.1 Contexte

Les chaînes de traitement vidéo intégrées dans les instruments des satellites de la famille SPOT étaient jusqu'à SPOT5, exclusivement constituées de composants analogiques standards (qualifiés spatial) : amplificateurs opérationnels, convertisseurs analogique/numérique et numérique/analogique, multiplexeurs, commutateurs analogiques... Récemment, les avancées

technologiques en conception de circuits intégrés ont permis de rendre possible l'intégration d'un plus grand nombre de fonctions au sein d'un même composant. Les avantages sont bien entendu considérables puisque l'intégration permet de réduire l'encombrement des électroniques embarquées, la consommation mais aussi d'améliorer parallèlement les performances.

Il devient alors aujourd'hui possible d'intégrer l'ensemble du traitement analogique du signal CCD ainsi que la conversion analogique/numérique à l'intérieur d'un même boîtier. Des solutions commerciales sont désormais nombreuses notamment auprès de constructeurs tel Analog Devices proposant une large gamme de produits pour différents types d'applications.

Néanmoins, le paragraphe précédent a montré les contraintes de l'environnement spatial et ses effets sur les circuits électroniques. Des efforts ont été menés afin de durcir aux radiations les composants commerciaux, ce qui permet un développement beaucoup plus simple des circuits électroniques embarqués tout en assurant un bon approvisionnement des composants. Parallèlement, des voies tendent à s'ouvrir afin d'assurer des partenariats commerciaux auprès de fondeurs dans le but de qualifier « spatial » des circuits intégrés dits « commerciaux ». Mais la quantité infime de composants demandés, le respect strict d'un cahier des charges ne semblent guère intéresser les fondeurs aujourd'hui. Il faut ajouter à cela que l'utilisation d'une solution commerciale tout-en-un comprenant l'ensemble du traitement du signal vidéo CCD ne permet pas une maîtrise de la conception des électroniques embarquées.

La voie de recherche d'une solution ASIC (**A**pplication-**S**pecific **I**ntegrated **C**ircuit) est aujourd'hui la plus envisageable à court terme puisqu'elle permet pleinement de profiter de l'évolution technologique tout en assurant des règles précises de durcissement aux radiations. Bien entendu, les contraintes relatives aux détecteurs CCD demeurent les mêmes comme les faibles niveaux du signal vidéo ou bien encore les sources de bruit intrinsèques. Nous pouvons noter, de plus, que l'augmentation de la résolution de la chaîne requiert une augmentation de la vitesse de lecture en sortie du détecteur, ce qui en général constitue une difficulté supplémentaire.

## 3.2 Architecture

L'information contenue dans le signal CCD correspondant à la différence de potentiel entre le palier de référence et le palier vidéo requiert par conséquent plusieurs opérations incluant (si l'on considère une architecture « classique ») une capacité de blocage de la polarisation statique du nœud de sortie du détecteur, un étage de pré-amplification généralement combiné à un étage de **clamp** (permettant la restitution du palier de référence à un niveau souhaité), un **Double Echantillonnage Corrélé** (DEC) utilisé comme réducteur de bruit, un étage

d'amplification à gain variable (PGA : **P**rogrammable-**G**ain **A**mplifier), une compensation d'offset et très souvent un étage buffer dédié à l'attaque du circuit de **C**onversion **A**nalogique-**N**umérique (CAN) (Fig. 1.14).

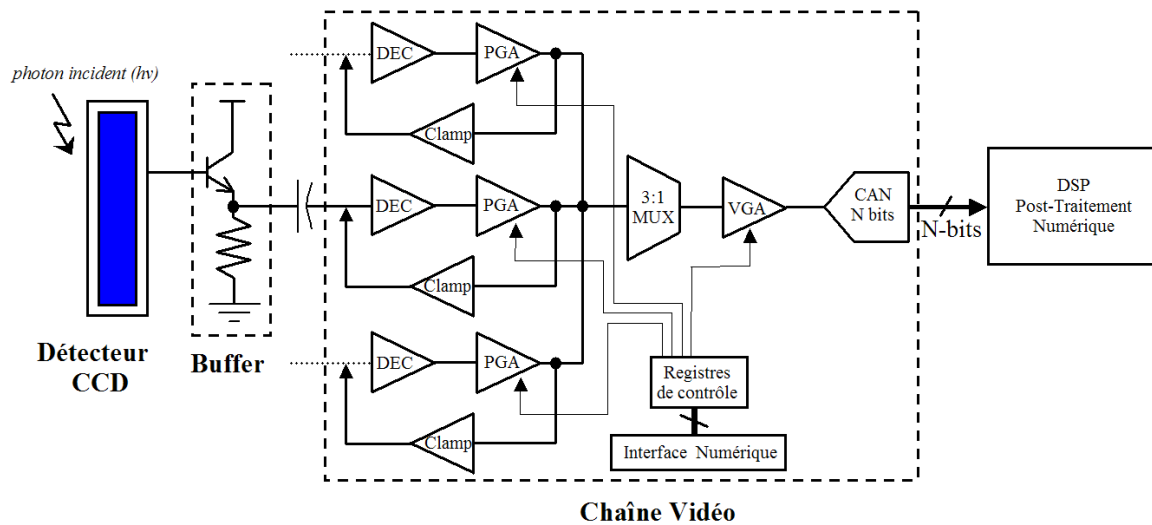


Fig. 1.14 : Schéma synoptique représentatif d'une chaîne vidéo CCD typique

### 3.3 Les Détecteurs CCD (Charge Coupled Device)



Fig. 1.15 : Première démonstration du détecteur CCD par Boyle et Smith en 1969

Le concept de détecteur CCD fut proposé en octobre 1969 par Willard S. Boyle et George E. Smith au Bell Telephone Laboratories (Fig. 1.15). Jack Morton, alors vice-président au Bell Labs Electronics Technology avait encouragé Boyle et Smith à étudier si le CCD pouvait être utilisé pour réaliser des mémoires de courants similaires aux mémoires à bulles magnétiques. Parallèlement des recherches étaient effectuées afin de développer un téléphone vidéo en utilisant ce principe associé à des détecteurs à photodiodes. C'est dans ce but que le concept de détecteur CCD était né. Pour la petite histoire, on raconte aujourd'hui qu'il n'aura fallu qu'une demi-heure à Boyle et Smith pour poser le concept du détecteur CCD sur un simple tableau noir.

Son principe de fonctionnement consiste à collecter les porteurs photogénérés par le détecteur puis à les convertir en charges électriques. Ces charges électriques sont ensuite transférées vers un registre de lecture et transformées en tension, définissant ainsi un signal vidéo CCD utilisable par l'électronique.

### 3.3.1 Principe de fonctionnement du détecteur CCD

Le détecteur CCD est fondamentalement constitué d'une surface photosensible plane positionnée au foyer d'un imageur optique. Pour une réponse spectrale dans le visible ou le proche infrarouge, le matériau de base de cette surface photosensible est généralement le Silicium (Si) dopé à l'aide d'impuretés afin d'acquérir des propriétés photoélectriques. Ainsi, les photons incidents sont susceptibles de créer des paires électron-trou dans le semi-conducteur.

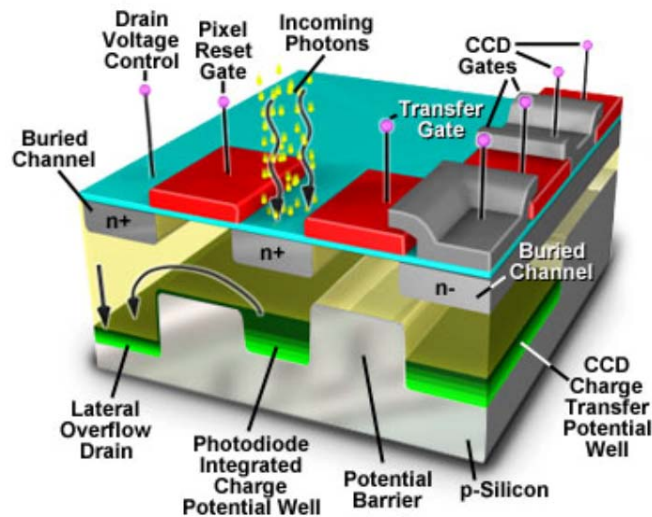


Fig. 1.16 : Structure Interne d'un détecteur CCD [CCD,2005]

La surface photosensible du détecteur CCD est décomposée en un ensemble de cellules électriquement indépendantes, les photosites (ou pixels) dont la taille est variable, de l'ordre de quelques micromètres à plusieurs dizaines de micromètres (Fig. 1.16). Ces photosites, correctement polarisés, permettent d'accumuler un grand nombre d'électrons sous l'effet du rayon incident. Le nombre d'électrons accumulés dépend du nombre de photons incidents sur la surface photosensible, et donc principalement de la luminance de l'objet observé et du temps d'intégration  $T_i$ . La caractéristique principale d'un détecteur CCD est déterminée par son rendement quantique par pixel qui définit le rapport de conversion photons-électrons. Ce rendement quantique dépend de la longueur d'onde du rayon incident, notamment dans le domaine du visible : le rendement quantique est ainsi plus important dans le rouge que dans le bleu et peut atteindre 90% pour des détecteurs CCDs optimisés.

La résolution du détecteur CCD dépend de la taille minimale de la surface photosensible. Ainsi, plus les pixels sont de faibles dimensions, plus la résolution angulaire sera meilleure pour une optique donnée. La technologie actuelle présente pourtant des limitations technologiques dans la réalisation de détecteurs CCDs très précis : plus la taille des photosites diminue, plus la quantité de charges accumulées dans le semi-conducteur diminue et dégrade alors la dynamique du détecteur.

Une fois les photocharges collectées, un transfert doit être réalisé afin de récupérer l'information utile. En considérant une matrice CCD composée de plusieurs lignes de photosites, les charges accumulées dans une ligne de photosites sont transférées dans la ligne adjacente par polarisation séquentielle des cellules au moyen de phases (Fig. 1.17).

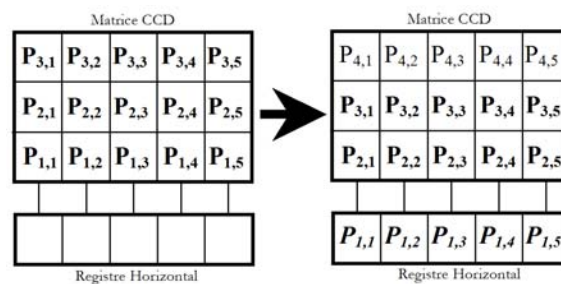


Fig. 1.17 : Représentation schématique du transfert des photocharges ligne à ligne

La dernière ligne de la matrice CCD est alors transférée dans un registre de lecture où les pixels vont aussi être transférés séquentiellement par des phases plus rapides d'un pixel adjacent à un autre vers l'étage de sortie final (Fig. 1.18). Les photocharges accumulées dans le pixel précédent l'étage de sortie sont alors converties en une tension électrique.

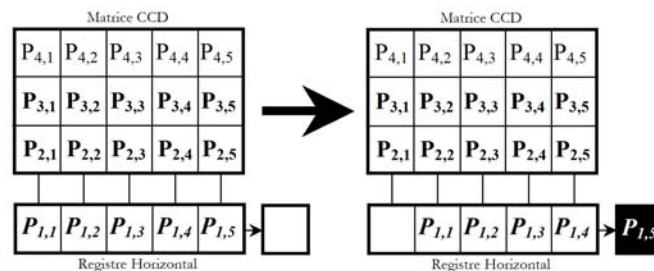


Fig. 1.18 : Transfert des photocharges dans le registre horizontal

Nous pouvons décomposer le fonctionnement du dispositif en trois étapes (Fig. 1.19):

- Un condensateur est chargé à un niveau dit de précharge par la fermeture d'un interrupteur qui applique une tension fixe de référence (tension de reset),
- L'interrupteur est ensuite ouvert. Au cours de cette transition, il apparaît une variation de potentiel aux bornes de la capacité dont la valeur finale définit le **palier de référence** en l'absence de photocharges,

- Les photocharges sont ensuite injectées dans la capacité. La décharge de celle-ci est donc proportionnellement au nombre d'électrons contenu dans un photosite, c'est le **palier vidéo**.

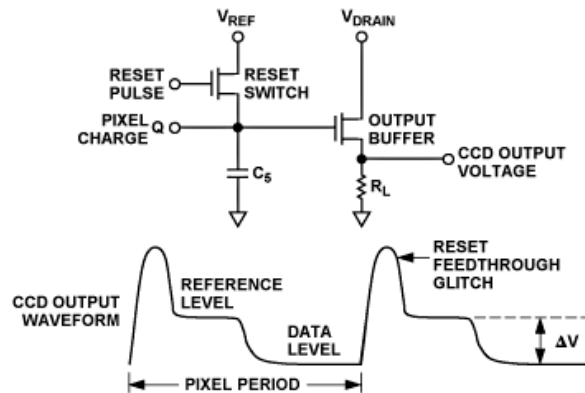


Fig. 1.19 : Etage de sortie du détecteur CCD et forme équivalente du signal de sortie

L'information utile correspond donc à la différence de potentiel entre le palier vidéo et le palier de référence. C'est cette information qui devra être traitée par l'électronique pour reconstituer l'image. Cette électronique externe permet de mettre en forme le signal (pré-traitement analogique), de numériser l'information utile (le convertisseur analogique/numérique) puis de transférer l'information vers sa destination.

### 3.3.2 Le signal vidéo CCD

#### a) Principe

Les trois phases précédentes de détection permettent de définir trois parties distinctes du signal vidéo CCD dans le cas des dispositifs rapides :

- **Un pic de reset** qui correspond à la tension de polarisation du condensateur de mémorisation. Cette tension effectue une remise à zéro par rapport au pixel précédent.
- **Un palier de référence** : ce palier correspond à la tension de référence aux bornes du condensateur d'intégration.
- **Un palier vidéo** : ce palier correspond à la tension vidéo disponible aux bornes du condensateur après le transfert de photocharges.

L'information utile relative à un pixel correspond donc à la différence de potentiel mesurée entre les paliers de référence et vidéo, à laquelle on soustrait le potentiel de décalage du registre en obscurité (c'est-à-dire du niveau des pixels en prélecture).

## b) Grandeurs caractéristiques

Nous pouvons étudier de manière plus approfondie la forme d'un signal CCD pour laquelle on peut définir plusieurs grandeurs caractéristiques permettant de qualifier précisément le comportement des différents paliers de référence et vidéo. Dans les définitions suivantes, nous traiterons le palier vidéo et le palier de référence de manière équivalente, seul l'indice des grandeurs caractéristiques les différenciant. L'indice  $_R$  renvoie au palier de référence tandis que l'indice  $_U$  renvoie au palier vidéo.

Pour chaque palier (Fig. 1.20 et Fig. 1.21), un gabarit ou plage de tension acceptable est défini, d'amplitude  $\Delta A_R$  qui permet de maximiser la durée du signal vidéo. Une zone  $Z_R$  comprise dans cette plage de tension permet de définir les grandeurs suivantes :

- Une **pente moyenne**  $\Delta V_R/\Delta t$  du signal vidéo,
- des **ondulations résiduelles** par rapport à cette pente moyenne caractérisées par une amplitude crête à crête  $\Delta V_R$  et une pente instantanée  $dV_R/dt$ .

Le début du palier de référence est défini à partir de l'instant duquel le signal vidéo entre dans le gabarit de référence. La fin du palier de référence est de la même façon défini à partir de l'instant duquel le signal vidéo sort du gabarit de référence. Cet instant de fin de palier est relié au front montant de la phase détecteur  $\phi_{LS}$ , par la définition du temps  $T_{ZR} \pm \Delta T_{ZR}$ . La durée du palier de référence est par définition l'écart entre la fin de palier et le début de palier.

Les incertitudes liées à la définition du temps  $T_{ZR}$  tiennent compte de trois phénomènes :

- Un **biais initial BI** qui correspond à une incertitude sur le réglage, sur la précision de mesure,
- Une **dérive à court terme CT** provoquée par une gigue, les alimentations, les modifications thermiques,
- Une **dérive à long terme LT** provoquée par le vieillissement du composant, les effets provoqués par les radiations.

Pour tous les signaux vidéo, l'horloge de référence sera l'horloge détecteur  $\phi_{LS}$ . Le réglage initial de la fin de clamp sera situé à  $T_{ZR}$  après son front montant.

Nous pouvons ainsi déterminer un certain nombre de caractéristiques fondamentales d'un signal CCD (Tab. 1-4).

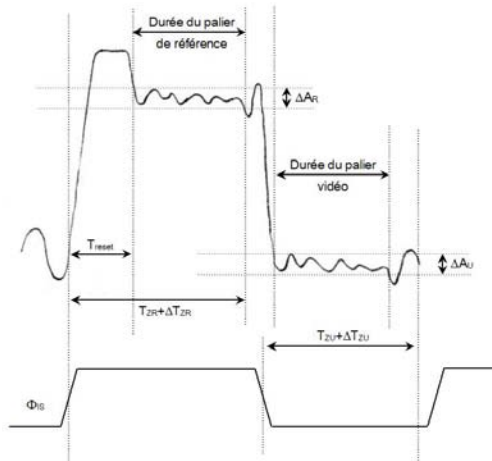


Fig. 1.20 : Définition des paramètres d'un signal CCD

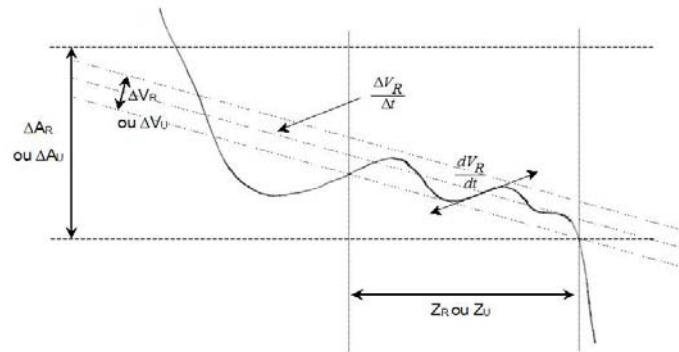


Fig. 1.21 : Définition des paramètres relatifs aux paliers d'un signal CCD

PARAMETRES			
Cadence Point	$1/T_p$	Pente moyenne de référence	$ \Delta V_R / \Delta t $
Position de $Z_R$	$T_{ZR}$	Pente moyenne vidéo	$ \Delta V_U / \Delta t $
Position de $Z_U$	$T_{ZU}$	Ondulation résiduelle sur le palier de référence	$ dV_R / dt $
Incertitude sur $Z_R$	$\Delta T_{ZR}$	Ondulation résiduelle sur le palier vidéo	$ dV_U / dt $
Incertitude sur $Z_U$	$\Delta T_{ZU}$	Signal Vidéo utile	$V_U$
Durée du palier de référence	$P_R$	Signal Vidéo à la saturation	$V_{sat}$
Durée du palier vidéo	$P_U$	Offset Register	$V_{off}$
Durée du pic de reset	$T_{reset}$	Tension de Reset	$V_{reset}$
Amplitude du tunnel de référence	$\Delta A_R$	Niveau de la composante continue	$V_P$
Amplitude du tunnel vidéo	$\Delta A_U$		

Tab. 1-4 : Caractéristiques fondamentales d'un signal CCD

Dans le cadre de cette thèse, les besoins souhaités en termes de chaîne vidéo d'instruments d'observation de la Terre sont quantifiés pour des applications fonctionnant à 10-30 Mechs/s et pour une précision fixée par le convertisseur analogique-numérique de résolution 12-14 bits. Si l'utilisation de nouvelles technologies à faible longueur de grille minimale permet des gains importants en terme de rapidité, il est plus difficile d'évaluer à priori l'impact de leur faible tension d'alimentation pour assurer un pré-traitement analogique dont la précision est fixée par le codeur en sortie. La prise en compte du bruit maximal admissible en sortie est primordiale pour le dimensionnement des fonctions analogiques. Nous nous devons donc d'analyser le compromis entre dynamique et vitesse qu'offre ces nouvelles technologies.



## 3.4 Le Traitement Analogique

### 3.4.1 Le Pré-Amplificateur

Les chaînes vidéo utilisent généralement un étage pré-amplificateur d'entrée. Le rôle de cet étage est de réaliser l'interface de bufferisation entre le détecteur CCD et la chaîne de traitement vidéo. Il doit aussi adapter la dynamique des signaux afin d'obtenir une plage d'utilisation maximale. L'avantage qui en découle repose principalement sur l'obtention d'un rapport signal à bruit optimum de la chaîne de traitement.

### 3.4.2 Le Double Echantillonnage Corrélé

Le bruit est le facteur limitant dans la résolution d'une chaîne de traitement vidéo d'un signal CCD. Afin de minimiser ce bruit, les chaînes utilisent, dans la majorité des cas, le principe du double échantillonnage corrélé. Ce nom provient de la technique de double échantillonnage du signal CCD pour l'information d'un pixel (Fig. 1.22). Le signal issu du détecteur CCD est appliqué à l'entrée de deux circuits échantillonneur-bloqueur SHA1 et SHA2. Un signal d'horloge de référence impose la valeur du palier de référence sur l'entrée d'un circuit comparateur alors qu'un signal d'horloge décalé dans le temps contrôle la valeur du palier vidéo. Un amplificateur différentiel détermine alors la différence de potentiel utile d'un pixel  $\Delta V_U$ . Il existe principalement deux architectures concourantes de Double Echantillonnage Corrélé :

- La méthode clamp [White 1974], qui utilise une capacité en série avec le chemin emprunté par le signal. Lorsque le signal d'entrée est à son palier de référence, la capacité est chargée à une valeur de référence ( $V_{\text{PALIER}} - V_{\text{REF}}$ ). Au passage au palier vidéo, la sortie de l'étage clamp présente alors un potentiel  $V_{\text{VIDEO}} - (V_{\text{PALIER}} - V_{\text{REF}})$  (en raison de la non-discontinuité des tensions aux bornes de la capacité) qui est appliqué en entrée d'un circuit échantillonneur-bloqueur. Ce dernier bascule alors en mode de maintien et mémorise ainsi la tension utile du pixel à laquelle est ajoutée une tension de référence fixe  $V_{\text{REF}}$  (tension de mode commun).
- La méthode différentielle [Burr Brown], échantillonne parallèlement les deux paliers de référence et vidéo à l'aide de deux circuits échantillonneur-bloqueurs (Fig. 1.22). Un amplificateur différentiel réalise la différence sur les potentiels mémorisés, ce qui constitue la tension utile du pixel. Un circuit échantillonneur-bloqueur supplémentaire mémorise cette valeur en sortie.

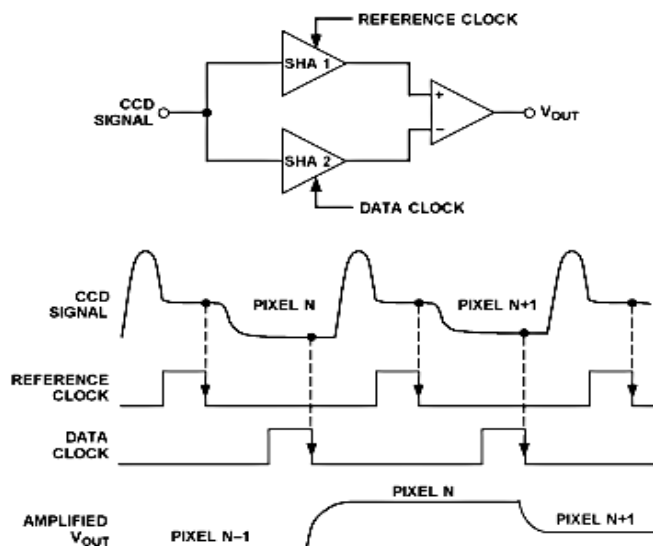


Fig. 1.22 : Principe du Double Echantillonnage Corrélé (DEC)

### 3.4.3 L'étage de sortie

Situé en fin de chaîne de pré-traitement vidéo, cet étage réalise l'interface avec le convertisseur analogique-numérique. Son rôle est ainsi d'adapter la dynamique de sortie du signal à la dynamique d'entrée du circuit de conversion. Dans certaines applications, cet étage implémente un gain programmable qui permet au circuit de s'ajuster en fonction des conditions d'utilisation.

Il est important de remarquer que la fréquence à laquelle le gain est changé varie beaucoup d'une application à une autre. Dans le cas des appareils photos, il change pour chaque photo. En ce qui concerne l'observation de la terre, les conditions d'utilisation varient relativement peu. Le gain n'est donc changé que lors de calibrages et il demeure fixe pendant l'observation.

### 3.4.4 La correction d'offset

La chaîne de traitement possède plusieurs sources possibles de tension de décalage résultante. Tout d'abord, une première composante continue provient directement du capteur. En effet, même si aucune lumière n'atteint le capteur, la génération thermique à l'intérieur crée un 'courant d'obscurité' dont le niveau dépend de la température du capteur. Il peut donc être diminué en refroidissant le capteur, mais le plus simple est généralement de directement soustraire la tension de décalage correspondante du signal. Pour cela, les barrettes de capteurs CCD possèdent généralement une série de pixels blindés ne pouvant pas recevoir de lumière et qui servent de référence de décalage.

Ensuite, à chaque fonction de la chaîne vidéo ajoute potentiellement une tension de décalage, en particulier lorsqu'elle vieillit. Pour corriger ces erreurs, un algorithme de filtrage

numérique est généralement implémenté, par exemple dans un cœur de DSP. Le signal de correction obtenu est alors réinjecté dans la chaîne au travers d'un convertisseur numérique-analogique. Le niveau de correction étant relativement faible par rapport à la dynamique du signal, ce convertisseur nécessite une moins grande précision que le convertisseur analogique-numérique.

## **3.5 Considérations sur les performances des chaînes vidéos**

A fréquence d'échantillonnage fixée, les trois caractéristiques importantes pour qualifier une chaîne de traitement vidéo sont la dynamique, le rapport signal à bruit et la non-linéarité. Néanmoins, dans le cas d'une application vidéo CCD, la non-linéarité intégrale est d'importance moindre car les signaux traités ne sont pas sinusoïdaux et donc l'échantillonnage dans le convertisseur analogique-numérique s'effectue durant une période pendant laquelle le signal vidéo ne varie que très peu. Ainsi, pour qualifier une chaîne vidéo, on considère la participation de l'ensemble du bruit amené par le traitement analogique, le bruit de quantification et la non-linéarité différentielle.

### **3.5.1 Bruit**

La participation du bruit du circuit de traitement analogique du signal vidéo limite la plage dynamique de fonctionnement du circuit (plage déterminée par l'amplitude minimale pouvant être détectée par le circuit et l'amplitude maximale pouvant être traitée par le circuit). Les composantes de bruit à qualifier sont donc les suivantes :

- le bruit aléatoire du CCD, généralement spécifié par le constructeur du CCD et référencé en tant que bruit de plancher ou « noise floor » et exprimé en mV ou électrons rms. Le bruit thermique en  $k_B T/C$  et le bruit dont la densité spectrale quadratique varie en  $1/f$  sont minimisés à l'aide de la technique de double échantillonnage corrélé.
- le bruit provoqué par la variation du courant d'obscurité de chaque pixel est en général réduit par une méthode de calibration. Néanmoins, si ce n'est pas le cas, celui-ci doit être considéré dans sa participation sur le bruit total du traitement analogique.
- le bruit du buffer en sortie du détecteur CCD,
- le bruit amené par chaque sous-circuit du traitement analogique,

- le bruit de quantification du convertisseur analogique-numérique.

En considérant que tous ces bruits sont indépendants, nous pouvons considérer que leur contribution dans toute la chaîne analogique s'ajoute quadratiquement, ce qui est, exprimé en terme de variances :

$$\eta_{\text{Total}} = \sqrt{\eta_{\text{CCD}}^2 + \eta_{\text{FPN}}^2 + \eta_{\text{AFE}}^2 + \eta_{\text{ADC}}^2} \quad (1-3)$$

### 3.5.2 Linéarité

La linéarité de la chaîne vidéo doit aussi être considérée avec attention. La non-linéarité effective d'un convertisseur analogique-numérique amène de possibles artefacts dans l'image numérisée. La non-linéarité différentielle (DNL) est la plus importante car le système de vision humaine détecte très facilement les discontinuités d'une image. Ainsi, par exemple, pour une chaîne vidéo de résolution effective 10-bits, la non-linéarité différentielle doit être meilleure que 1LSB (0.5LSB en général) afin d'éviter une dégradation de l'image échantillonnée. La non-linéarité intégrale (INL) est elle aussi importante mais il faut noter que l'œil humain est moins adapté à distinguer une non-linéarité graduelle qui réside sur l'ensemble de l'échelle des niveaux de gris. Néanmoins, une non-linéarité intégrale contribue à introduire des erreurs dans l'algorithme de codage des couleurs de l'image résultant en des artefacts dans la couleur de l'image.

## 3.6 Les Chaînes Vidéos Monolithiques Commerciales

Avant de nous intéresser en détail à l'intégration de fonctions analogiques du traitement vidéo au sein d'un ASIC à l'aide de technologies CMOS submicroniques, il est important d'évaluer les performances intrinsèques des composants commerciaux, disponibles en 2005. Nous remarquons ainsi que les avancées technologiques dans le domaine des capteurs CCD ont amélioré de manière significative l'offre commerciale de chaînes vidéo monolithiques. Si les informations techniques concernant les architectures internes de ces chaînes sont difficilement exploitables, nous pouvons remarquer que chaque constructeur propose généralement des descriptions générales au travers de notes techniques [Burr Brown][Philips,2001][Texas Instruments,1993].

Composant	Date	Vitesse (MS/s)	Précision (bits)	Linéarité (bits effectif)	Tension d'alimentation	Consommation
<b>Analog Devices</b>						
AD9814	1999	7	14	13.2	5V	333mW
AD9822	1999	12.5	14	13.4	5V	385mW
AD9824	2002	30	14	13.5	3V	153mW
AD9826	2001	12.5	16	15.5	5V	400mW
AD9840A	2000	40	10	9.5	3V	155mW
AD9841(2)	2001	20	10(2)	11.6	3V	78mW
AD9845B	2003	30	12	11.5	3V	153mW
AD9847	2003	40	10	9.6	3V	450mW
AD9849	2003	30	12	11.6	3V	450mW
AD9944	2004	25	12	11.7	3V	79mW
AD9945	2003	40	12	11.5	3V	140mW
AD9949	2004	36	12	11.5	3V	320mW
<b>TI - Burr Brown</b>						
VSP3010	2000	12	12	11.7	5V	500mW
TLV990-13	2000	13	10	9.5	3V	150mW
VSP2267	2002	12	12	11.5	3.3V	138mW
VSP3210	2000	8	16	14.5	5V	350mW
TLV990-40	2004	40	10	9.5	3V	200mW
VSP1221	2004	21	12	11.5	3V	90mW
VSP2272	2001	28	12	11.5	3V	96mW
VSP2254	2002	36	14	12	3V	210mW
<b>Holtek</b>						
82V26V150	2004	25	16	15	5V	400mW
82V36V130	2004	6	16	14.5	3.3V	56mW
82V842V10	2004	20	10	9.4	3V	70mW
<b>Philips</b>						
TDA8783	2002	40	10	9.8	5V	483mW
TDA8784	2002	18	10	9.8	5V	483mW
TDA8787A	2002	18	10	9.5	3V	190mW
TDA9952	2002	25	10	9.5	3V	135mW
TDA9962	2002	30	12	11.5	3V	130mW
TDA9965A	2004	40	12	11.5	5V	425mW
<b>Exar</b>						
XRD98L56	2001	27	10	9.25	3V	150mW
XRD98L63	2003	30	12	11.5	3V	120mW
XRD9836	2003	15	16	14.7	3.3V	280mW

Tab. 1-5 : Principales Caractéristiques des chaînes vidéos monolithiques du commerce

Nous pouvons ainsi dresser un état de l'art des chaînes vidéo monolithiques du commerce en fonction de leur vitesse de fonctionnement, de leur précision mais aussi de leur consommation qui comme nous pouvons le voir est intrinsèquement liée à leur tension d'alimentation (Tab. 1-5). La linéarité des chaînes vidéo en nombre de bits effectifs doit bien entendu être considérée avec prudence. Sur le marché du semiconducteur, ces nombres sont avant tout à considérer d'un point de vue commercial, car donnés à titre indicatif dans des conditions de polarisation très précises, et rarement à hautes fréquences. La qualification des composants doit alors être réalisée pour chaque famille afin de déterminer les caractéristiques électriques réelles des chaînes.

## Conclusion

A travers ce premier chapitre, nous avons présenté le cadre de notre présente étude au niveau de l'environnement spatial et de l'architecture principale des chaînes de traitement du signal vidéo issu des détecteurs CCDs.

Cette présentation de l'environnement spatial montre que la conception de circuits demande des contraintes beaucoup plus exigeantes que dans le cas de circuits dédiés à des applications au sol. Les effets des radiations, particules ou électrons, induisent des interactions avec la matière et plus particulièrement sur le silicium des circuits intégrés. Nous répondrons au [chapitre 7](#) à la notion de durcissement des circuits intégrés aux radiations, et nous verrons que l'évolution actuelle des technologies est prometteuse pour une tenue intrinsèque.

Par la description des satellites issus du programme SPOT, nous avons pu évaluer l'intérêt spécifique des satellites d'observation de la Terre, dont le bénéfice n'est pas en terme commercial, tel un satellite de télécommunications, mais plutôt un bénéfice humain et environnemental. De ces satellites d'observation, nous avons alors décrit les chaînes vidéos, composantes essentielles, puisque réalisant le traitement du signal vidéo issu du détecteur CCD, de manière analogique, et ce jusqu'à l'interface de conversion analogique/numérique.

Dans le chapitre suivant, nous présenterons l'aspect technologique de la réalisation de ces chaînes vidéo par l'étude des technologies aujourd'hui disponibles et accessibles.

---

## **La conception de circuits intégrés analogiques en technologie CMOS basse tension**

---

Le besoin d'intégration de plus en plus dense au sein des systèmes électroniques embarqués à bord des satellites doit tenir compte des technologies accessibles sur le marché. L'évolution rapide des technologies CMOS peut être principalement quantifiée à l'aide de deux paramètres : la longueur de grille minimale et la tension d'alimentation maximale applicable. Bien entendu, la motivation est alors importante dans le domaine spatial par laquelle cette évolution laisse envisager, par exemple, l'intégration d'une chaîne vidéo complète dans un même ASIC, tout en présumant une rapidité et une précision accrue de la chaîne de traitement, mais aussi une diminution de la consommation.

D'un point de vue prospectif, les principales technologies utilisées aujourd'hui pour la conception de circuits intégrés CMOS submicroniques sont principalement dédiées pour la réalisation de circuits numériques complexes. Dans le cas des circuits intégrés analogiques, la réduction de la tension d'alimentation des circuits impose d'importantes modifications conceptuelles dans la topologie des circuits : des grandeurs caractéristiques telles que la dynamique de sortie, la linéarité, le gain et même la rapidité sont intrinsèquement liées et souvent limitées par la réduction de la tension d'alimentation. De plus, ces technologies ne sont généralement accessibles qu'aux industriels produisant des circuits intégrés en grande quantité. Dans le cadre de l'instrumentation spatiale, le volume de circuits intégrés requis pour la conception d'un nouvel instrument est très faible, puisqu'il se limite à un certain nombre d'unités dédiées à la caractérisation et validation, puis à l'approvisionnement de quelques dizaines de modèles de vol. Quant bien même l'accessibilité à ces technologies pourrait être assurée directement auprès de ces fondeurs, il faut noter que le temps de développement d'un projet spatial étant de plusieurs années, il devient difficile de s'assurer le soutien direct de ces fondeurs tout comme la pérennité de la technologie utilisée.

La réutilisation des études de conception précédentes pour une conception sur une technologie plus récente (« transportabilité ») est alors cruciale mais impose une méthodologie d'étude et de design très stricte afin de fournir toutes les « briques élémentaires » de la conception.

A travers ce chapitre, nous présenterons tout d'abord l'évolution des technologies accessibles aujourd'hui pour la conception de circuits intégrés analogiques puis nous justifierons l'utilisation d'une technologie basse tension. Nous verrons alors que l'impact de la tension d'alimentation maximale applicable impose des structures particulières aux circuits conçus. Nous en profiterons alors pour rappeler brièvement les équations caractéristiques du transistor MOS que nous réutiliserons par la suite. Enfin, nous terminerons ce chapitre en présentant le choix des technologies retenues au cours de cette thèse.

## 1. L'évolution technologique

Le domaine de la microélectronique a connu un essor considérable ces trente dernières années. On peut ainsi désormais concevoir l'intégration, dans une seule puce, de systèmes électroniques très complexes et très denses, remplaçant, par la-même, un nombre important de cartes électroniques.

### 1.1 Le besoin

Cette tendance à l'intégration et à la miniaturisation est sans conteste portée par le développement à croissance exponentielle des systèmes embarqués pour l'automobile, pour les télécommunications mais aussi pour le multimédia. Il est ainsi dorénavant possible d'intégrer des systèmes électroniques comprenant plusieurs modules appartenant à des domaines bien différents. Des modules numériques, très denses, tels que microprocesseurs, micro-contrôleurs, DSPs (Digital Signal Processing, chaîne de traitement du signal), et mémoires numériques, côtoient désormais des modules analogiques, moins denses, tels que des fonctions amplificatrices ou de filtrage. Cette intégration est qualifiée d'intégration « mixte ».

Cette volonté d'associer de plus en plus de fonctions au sein d'une même puce est alors conjointe à une évolution nécessaire des technologies utilisées.

### 1.2 L'évolution de la technologie CMOS

Le développement de la microélectronique n'aurait pas pu être si spectaculaire sans la maîtrise de l'élément de base des circuits intégrés : le silicium (Si). Nous pouvons ainsi considérer



aujourd'hui que le transistor MOS est l'élément principal des évolutions technologiques majeures. Son imbrication est omniprésente : dans les applications industrielles, militaires, civiles, dans la recherche, applicative ou fondamentale, dans nos vies quotidiennes, chez soi ou dans la rue... Le système mondial est lui-même dépendant de cet élément fondamental, car il suffit de concevoir le nombre d'ordinateurs nécessaires au contrôle des flux financiers à travers le monde. Sans le transistor MOS, je ne serais pas en train d'écrire ces quelques lignes (grâce à l'ordinateur) sur un sujet qui n'existerait pas (la conception analogique) pour une application qui n'existerait pas (l'observation terrestre).

Le transistor MOS est donc à la fois acteur mais aussi vecteur de l'évolution car il est à l'origine de la conception des circuits intégrés à très large et ultra large échelle (VLSI, ULSI) et a permis de mener la technologie CMOS au rang incontesté de technologie dominante dans l'industrie du semi-conducteur. Son évolution peut alors être vue à double sens. En réduisant constamment les dimensions géométriques des composants élémentaires, une course à la performance s'est dessinée partout où son utilisation était effective. Mais en désirant des circuits toujours plus performants, l'industrie a elle-même motivé son évolution. C'est la raison pour laquelle la veille technologique est aujourd'hui primordiale afin de se projeter dans la conception des futurs équipements.

C'est en 1965, que l'un des co-fondateurs d'Intel, Gordon Moore prédit, à partir d'une simple observation, que le nombre de transistors intégrés sur une puce de même surface double tous les 18 mois (Fig. 2.1). A partir de cette observation, il en avait déduit que cette évolution continuerait tant que les limites physiques ne seraient pas atteintes. Cette « Loi de Moore » est toujours considérée comme une référence, bien que depuis une vingtaine d'années, nous pouvons considérer que le nombre de transistors intégrés sur une même puce ne double « que » tous les vingt-six mois (Fig. 2.2). La diminution de la longueur de grille est, en terme de conception, bénéfique pour deux raisons :

- Elle permet de réduire la surface d'intégration, à puissance égale<sup>1</sup> (Fig. 2.3). Le gain est alors en terme de coût.
- Elle permet d'augmenter la fréquence de fonctionnement des circuits, celle-ci étant inversement proportionnelle à la longueur de grille (Fig. 2.4). Le gain est alors en terme de performances.

---

<sup>1</sup> Lors du colloque ISSCC 2001, P.Gelsinger, président d'Intel en avait déduit de manière ironique : "If scaling continues at present pace, by 2005, high speed processors would have power density of nuclear reactor, by 2010, a rocket nozzle, and by 2015, surface of sun."

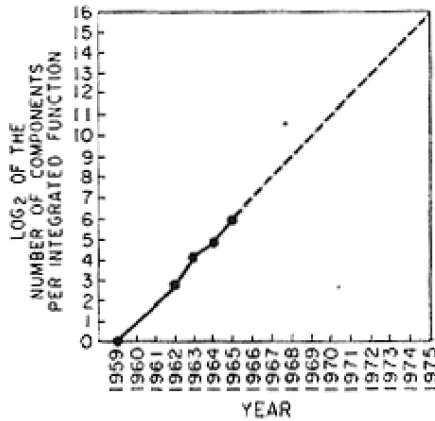


Fig. 2.1 : Graphique original de G.Moore sur le nombre de transistors intégrés pour une même fonction au cours du temps (1959-1965)

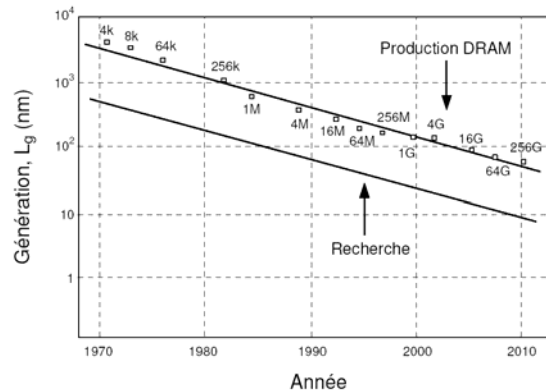


Fig. 2.2: Evolution actuelle de la loi de Moore (longueur de grille minimale comme référent)

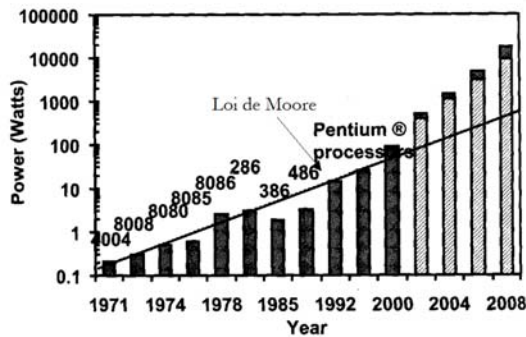


Fig. 2.3: Evolution de la puissance dissipée au sein des microprocesseurs au cours du temps

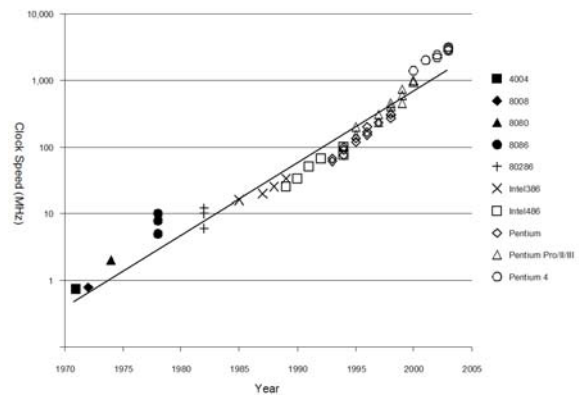


Fig. 2.4: Evolution de la fréquence d'horloge des microprocesseurs au cours du temps

### 1.3 Contraintes

L'évolution technologique garde en point de mire cette fameuse « loi de Moore », loi qui pour être respectée implique de résoudre de plus en plus de problèmes au fur et à mesure que la longueur de grille diminue. A une nouvelle génération de transistors est associée un véritable compromis entre physique, technologie et rentabilité. Car l'intérêt de cette évolution repose tout de même essentiellement dans l'augmentation des performances tout en assurant une diminution ou tout du moins une stagnation de la puissance dissipée à l'intérieur des circuits !

Il a souvent été question de limitations à moyen terme de la technologie CMOS, tant au niveau des performances des transistors que de leur fabrication. Pourtant, Intel s'accorde, en 2005, sur une continuité de la loi de Moore pour les dix prochaines années, ce qui représente environ trois générations de microprocesseurs.

## 2. La conception de circuits intégrés analogiques basse-tension

Pendant longtemps, les contraintes majeures dans la conception des circuits intégrés sont demeurées des contraintes de performances telles que vitesse de fonctionnement ou dynamique de sortie. Avec le développement majeur des équipements embarqués et portables, une nouvelle contrainte s'est ajoutée à précédente : la faible consommation. Une faible consommation est notamment nécessaire dans tous les équipements fonctionnant sous accumulateurs tels que les téléphones portables, les équipements pour l'automobile, mais aussi dans notre cas les instruments spatiaux pour lesquels l'énergie disponible est fixée à partir de la taille des panneaux solaires disponibles.

On associe généralement (et à tort) faible consommation à faible tension. C'est la raison pour laquelle cette réduction de la consommation a souvent été acquise grâce à la réduction des tensions d'alimentation [Vittoz,1990]. Nous allons pourtant voir qu'il est néanmoins faux de concevoir une réduction effective de la consommation dès lors que la tension d'alimentation est réduite, notamment dans la conception des circuits intégrés analogiques. En effet, dans les circuits analogiques utilisant des circuits large bande, la bande passante est directement reliée aux courants de polarisation. La réduction de consommation est alors liée à la réduction d'échelle qui peut induire une réduction de la valeur des capacités intervenant en haute fréquence. D'autre part, une fonction analogique possède des paramètres caractéristiques telles que la dynamique de sortie, la linéarité, le gain, ou la vitesse de fonctionnement qui sont fortement influencés par la diminution de la tension d'alimentation. De nouvelles topologies de circuits doivent alors être utilisées.

### 2.1 Justification de la conception basse-tension

La [figure 2.5](#) représente l'épaisseur de l'oxyde de grille en fonction de l'évolution technologique. Puisque la longueur de grille est réduite dans le domaine sous-micronique et que l'épaisseur d'oxyde est alors voisine de quelques nanomètres, la tension d'alimentation doit aussi être réduite pour ne pas atteindre le champ électrique critique et ainsi assurer le bon fonctionnement des composants ([Fig. 2.6](#)).

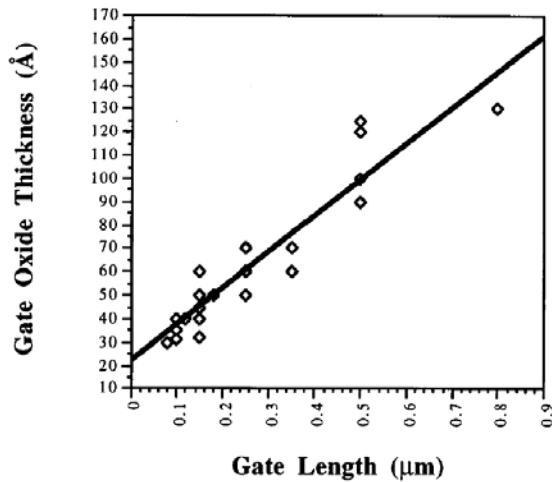


Fig. 2.5: Evolution de l'épaisseur grille-oxyde en fonction de la longueur de grille minimale des technologies CMOS existantes [Krishnamoorthy,1996]

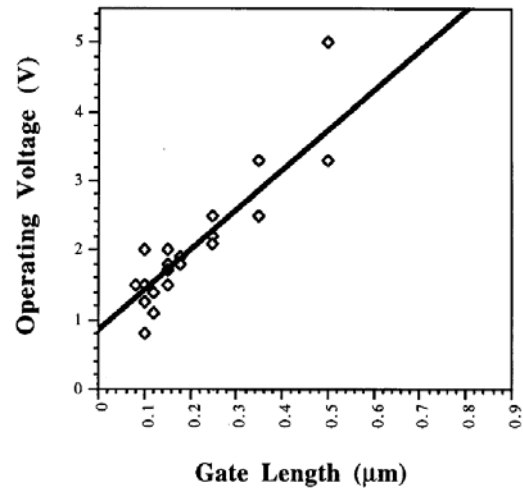


Fig. 2.6: Evolution de la tension d'alimentation applicable en fonction de la longueur de grille minimale des technologies CMOS existantes [Krishnamoorthy,1996]

Typiquement, pour des processus CMOS standards de 0.8µm ou 0.6µm, la tension d'alimentation demeure à 5V. Par contre dès lors que les processus de fabrication passe sous la limite des 0.5µm, la tension d'alimentation doit être inférieure ou égale à 3.5V. Pour les processus à longueur de grille inférieure ou égale à 0.25µm, la tension d'alimentation ne doit alors pas dépasser 1.8V. A longueur de grille égale à 0.13µm, le budget en tension est réduit jusqu'à 1.2V.

Au delà de la nécessité de réduire la tension d'alimentation, cette réduction semble profitable pour assurer une diminution de la consommation. Considérons le cas des circuits intégrés numériques. Leur puissance dissipée est essentiellement une puissance dynamique en raison des fréquences horloge élevées : elle correspond à la puissance consommée pendant la charge et décharge des capacités à l'intérieur du circuit.

L'expression de la puissance dynamique dissipée peut s'écrire sous la forme :

$$P = p.f_s .C.\Delta V^2 \tag{2-1}$$

où p représente le facteur d'activité (qui dépend de du traitement du signal appliqué),  $f_s$  représente la fréquence de commutation des phases de commande, et  $\Delta V$  l'amplitude des signaux de commande.

En général, la valeur de l'amplitude des signaux de commande  $\Delta V$  dans les circuits intégrés numériques est égale à la valeur de la tension d'alimentation  $V_{DD}$  car l'excursion des phases de commande se situe entre la masse et la tension d'alimentation  $V_{DD}$ . Nous concevons alors facilement qu'une réduction de la valeur de la tension d'alimentation  $V_{DD}$  réduit d'autant la puissance dynamique dissipée.

Ce résultat est un principe général : dans les circuits intégrés numériques, la réduction de la tension d'alimentation améliore la dissipation de la puissance dynamique totale.

Pourtant, cette relation (2-1) est une relation du premier ordre, car d'autres paramètres doivent être pris en compte. La réduction de la tension d'alimentation peut avoir un effet négatif sur les délais des cellules numériques et réduire ainsi la vitesse d'exécution. Le contraire ne sera effectif que si les tensions de seuil  $V_{th}$  des transistors sont réduites d'un facteur semblable. D'autres méthodes peuvent alors être mises en œuvre pour réduire efficacement la puissance dynamique consommée : réduire le facteur d'activité  $p$  en simplifiant les algorithmes de traitement (mais au détriment du nombre de cycles), ou bien encore en réduisant les capacités parasites.

## 2.2 Impact de la réduction de la tension d'alimentation

La baisse de la tension d'alimentation est directement liée à la réduction d'échelle qui est le moyen le plus efficace de réduire la puissance totale consommée. Ceci a pour conséquence que de nouvelles architectures et méthodes de conception doivent être développées.

### 2.2.1 Limites fondamentale et technologique

Dans les circuits de traitement du signal, la puissance électrique est consommée afin d'assurer une énergie de signal supérieure à l'énergie thermique, afin d'obtenir un rapport signal à bruit SNR acceptable.

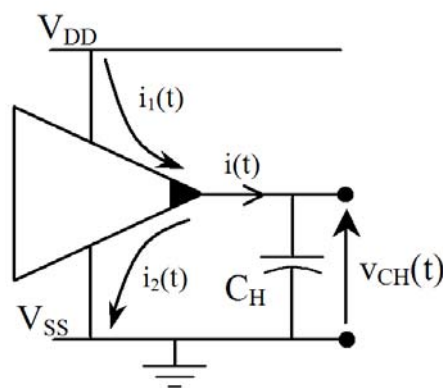


Fig. 2.7: Schéma de principe de charge d'une capacité pour évaluer la consommation moyenne sur l'alimentation

Pour évaluer l'évolution de cette puissance électrique consommée dans les circuits de traitement vidéo, considérons le schéma (Fig. 2.7) [Vittoz,1994]. Nous pouvons évaluer la puissance consommée moyenne  $P_{moy}$  sur l'alimentation d'amplitude  $V_{DD}$  pour obtenir une sinusoïde  $v_{CH}$  de fréquence  $f$  et d'amplitude crête à crête  $V_{pp}$  aux bornes de la capacité  $C_H$ . Pour

cela, nous considérons qu'un courant  $i_1$  est fourni par l'alimentation d'amplitude  $V_{DD}$  pendant la charge de la capacité tandis qu'un courant  $i_2$  est absorbé par la masse pendant la décharge de la capacité. La puissance moyenne  $P_{moy}$  consommée sur l'alimentation d'amplitude  $V_{DD}$  pendant une période  $1/f$  est alors :

$$P_{moy} = f \int_0^{1/f} V_{DD} i_1(t) dt = V_{DD} * f * C_H * V_{pp} \quad (2-2)$$

en posant  $V_{CH}(t) = V_{mc} + (V_{pp}/2) * \cos(2\pi ft + \pi)$ .

En considérant que le circuit n'est pas parfait et que des éléments résistifs sont sources de bruit thermique, nous pouvons exprimer le rapport signal à bruit maximal correspondant du circuit (chapitre 3):

$$SNR = \frac{V_{pp}^2 / 8}{k_B T / C_H} \quad (2-3)$$

Considérons deux circuits équivalents, possédant la même tension d'alimentation  $V_{DD}$ , à la même température  $T$ , mais d'amplitude de signal  $V_{pp1} = k V_{pp2}$ . Pour obtenir le même rapport signal à bruit SNR, il est donc nécessaire que :

$$SNR_1 = SNR_2 \rightarrow C_2 = k^2 C_1 \quad (2-4)$$

Dans ce cas :

$$P_{VDD2} = k P_{VDD1} \quad (2-5)$$

Nous venons ainsi de montrer qu'à tension d'alimentation fixée et rapport signal à bruit constant, le circuit est d'autant plus efficace en terme de consommation que la dynamique de sortie du circuit est maximale :

$$P_{VDD} = 8 k_B T * f * SNR * \frac{V_{DD}}{V_{pp}} \quad (2-6)$$

L'efficacité sera maximale pour une dynamique maximale  $V_{pp} = V_{DD}$ , que nous nommerons dynamique « rail-to-rail » [Castello,1985]. Dans ce cas, la puissance consommée moyenne sera d'autant plus élevée que la fréquence des signaux est élevée et/ou que le rapport signal à bruit est élevé :

$$P_{VDDmin} = 8 k_B T * f * SNR \quad (2-7)$$

Ce circuit d'étude ne doit pourtant être vu que comme une justification de l'utilisation des signaux rail-to-rail, car, en pratique, les circuits réalisés sont éloignés de cette limite théorique. Par exemple, le « meilleur » filtre actif présente une consommation moyenne 100 fois supérieure à la consommation moyenne exprimée ici.

Au delà cette limitation fondamentale, nous devons considérer un certain nombre d'obstacles supplémentaires dans la réalisation de circuits basse tension faible consommation [Vittoz,1994] :

- L'augmentation de la valeur d'une capacité dans un circuit ne doit être réalisée que lorsque celle-ci permet de diminuer de manière équivalente la puissance de bruit, c'est-à-dire pour améliorer la précision du circuit. Par exemple, dans le cas du circuit E/B, cette augmentation des valeurs des capacités sera sinon synonyme d'augmentation du courant consommé afin d'atteindre la bande passante nécessaire.
- La puissance consommée par les états de polarisation nécessaires est considérée comme une perte de puissance. Leur dimensionnement doit donc être analysé de manière rigoureuse afin de minimiser leur contribution à la puissance consommée totale.
- Pour des valeurs fixées de capacité de charge afin d'obtenir la précision requise, il est souvent nécessaire d'augmenter la transconductance équivalente du circuit, d'où une augmentation du courant de polarisation des composants actifs. Pour prendre en compte des valeurs alors trop importantes des tensions de polarisation  $V_{GS}$ , le rapport géométrique (W/L) des transistors est alors augmenté d'où une augmentation des capacités parasites et donc, par conséquent, une augmentation de la puissance consommée.

Aucune méthode unique ne pouvant être appliquée pour réduire la consommation d'un circuit tout en satisfaisant les performances requises, c'est à chaque niveau de la conception que ces points doivent être considérés avec minutie. Nous noterons, de plus, que les spécifications en terme de rapport de réjection d'alimentation sont souvent surdimensionnés devant le bruit généré par interfaçage de l'asic dans son environnement (pads, diaphonie sur le circuit imprimé, etc).

## 2.2.2 La classification des circuits

La notion de « basse tension » est une notion très relative. Si nous nous basons sur les produits disponibles sur le marché ou sur les publications scientifiques, nous pouvons estimer que le terme de basse tension est généralement utilisé dès lors que la tension d'alimentation est inférieure à 3.5V.

Mais cette notion est relative car la tension d'alimentation ne fixe pas en soi les conditions d'utilisation des composants actifs du circuit. En fonction des technologies utilisées, la tension de

seuil peut varier et ainsi limiter le nombre maximal d'empilement de transistors. A même tension d'alimentation, des technologies peuvent ainsi exiger des topologies différentes de circuit.

Nous considérons désormais que les topologies de circuits peuvent être classées selon deux catégories :

- Les circuits travaillant à *basse tension* : il sera utilisé pour des circuits pouvant fonctionner avec une tension d'alimentation égale ou supérieure à deux tensions grille-source plus deux tensions de saturation :  $3.5V \leq V_{DD} \leq 2(V_{GS} + V_{DSsat})$
- Les circuits travaillant à *ultra basse tension* : il sera utilisé pour des circuits pouvant fonctionner avec une tension d'alimentation égale ou supérieure à une tension grille-source plus une tension de saturation :  $2(V_{GS} + V_{DSsat}) \leq V_{DD} \leq V_{GS} + V_{DSsat}$

Nous nous sommes ainsi placé, dans cette étude, dans le cadre de la conception basse tension. Les circuits mis en œuvre dans les instruments d'observation de la Terre utilisaient jusqu'à aujourd'hui des technologies non sous microniques qui permettaient de cascader facilement les transistors. Le passage à l'environnement basse tension est donc déjà synonyme de « saut technologique ».

### 3. Caractéristiques électriques du transistor MOS

Si le transistor MOS est le composant le plus utilisé de nos jours, son ancêtre est très ancien, puisque son origine vient de la première description du transistor IGFET (Insulated Gate Field Effect Transistor) proposée par Lilienfeld en 1926. Sa première fabrication date de 1960 (Kaghn et Attala). Bien que la réduction des longueurs géométriques dans le domaine sous microniques impose des modèles devant prendre en compte de nouveaux phénomènes physiques qui interviennent dans le comportement réel du transistor, il est nécessaire de se baser sur un modèle analytique relativement simple (dit du 1<sup>er</sup> ordre) afin d'appréhender les performances des fonctions analogiques conçues. Souvent, dans la pratique, on effectue un premier dimensionnement avec les fichiers technologiques correspondant à la technologie retenue dont les modèles complexes sont très proches de la « réalité ». Ensuite, les calculs analytiques dont le raisonnement repose sur le modèle simple du 1<sup>er</sup> ordre, permet de converger vers les caractéristiques souhaitées.



### 3.1 Structure du transistor MOS

Le transistor MOSFET (Transistor à effet de champ Métal-Oxyde-Semiconducteur), est un composant à quatre électrodes : grille (G), source (S), drain (D) et « bulk » (B) qui contrôlent le nombre de porteurs présents dans le canal. Les deux types fondamentaux de transistor MOSFET sont les MOSFET à appauvrissement (D-MOSFET, D pour Dépletion) et les MOSFET à enrichissement (E-MOSFET, E pour Enhancement). Pour chaque type de MOSFET, on peut alors distinguer le MOSFET à canal N (le courant provient du déplacement d'électrons)(Fig. 2.8) et le MOSFET à canal P (le courant provient du déplacement de trous)(Fig. 2.9). Lorsque nous parlerons par la suite de transistor MOSFET ou MOS, nous nous référerons au transistor MOSFET à enrichissement car le plus représentatif des technologies actuelles.

Le transistor MOS à canal N présente deux îlots de diffusion source et drain dopés  $n^+$  reliés par un court canal du même type (Fig. 2.8). La grille est généralement réalisée en silicium polycristallin fortement dopé n. Elle est isolée du canal par une faible couche de dioxyde de silicium ( $\text{SiO}_2$ , « oxyde de grille »). Le substrat du transistor est alors de type silicium dopé  $p^-$ . Le transistor MOS à canal P présente ces deux îlots de diffusion source et drain dopés  $p^+$  reliés par un court canal du même type (Fig. 2.9). Le bulk est alors de type dopé  $n^-$ .

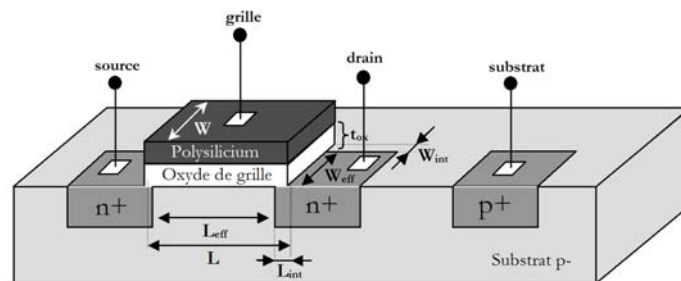


Fig. 2.8 : Vue en trois dimensions d'un transistor MOSFET à enrichissement à canal N (représentation des paramètres géométriques)

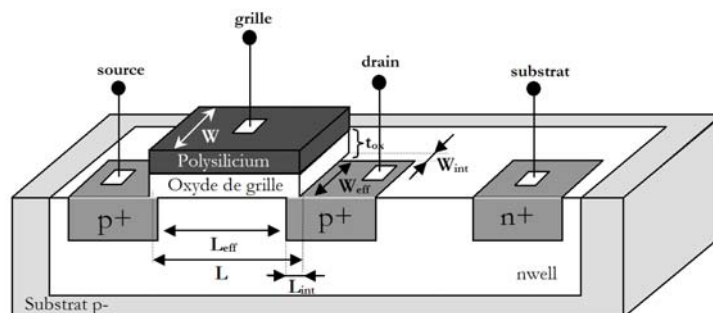


Fig. 2.9 : Vue en trois dimensions d'un transistor MOSFET à enrichissement à canal P (représentation des paramètres géométriques)

## 3.2 Le régime statique

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain  $I_D$  en fonction des paramètres géométriques ( $W$ ,  $L$ ) et des tensions appliquées à ses bornes ( $V_{GS}, V_{DS}, V_{BS}$ ). Nous définissons ainsi deux types de **régime de fonctionnement** en fonction de la tension grille-source  $V_{GS}$  appliquée aux bornes du transistor :

- Le régime de *faible inversion* : dès lors que la tension grille-source  $V_{GS}$  est inférieure ou voisine à la tension de seuil  $V_{th}$  du transistor :  $V_{GS} < V_{th}$ .
- Le régime de *forte inversion* : dès lors que la tension grille-source  $V_{GS}$  est supérieure à la tension de seuil  $V_{th}$  du transistor :  $V_{GS} > V_{th}$ .

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de **zone de fonctionnement** en fonction de la tension drain-source  $V_{DS}$  appliquée aux bornes du transistor :

- La zone de *conduction* ou zone *ohmique* : dès lors que la tension drain-source  $V_{DS}$  est inférieure à la tension de saturation du canal avec  $V_{DSsat} = V_{GS} - V_{th}$ .
- La zone de *saturation* ou zone « *source de courant* » : dès lors que la tension drain-source  $V_{DS}$  est supérieure à la tension de saturation du canal  $V_{DSsat}$ .

### 3.2.1 Régime de faible inversion

L'expression du courant drain  $I_D$  en régime de faible inversion en zone de saturation est donnée par l'expression [Geiger,1990] :

$$I_D = I_{D0} \left( \frac{W}{L} \right) \exp \left[ \frac{V_{GS}}{n \cdot u_T} \right] \quad (2-8)$$

où  $n = 1 + (qN_{fs}/C_{ox}) + (C_B/C_{ox})$  représente la pente de la courbe  $I_D(V_{GS})$  en régime de faible inversion (avec  $C_{OX}$ , la capacité surfacique d'oxyde de grille ;  $N_{fs}$ , la densité d'états de surface ;  $q$ , la charge de l'électron ; et  $C_B = \partial Q_B / \partial V_{BS}$ ) et  $u_T$  représente la tension thermodynamique.

### 3.2.2 Régime de forte inversion

#### a) Zone de Conduction (ou Ohmique)

L'expression du courant drain  $I_D$  en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{\text{eff}}}{L_{\text{eff}}} \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (2-9)$$

- $K = \mu_0 C_{ox}$  (avec  $\mu_0$ , la mobilité nominale des porteurs)
- $W_{\text{eff}} = W - 2W_{\text{int}}$  représente la largeur de grille effective (avec  $W_{\text{int}}$  largeur de recouvrement entre grille et îlots de diffusion)
- $L_{\text{eff}} = L - 2L_{\text{int}}$  représente la longueur de grille effective (avec  $L_{\text{int}}$  longueur de recouvrement entre grille et îlots de diffusion).

### b) Zone de Saturation (ou Source de Courant)

L'expression du courant drain  $I_D$  en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K}{2} \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2-10)$$

$\lambda$  est un paramètre représentatif de la modulation de la longueur du canal.

## 3.3 Le régime dynamique

Par la suite, nous ne modéliserons le transistor MOS qu'en régime de forte inversion, en zone de conduction et en zone de saturation.

### 3.3.1 Modèle petit signal en zone de conduction

Le transistor MOS en régime de forte inversion et en zone de conduction peut être modélisé par une simple conductance  $g_{DS}$  entre drain et source, raison pour laquelle on nomme parfois cette zone « zone linéaire ». En utilisant l'équation (2-9) donnant le courant drain  $I_D$  en zone de conduction, nous pouvons exprimer la conductance équivalente du transistor dans ce mode de fonctionnement :

$$g_{DS} = \frac{1}{r_{DS}} = \frac{dI_D}{dV_{DS}} = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th} - V_{DS}) \quad (2-11)$$

Pour des tensions drain-source  $V_{DS} \ll (V_{GS} - V_{th}) = V_{DSsat}$ , l'expression précédente se simplifie :

$$g_{DS} = \frac{1}{r_{DS}} = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th}) \quad (2-12)$$

### 3.3.2 Modèle petit signal en zone de saturation

En régime de forte inversion et en zone de saturation, le transistor MOS peut être modélisé en fonction de la gamme de fréquences dans laquelle il est utilisé. Nous distinguerons pour cette raison deux gammes de fréquences : les « moyennes » fréquences et les hautes fréquences. Dans

le domaine des moyennes fréquences, nous négligerons les capacités parasites du transistor MOS et les résistances d'accès série.

### a) Modèle petit signal moyenne fréquence

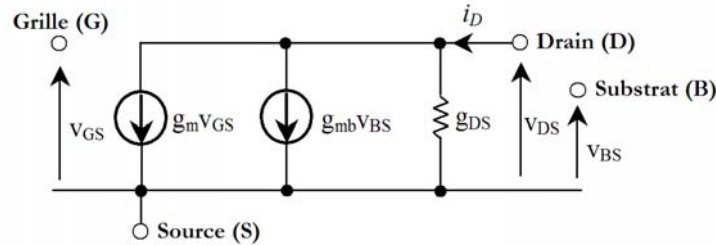


Fig. 2.10: Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Le modèle petit signal dans la gamme des moyennes fréquences est représenté par la [figure 2.10](#). Ce modèle est simplement composé de deux sources de courants liées proportionnellement aux transconductances de grille  $g_m$  et de substrat  $g_{mb}$ , et d'une conductance  $g_{DS}$  entre les îlots de source et de drain.

L'expression du courant drain petit signal  $i_D$  est donnée par :

$$i_D = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, V_{BS} = \text{cste}} v_{GS} + \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}, V_{BS} = \text{cste}} v_{DS} + \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cste}} v_{BS} \quad (2-13)$$

encore notée :

$$i_D = g_m v_{GS} + g_{DS} v_{DS} + g_{mb} v_{BS} \quad (2-14)$$

avec,

$$g_m = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th}) = \sqrt{2K \frac{W_{\text{eff}}}{L_{\text{eff}}}} I_D \quad (2-15)$$

$$g_{DS} = \lambda I_D = \frac{I_D}{V_A} \quad (2-16)$$

où  $V_A$  représente le tension d'Early équivalente.

La comparaison des relations (2-12) et (2-15) montre que pour la même tension ( $V_{GS} - V_{th}$ ), la transconductance  $g_m$  en zone de saturation correspond à la conductance  $g_{DS} = 1/r_{ON}$  en zone de conduction au voisinage de l'origine de la caractéristique  $I_D(V_{DS})$  à  $V_{GS} = \text{cte}$ .

La transconductance de substrat est exprimée en prenant en compte la modulation de la tension de seuil  $V_{th}$  par la variation de la tension  $V_{BS}$  [Baker,1998] :

$$g_{mb} = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cste}} = g_m \left. \frac{\partial V_{th}}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cste}} \quad (2-17)$$

En prenant pour expression de la tension de seuil  $V_{th}$  :

$$V_{th} = V_{FB} + \phi_p + K_1 \sqrt{\phi_p - V_{BS}} - K_2 (\phi_p - V_{BS}) \quad (2-18)$$

- $V_{FB}$  représente la tension de bande plate « flat-band »,
- $\phi_p$  est le potentiel de surface,
- $K_1$  et  $K_2$  sont respectivement, les 1<sup>er</sup> et 2<sup>ème</sup> paramètre du dopage non-uniforme.

Nous pouvons alors réécrire l'équation (2-17) sous la forme simplifiée :

$$g_{mb} = g_m \left. \frac{\partial V_{th}}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cste}} = g_m \left[ \frac{K_1}{2\sqrt{\phi_p - V_{BS}}} - K_2 \right] = \eta g_m \quad (2-19)$$

### b) Modèle petit signal haute fréquence

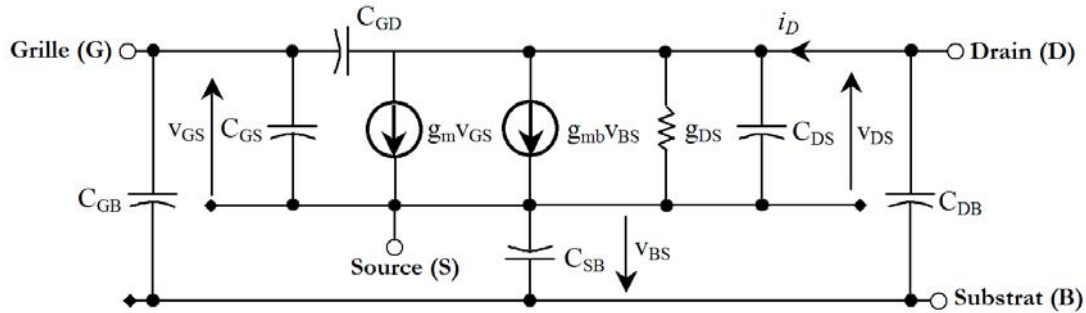


Fig. 2.11: Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Dans la gamme des hautes fréquences, il est nécessaire de prendre en compte les capacités parasites du transistor. Le modèle petit signal en régime de forte inversion est représenté par la figure 2.11.

Nous pouvons distinguer, les capacités inter-électrodes  $C_{GD}$ ,  $C_{GS}$ ,  $C_{DS}$  et les capacités liées au substrat  $C_{GB}$ ,  $C_{DB}$  et  $C_{SB}$ .

- Capacités inter-électrodes : elles dépendent au 1<sup>er</sup> ordre de la capacité d'oxyde de grille par unité de surface  $C_{ox}$ , de la longueur effective du canal sous la grille  $L_{eff}$  et de la longueur latérale des îlots de diffusion source et drain sous la grille  $L_{int}$ .

Dans la zone de conduction,

$$C_{GS} = C_{GD} = \frac{C_{ox} L_{eff} W_{eff}}{2} + C_{ox} L_{int} W_{eff} = \frac{C_{canal}}{2} + C_{OV} \quad (2-20)$$

Dans la zone de saturation,

$$C_{GD} = C_{ox} L_{int} W_{eff} = C_{OV} \quad (2-21)$$

$$C_{GS} = \frac{2}{3} C_{ox} L_{eff} W_{eff} + C_{ox} L_{int} W_{eff} = \frac{2}{3} C_{canal} + C_{OV} \quad (2-22)$$

- Capacités liées au substrat : au 1<sup>er</sup> ordre, les capacités  $C_{DB}$  et  $C_{SB}$  sont exprimées à partir de l'épaisseur de la zone de charge d'espace d'une jonction pn et de la surface latérale [Antognetti,1993] :

$$C_{DB} = C_{aire} L_D W_{eff} \frac{1}{\left(1 - \left[V_{BD}/\phi_p\right]\right)^{MJ}} + C_{lat} 2(L_D + W_{eff}) \frac{1}{\left(1 - \left[V_{BD}/\phi_p\right]\right)^{MJSW}} \quad (2-23)$$

$$C_{SB} = C_{aire} L_S W_{eff} \frac{1}{\left(1 - \left[V_{BS}/\phi_p\right]\right)^{MJ}} + C_{lat} 2(L_S + W_{eff}) \frac{1}{\left(1 - \left[V_{BS}/\phi_p\right]\right)^{MJSW}} \quad (2-24)$$

où  $L_S$  et  $L_D$  représente respectivement les longueurs de diffusion des îlots drain et source ; MJ et MJSW, respectivement les coefficients de gradient surfacique et latérale ;  $C_{aire}$  et  $C_{lat}$ , respectivement les capacités surfaciques et latérales. La capacité  $C_{GB}$  est, elle, indépendante des conditions de polarisation :

$$C_{GB} = C_{GB0} L_{eff} \quad (2-25)$$

## 3.4 Caractéristiques du transistor MOS et comparaison avec le transistor bipolaire

### 3.4.1 Transconductance et conductance de sortie

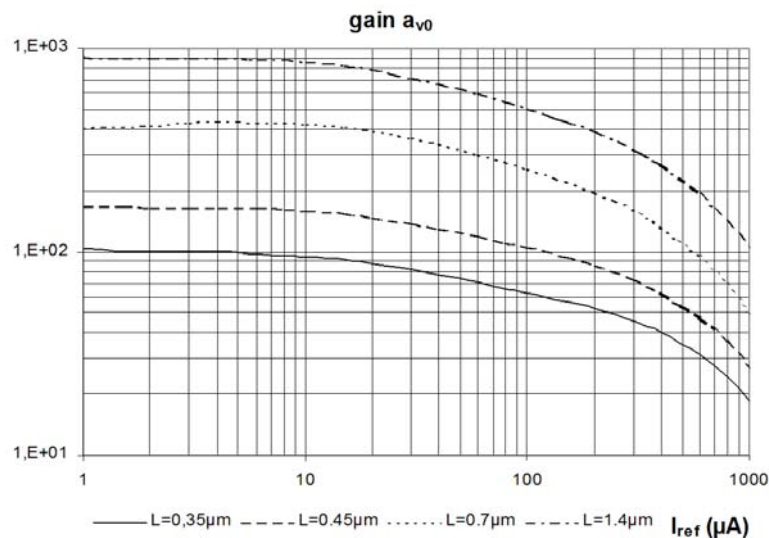
En régime de faible inversion et en zone de saturation, la transconductance est proportionnelle au courant  $I_D$ . Le gain en tension intrinsèque d'une source commune avec charge active est alors quasi-indépendant de la valeur de  $I_D$ , comme le montre la figure 2.12. De plus, ce gain est maximal. Nous retrouvons des caractéristiques analogues à celles du transistor bipolaire. Cependant, dans ce régime de fonctionnement, les impédances « vues » des drains sont très élevées et le circuit présente un faible produit gain bande passante. Ainsi, l'utilisation du transistor MOS dans cette région ne sera pas considérée dans la suite de ce mémoire. Par conséquent, dans le cadre de cette étude, nous nous intéresserons principalement à son fonctionnement en régime de saturation sous forte inversion (seul le commutateur analogique sera considéré en régime de conduction).

Les paramètres de conception de premier ordre seront alors le rapport géométrique ( $W/L$ ) du transistor, la tension grille-source appliquée  $V_{GS}$  (fixant l'intensité du courant drain  $I_D$ ) ou

l'intensité du courant  $I_D$  (fixant la tension grille-source  $V_{GS}$ ). La conductance de sortie sera caractérisée par le terme conductif  $g_{DS}$  de paramètre  $\lambda$ . La transconductance  $g_m$  sera considérée comme étant directement proportionnelle à la racine carrée du rapport géométrique du transistor multiplié par le courant de polarisation du composant. Le gain maximal en tension  $a_{v0}$  d'un simple transistor MOS sera alors logiquement donné par :

$$|a_{v0}| = \frac{g_m}{g_{DS}} = \sqrt{\frac{W}{2K} \frac{I_D}{L}} \frac{1}{\lambda I_D} = \frac{\sqrt{2K}}{\lambda} \sqrt{\frac{W/L}{I_D}} \quad (2-26)$$

Nous pouvons donc remarquer que ce gain  $a_{v0}$  augmente en  $\sqrt{(W/L)}$  pour un courant de polarisation donné et varie en  $1/\sqrt{I_D}$  en régime de forte inversion comme le montre la [figure 2.12 \[Josse,2003\]](#).



**Fig. 2.12 : Gain en tension intrinsèque quasi statique  $a_{v0}$  du transistor MOS source commune en fonction du courant drain  $I_D$  pour différentes longueurs de canal avec un rapport  $W/L = 10$  en technologie AMS0.35µm. [Josse,2003]**

### 3.4.2 Bruit ramené à l'entrée

Le courant de bruit de grenaille est attribué au courant de grille  $I_G$ . Du fait du très faible courant de polarisation de grille, la densité spectrale quadratique en courant  $S_{iG}=2qI_G$  est quasi négligeable.

Les porteurs majoritaires traversent le canal ; l'effet conductif associé est le siège de la génération d'un bruit thermique, dont la densité spectrale quadratique en courant comprend deux composantes : l'une constante (bruit blanc) et une en  $1/f$  [Gray,2001]. Cette dernière prend son origine dans les irrégularités de l'interface grille/canal tandis que le bruit blanc est lié à la conductance équivalente du canal du transistor. La densité spectrale quadratique en tension ramenée à l'entrée (c'est-à-dire « vue » de la grille d'une source commune) est de la forme :

$$S_e = \frac{S_{iD}}{g_m^2} = 4k_B T \frac{2}{3} \frac{1}{g_m} + \frac{K}{g_m^2} \frac{I_D^a}{f} \quad \text{avec} \quad S_{iD} = 4k_B T \frac{2}{3g_m} + K \frac{I_D^a}{f} \quad (2-27)$$

La composante en  $1/f$  est inversement proportionnelle à la surface W.L du transistor tandis que le bruit blanc est inversement proportionnelle à la transconductance  $g_m$ .

### 3.4.3 Comparaison MOS et BJT

Comparé au transistor bipolaire, le transistor MOS présente plusieurs inconvénients en régime de forte inversion:

- La transconductance  $g_m$  varie en  $\sqrt{I_D}$ .
- Le gain en tension décroît selon une loi en  $1/\sqrt{I_D}$ .
- On obtient plus facilement une transconductance élevée pour un transistor bipolaire que dans le cas du MOS. De ce fait, la densité spectrale quadratique en tension de bruit du MOS est plus élevée que celle d'un bipolaire. En revanche, le courant de bruit en entrée du bipolaire peut ne pas être négligeable lorsque la résistance équivalente du générateur n'est pas très faible.

	MOS	BJT
IMPÉDANCE D'ENTRÉE ÉLEVÉE	X	
MEILLEURE REPOSE FREQUENTIELLE		X
FAIBLE BRUIT EN 1/F		X
FAIBLE COURANT DE BRUIT	X	
FAIBLE TENSION DE BRUIT		X
GAIN EN TENSION ÉLEVÉ		X
BONNE REFERENCE DE TENSION		X
COMMUTATEUR ANALOGIQUE A FAIBLE DECALAGE	X	
FAIBLE TENSION DE SATURATION		X

Tab. 2-1 : Paramètres caractéristiques des transistors MOSFETs et BJTs

Le [tableau 2.1](#) effectue une comparaison simplifiée des propriétés intrinsèques des transistors MOS (à enrichissement) et des transistors bipolaires. Il montre de façon simple les avantages à choisir une technologie BiCMOS pour la conception des ASICs d'une chaîne vidéo. Cependant, dans le cadre de cette étude, nous cherchons à démontrer la faisabilité de l'intégration d'une chaîne vidéo en technologie « tout CMOS » basse tension.

## 4. Le choix technologique

Le choix technologique dans le cadre de l'instrumentation spatiale doit satisfaire un certain nombre de contraintes, en général très limitant.



- L'accessibilité de la technologie : il doit être possible de s'assurer les services d'un fondeur pour un nombre très restreint de circuits (en général quelques centaines maximum, modèles de vol compris), ce qui est dérisoire devant le besoin de certains secteurs de l'industrie tels que l'automobile, la téléphonie ou l'informatique, se chiffrant généralement à plusieurs millions d'unités.
- La tenue aux radiations : les circuits doivent supporter l'environnement radiatif spatial ([chapitre 1](#)). Il doit donc être possible de réaliser un « durcissement », à la fois en terme de tenue à la dose cumulée (qui est à l'origine d'une dérive des performances pouvant aller jusqu'à la perte de fonctionnalité), ainsi qu'aux ions lourds (afin d'annihiler le phénomène de « LatchUp » destructif et des « Upsets »). Comme nous le verrons au [chapitre 7](#), ce durcissement peut être réalisé par le choix de la technologie mais aussi au niveau du layout.

En raison des points définis ci-dessus, nous ne pouvons accéder aux fonderies disponibles sur le marché que via un Centre Multi-Projets par lequel plusieurs clients se regroupent afin de partager un même wafer durant le process de fabrication. A partir d'une étude prospective du marché technologique disponible en 2002 et des critères définis ci-dessus, le choix s'est porté sur l'intégration successive dans deux technologies.

Longueur	Technologie	Processus
0.8µm	CMOS DLP/DLM	CYE from AustriaMicrosystems
0.8µm	BiCMOS DLP/DLM	BYQ from AustriaMicrosystems
0.8µm	SiGe BiCMOS	BYR from AustriaMicrosystems
0.6µm	CMOS DLP/TLM	CUP from AustriaMicrosystems
0.5µm	SOS CMOS DLP/TLM	UTSi CMOS from Peregrine Semiconductor
0.35µm	CMOS DLP/4LM	C35B4C3 from AustriaMicrosystems
0.35µm	CMOS-Opto DLP/4LM	C35B3O1 from AustriaMicrosystems
0.35µm	CMOS DLP/4LM	C35B4M3 from AustriaMicrosystems
0.35µm	SiGe BiCMOS DLP/4LM	S35D4 from AustriaMicrosystems
0.35µm	SiGe BiCMOS	BiCMOS6G from STMicroelectronics
0.2µm	GaAs HEMT	ED02AH from Philips
0.18µm	CMOS 6LM	HCMOS8 from STMicroelectronics
0.12µm	CMOS 6LM	HCMOS9 from STMicroelectronics
90nm	CMOS 8LM	CMOS090 from STMicroelectronics

Tab.2-2 : Technologies accessibles via le CMP en 2004

Le premier ASIC, démonstrateur interne de la faisabilité de fonctions analogiques dédiées au traitement vidéo, est réalisé en technologie AMS CMOS 0.6µm, par laquelle les méthodes de conception CMOS basse-tension peuvent être appliquées, tout en assurant une continuité de l'expérience de conception à partir de réalisations précédentes (MIETEC 0.7µm, AMS 0.8µm, DMILL 0.8µm). Un second ASIC profite quant à lui d'une expertise technologique conjointe aux

industriels CNES et ALCATEL SPACE sur une technologie qualifiable spatiale ST BiCMOS SiGe 0.35 $\mu$ m 3.3V, expertise par laquelle la tenue aux radiations des circuits a été vérifiée.

## Conclusion

A travers ce présent chapitre, nous avons présenté les contraintes de l'environnement CMOS basse tension. A partir d'un rappel technologique, nous avons justifié l'utilisation des technologies CMOS en tant que technologies dominantes sur le marché du semiconducteur. La réduction d'échelle nous a montré que la tension d'alimentation maximale était amenée à baisser afin d'éviter des phénomènes de claquage d'oxyde (et des jonctions).

A partir d'un exemple représentatif de notre instrumentation, nous avons montré qu'il existait une différence entre conception « basse tension » et conception « basse consommation », notamment lorsque les performances en termes de précision doivent être conservées. De la notion de conception « basse tension », nous avons donné une définition applicable dans des technologies dont la tension d'alimentation est inférieure à 3.5V.

Le cadre technologique étant fixée, nous avons fait un rappel des caractéristiques du transistor MOS, ce qui nous a notamment permis de définir le régime de fonctionnement en forte inversion du transistor MOS ainsi que la présentation des symboles que nous retrouverons dans les chapitres suivants.

Enfin, nous avons dressé un bref panorama des technologies qui nous étaient accessibles au cours de cette étude, via un centre multi-fonderies. A partir de spécifications, nous avons retenu deux technologies cibles qui ont servi de support pour l'intégration de deux ASICs dans cette étude, la technologie AMS CMOS 0.6 $\mu$ m et la technologie ST BiCMOS6G 0.35 $\mu$ m.

---

# La Cellule Echantillonneur/Bloqueur : Principes et Limitations

---

Le circuit échantillonneur-bloqueur est un élément essentiel dans une chaîne de traitement vidéo puisqu'il permet de fournir au convertisseur analogique-numérique un signal dont les valeurs de potentiels à coder numériquement sont stabilisées pendant une certaine durée de temps notée  $T_{\text{HOLD}}$ . Dans le cadre de l'application visée, ce circuit échantillonneur-bloqueur doit être rapide et précis pour répondre aux besoins du convertisseur analogique-numérique.

Nous présenterons tout d'abord le principe général de fonctionnement d'un circuit échantillonneur-bloqueur ainsi que ses principaux paramètres. L'extraction des paramètres limitants en terme de performances nous permettra d'en déduire les équations caractéristiques des circuits échantillonneur-bloqueurs que nous nous appliquerons, par la suite, à une étude qualitative de la structure de base.

## 1. Paramètres caractéristiques et limitants des circuits Echantillonneur/Bloqueur

### 1.1 Principe de fonctionnement

Les circuits échantillonneur-bloqueur permettent l'échantillonnage d'un signal analogique, c'est-à-dire qu'ils permettent de mémoriser la valeur de l'amplitude du signal en entrée du circuit à un instant  $t$ , et de conserver cette valeur pendant une certaine durée de temps  $T_{\text{HOLD}}$ . La réalisation la plus simple en technologie CMOS (Fig. 3.1) consiste à utiliser un *transistor MOS* fonctionnant en commutateur analogique (réalisant ainsi la fonction de commande de l'E/B) commandant la mémorisation de la valeur d'une tension aux bornes d'une *capacité de stockage*.

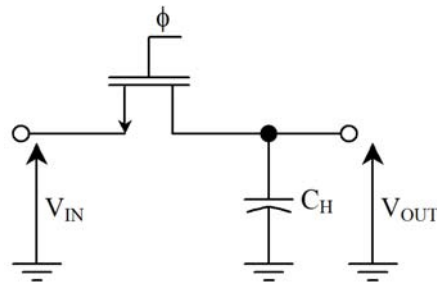


Fig. 3.1 : Circuit de principe E/B en technologie CMOS

On peut ainsi représenter la sortie du circuit E/B dans le domaine temporel comme le résultat d'une impulsion rectangulaire (en entrée du circuit) convoluée à l'échantillonnage ponctuel issu du transistor de commande (de période d'échantillonnage  $T_{\text{SAMPLE}}$ ). Ainsi, par transformée de Fourier, nous pouvons considérer idéalement que le spectre du signal de sortie dans le domaine fréquentiel est simplement exprimé par le produit du spectre des échantillons ponctuels par une fonction  $\text{sinc}(x)=\sin(x)/x$ . Néanmoins, le comportement réel du circuit E/B présente plusieurs limitations modifiant ce comportement idéal. Nous devons surtout noter que c'est le signal analogique continu de sortie du circuit E/B qui « voit » son spectre de fréquence altéré par la fonction d'échantillonnage (fonction sinc). En effet, dans le cadre où le circuit E/B est situé en amont d'un convertisseur analogique-numérique (CAN), la valeur du signal numérisé par le codeur correspondra à la valeur du signal en entrée du circuit (idéalement) à l'instant d'échantillonnage.

Nous proposons de définir l'ensemble des paramètres représentatifs (et limitants) du circuit E/B afin de permettre l'extraction de ses équations caractéristiques.

## 1.2 Paramètres caractéristiques et limitants des circuits E/B

### 1.2.1 Représentation graphique des non-idéalités du circuit E/B

Nous pouvons représenter graphiquement l'ensemble des non-idéalités d'un circuit E/B en présentant l'évolution temporelle des signaux d'entrée et de sortie sur un cycle d'échantillonnage-blocage (Fig. 3.2). Cette représentation graphique présente le comportement des circuits E/B ayant un gain en tension unitaire.

Initialement, le circuit est en mode de maintien. Lorsque l'horloge de commande bascule à l'état haut ( $\phi=1$ ), le circuit E/B bascule en mode d'échantillonnage. Un temps fini  $t_{ac}$  (**temps d'acquisition**) est nécessaire pour que le signal de sortie recouvre le signal d'entrée avec la précision attendue (résolution du circuit).

L'horloge de commande bascule alors à l'état bas ( $\phi=0$ ) ; le circuit E/B est en mode de transition. Le temps de basculement de l'horloge de commande n'étant pas nul, un délai fini  $t_{ap}$  (temps d'ouverture, **aperture time**) , en général non constant car dépendant de la valeur de l'amplitude du signal d'entrée, doit être pris en compte avant de qualifier le circuit E/B comme étant en mode de maintien. Ce délai fini est à l'origine d'une erreur d'échantillonnage (erreur de temps d'établissement, **aperture error**), la valeur du signal en mode de maintien pouvant alors être sensiblement différente de la valeur de l'amplitude du signal au début du basculement de l'horloge de commande. Néanmoins, nous remarquerons qu'appliqué à un signal CCD, cette erreur est souvent réduite de par la discrétisation du signal (ce sont des paliers qui doivent être échantillonnés donc des valeurs présentant une faible variation au cours du temps). La détermination de ce délai peut permettre de réduire ces effets en avançant temporellement le basculement de l'horloge de commande.

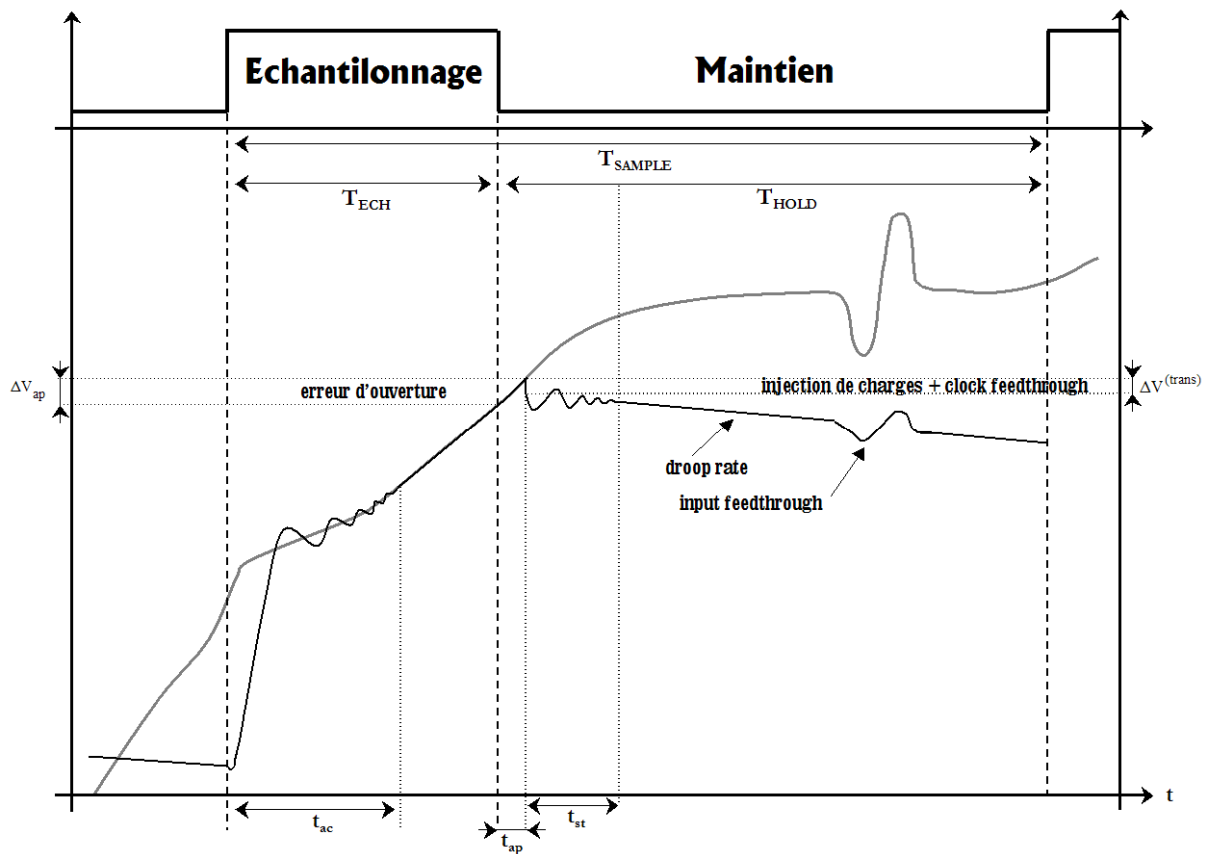


Fig. 3.2 : Représentation graphique des signaux d'entrée et de sortie des circuits E/B

Le circuit entrant en mode de maintien, un **temps d'établissement** fini  $t_{st}$  est nécessaire pour stabiliser le signal de sortie. Ce n'est qu'à partir de ce délai écoulé que le circuit E/B peut-être considéré comme étant en mode de maintien effectif.

Durant cette période de maintien, des courants de fuite inévitables circulent à travers la capacité de stockage et tendent à la charger ou à la décharger. Le résultat en est une erreur d'échantillonnage nommée **droop error** (les fuites ayant un comportement linéaire au cours du temps, nous définirons le coefficient directeur de la droite de décharge durant ce mode de maintien, **droop rate**).

Enfin, nous devons noter qu'en mode de maintien, le signal de sortie ne peut pas être entièrement décorrélé du signal d'entrée. Des couplages capacitifs entre les nœuds d'entrée et de sortie tendent à modifier l'équilibre des charges au niveau de la capacité de stockage. Nous définirons donc le terme d'**input feedthrough** comme référant au couplage capacitif de l'entrée sur la sortie en mode de maintien, et sera exprimé en dB.

Nous nous proposons d'étudier en détail l'analyse du mode de transition, car nous verrons qu'en fonction de la réalisation du commutateur analogique du circuit E/B, des charges peuvent être injectées (linéairement ou non-linéairement en fonction de l'amplitude du signal d'entrée  $V_{IN}$ ) dans la capacité de stockage, ce qui constitue généralement la limitation majeure du circuit en terme de précision. Nous distinguerons clairement le phénomène de **clock feedthrough** du phénomène d'**injection de charges**, qui correspond au couplage capacitif parasite du signal de commande de grille du commutateur analogique sur le nœud de maintien.

## 1.2.2 Grandeurs Temporelles

### a) Temps d'acquisition en mode d'échantillonnage (Acquisition Time)

Afin d'évaluer le temps d'acquisition en mode échantillonnage du circuit E/B, nous considérerons une modélisation au premier ordre du transistor MOS en tant que commutateur analogique. Le transistor est remplacé par une résistance équivalente  $r_{ON}$  correspondant à son comportement dans la zone ohmique du régime de forte inversion. Le générateur qui fournit le signal est représenté sous forme Thévenin ( $e_{in}, r_{sin}$ ) (Fig. 3.3) :

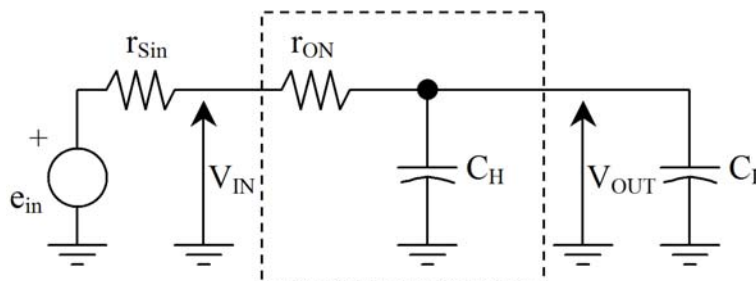
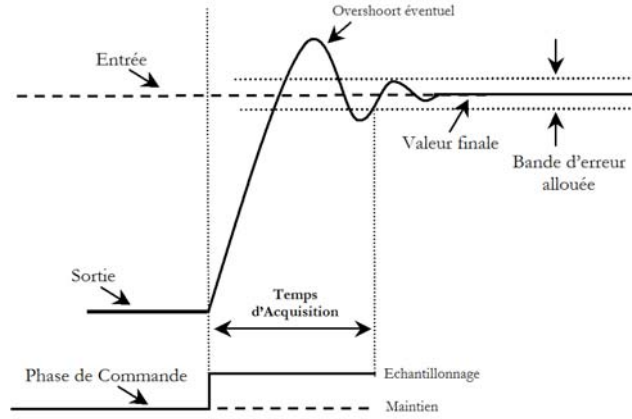


Fig. 3.3 : Modélisation du circuit équivalent simplifié de l'E/B en mode échantillonnage

Le temps d'acquisition du circuit E/B correspond au temps nécessaire pour acquérir la valeur de l'amplitude du signal d'entrée à la précision attendue à partir du déclenchement du signal de commande du mode échantillonnage. Ce temps est exprimé dans le pire cas, qui correspond à la variation maximale de l'amplitude du signal en entrée  $V_{IN\_max}$  pour obtenir la résolution souhaitée du circuit (fixée en nombre de bits  $N$  du codeur). On définit donc le temps d'acquisition minimal  $t_{ac\_mini}$  pour lequel l'amplitude du signal de sortie est dans la bande de précision allouée. La [figure 3.4](#) illustre ces propos :



**Fig. 3.4 : Temps d'acquisition en mode échantillonnage**

Selon le schéma simplifié « petits signaux » de la figure 3.3, en mode échantillonnage, le comportement du circuit E/B est donc celui d'un filtre passe-bas du premier ordre de constante de temps  $\tau_{ech}$  :

$$\tau_{ech} = (r_{ON} + r_{Sin})(C_H + C_L) \quad (3-1)$$

L'expression de la variation temporelle  $V_{out}$  du signal de sortie est exprimée par :

$$V_{OUT}(t) = V_{palier}(t_0) \left\{ 1 - \exp\left(-\frac{(t-t_0)}{\tau_{ech}}\right) \right\} + V_{OUT}(t_0) \quad (3-2)$$

Le temps d'acquisition équivalent est déterminé en fonction de la résolution du codeur  $N$  et du coefficient d'erreur  $\eta_{ech}$  ( $0 < \eta_{ech} < 1$ ) alloué à ce mode échantillonnage. La précision désirée sur la valeur du signal à échantillonner est alors donnée par  $\epsilon_{ech} = \eta_{ech} / 2^N$ . Le temps d'acquisition  $t_{ac\_mini}$  est donc exprimé à partir de l'expression suivante :

$$t_{ac\_mini} = \left( N + \frac{1}{\eta_{ech}} \right) \tau_{ech} \ln(2) = \left( N + \frac{1}{\eta_{ech}} \right) (r_{ON} + r_{Sin})(C_H + C_L) \ln(2) \quad (3-3)$$

Le temps d'acquisition étant calculé dans le pire cas, c'est-à-dire tel que le signal de sortie soit initialement à la valeur minimale  $V_{\text{palier\_min}}$  avec un passage à la valeur maximale  $V_{\text{palier\_max}}$ , nous en déduisons l'expression pire cas de la constante de temps  $\tau_{\text{ech}}$  nécessaire en mode échantillonnage (voir chapitre 1):

$$\tau_{\text{ech}} \leq \frac{-Z_U}{\ln\left(\varepsilon_{\text{ech}} + \left[ \frac{V_{\text{palier\_min}}}{V_{\text{palier\_max}}} \right]\right)} \quad (3-4)$$

En estimant une erreur d'1/2 LSB en mode échantillonnage, nous pouvons calculer la constante de temps maximale du filtre passe-bas du 1<sup>er</sup> ordre en fonction de la résolution du codeur et du temps d'acquisition disponible (Fig. 3.5).

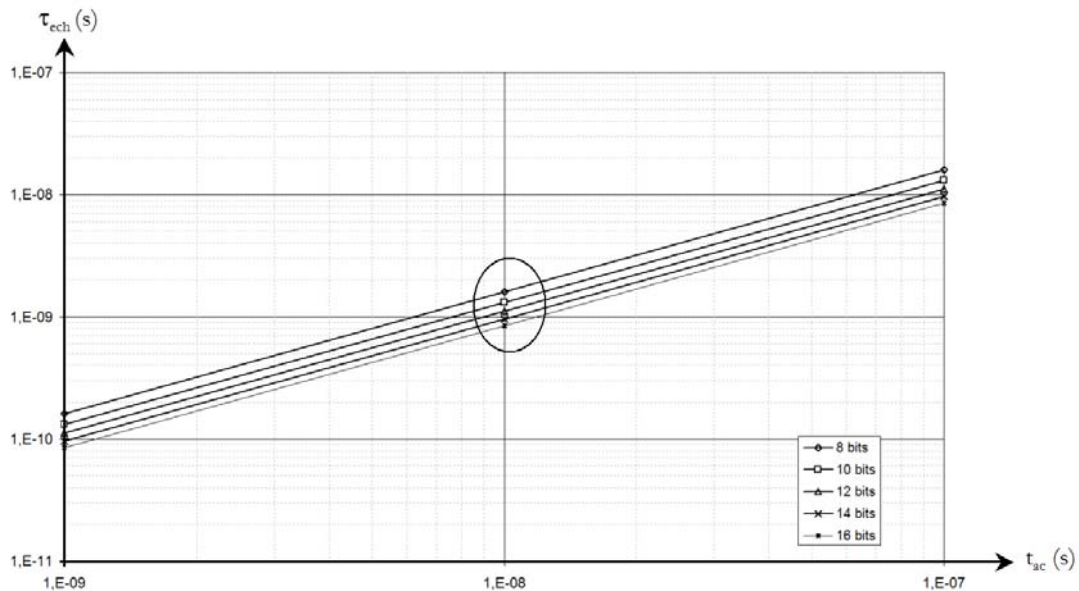


Fig. 3.5 : Constantes de temps  $\tau_{\text{ech}}$  pire cas en fonction du temps d'acquisition disponible pour différentes résolutions de codeur (erreur allouée=1/2 LSB)

Dans le cadre d'un instrument d'observation de la Terre dont les spécifications tendent vers 20Mechs/s à 30Mechs/s et une précision de 10 à 14bits, en extrapolant des temps d'acquisition relatif au palier voisins de 10ns, nous pouvons en déduire que la constante de temps  $\tau_{\text{ech}}$  doit être proche de 1ns.

Ces calculs montrent que l'on aurait avantage à choisir une valeur de la capacité de mémorisation  $C_H$  la plus petite possible (equ. 3-1). Il est néanmoins nécessaire de prendre en compte l'évolution temporelle des paliers (vidéo ou référence) en mode de maintien sur une période pixel. A partir de la valeur initiale du palier et de la pente moyenne:

$$V_{\text{palier}}(t) = V_{\text{palier}}(t_0) + \frac{\Delta V_U}{\Delta t} (t - t_0) \quad (3-5)$$



## b) Temps de retard entre mode d'échantillonnage et mode de maintien

Lors de l'application du signal de commande, le circuit E/B entre en mode de transition. En raison du temps fini de basculement des horloges, cette phase de maintien est caractérisée par le retard d'ouverture  $t_{ap}$ . Nous considérerons en première approche que le commutateur analogique est constitué d'un simple transistor MOS. Dans ce cas, celui-ci demeure passant (c'est-à-dire que le circuit E/B est en mode échantillonnage) tant que la différence de potentiel entre la grille et la source du transistor est supérieure à la tension de seuil du transistor (nous négligeons la conduction en faible inversion), ce que nous pouvons représenter par la figure suivante (Fig. 3.6) :

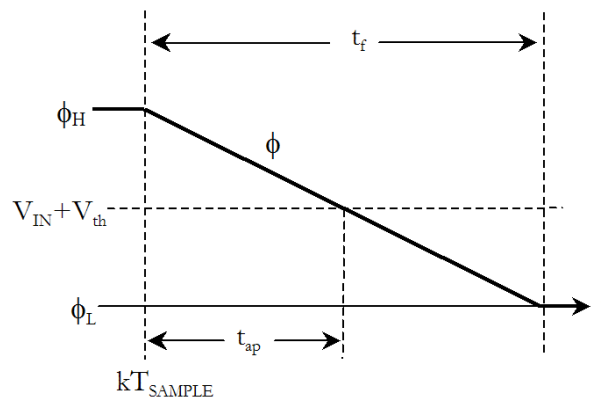


Fig. 3.6 : Modélisation du temps fini de basculement de l'horloge sur la grille du commutateur analogique

Entre l'instant d'échantillonnage théorique et le temps d'échantillonnage effectif, nous pouvons donc définir le délai d'ouverture  $t_{ap}$  en fonction du potentiel appliqué sur la source du transistor (correspondant au potentiel d'entrée du circuit  $V_{IN}$ ), de la tension de seuil du transistor  $V_{th}$ , des tensions de commande l'horloge et du temps de basculement de l'horloge  $t_f$ :

$$t_{ap} = t_f \frac{\phi_H - (V_{IN} + V_{th})}{\phi_H - \phi_L} \quad (3-6)$$

En tenant compte des effets substrats ( $V_{th} > V_{th0}$ ), le délai d'ouverture maximal est alors borné par :

$$0 \leq t_{ap} \leq t_f \frac{\phi_H - V_{th0}}{\phi_H - \phi_L} \quad (3-7)$$

Le problème majeur lié à ce délai d'ouverture n'est pas tant le délai supplémentaire introduit mais l'erreur d'échantillonnage inhérente sur laquelle nous reviendrons par la suite.

## c) Temps d'établissement en mode de maintien

Comme nous l'avons présenté, lors du passage en mode de maintien, un temps d'établissement est en général nécessaire avant que la donnée ne soit disponible en sortie du

circuit. Nous pouvons néanmoins remarquer que dans le cas de la structure la plus simple du circuit E/B, ce temps d'établissement peut-être négligé puisqu'il ne correspond qu'au temps nécessaire pour que les charges résultantes du phénomène d'injection de charges s'équilibrent sur les armatures de la capacité de stockage.

D'une manière plus générale, nous traiterons de ce point plus en détail lorsque nous nous attarderons sur les différentes architectures de circuits E/B en fonction de leur principe de fonctionnement. L'utilisation d'amplificateurs opérationnels rebouclés devra particulièrement être étudiée en raison d'une nécessaire stabilité fréquentielle sous-jacente.

### 1.2.3 Sources d'erreurs en mode échantillonnage et pendant la transition

#### a) Injection de charges

La limitation majeure dans les performances d'un circuit E/B en termes de précision est souvent liée au phénomène d'**injection de charges**. Cette erreur est attribuée à l'injection des charges accumulées dans le canal du ou des commutateurs analogiques lorsque ceux-ci basculent à l'état OFF. A l'état ON, le transistor opère dans la zone de conduction et présente une petite différence de potentiel entre le drain et la source. Une quantité de charge  $Q_{\text{canal}}$  est alors emmagasinée dans le canal. Lorsque le commutateur bascule à l'état OFF, avec un temps fini  $t_f$ , deux mécanismes d'injections de charges interviennent :

- Les charges accumulées dans le canal sont injectées dans le circuit via les plots de diffusions source et drain du transistor (les termes source et drain ayant ici que peu de sens). Pour un transistor MOS ayant une différence de potentiel nulle entre drain et source ( $V_{DS}=0V$ ), la charge accumulée dans le canal est donnée par :

$$Q_{\text{canal}} = -C_{\text{canal}} (V_{GS} - V_{th}) = -W_{\text{eff}} L_{\text{eff}} C_{\text{ox}} (V_{GS} - V_{th}) \quad (3-8)$$

- Les capacités de recouvrement  $C_{OV}$  entre la grille et les diffusions source et drain du transistor (Fig. 3.7) forment avec la capacité de stockage  $C_H$  un pont diviseur capacitif parasite. L'échelon de tension de commande du transistor se retrouve donc proportionnellement sur l'armature haute de la capacité. C'est le phénomène de **clock feedthrough**.

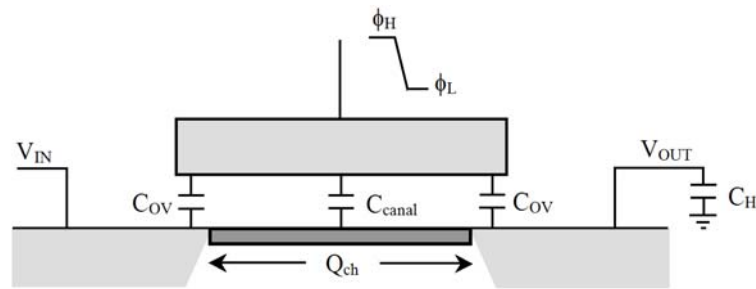


Fig. 3.7 : Schéma en coupe du transistor de commande

En d'autres termes, la précision du circuit E/B risque d'être largement altérée par l'injection de ces charges. Le déplacement des porteurs mobiles stockés dans le canal via source, drain et substrat superpose une erreur à la tension échantillonnée.

Pour analyser le problème, nous supposons que toutes les charges du canal se déplacent à travers les diffusions source et drain du transistor. Des modèles analytiques assez complexes [Ding,2000] [Eichenberger,2000] du phénomène d'injection de charges sont présentés dans la littérature. Néanmoins, les modèles, bien que plus représentatifs du comportement réel du transistor, ne proposent que des solutions numériques.

Ainsi, en accord avec la démarche utilisée jusqu'ici, nous nous bornerons à expliquer le phénomène de manière plus « physique » plutôt que « mathématique ». De plus, dans le cadre de la conception de chaînes vidéos faible tension en technologie CMOS, les temps de basculement des horloges étant très petits (de l'ordre de la centaine de picosecondes dans les technologies CMOS 0.35 $\mu\text{m}$ ), nous nous limiterons à l'étude du phénomène dans le cas d'une **horloge de commande rapide**. Nous préciserons simplement que cette hypothèse permet de supposer la disparition rapide du canal de conduction du transistor MOS. Contrairement au cas d'une horloge de commande lente, les charges accumulées de part et d'autre du canal n'ont pas le temps de communiquer et la proportion de charges injectées dans le nœud de sortie avoisine les 50% (ce qui n'est pas tout à fait vrai mais bien différent du cas de l'horloge de commande lente pour laquelle la majorité des charges fuient vers le nœud de plus forte capacité).

Afin de modéliser l'isolation des charges dans le canal, un modèle distribué (*multiple lumps*) du transistor doit être utilisé. Nous utiliserons ici le modèle le plus simple des modèles distribués, à savoir un modèle à deux distributions comme présenté sur la figure 3.8.

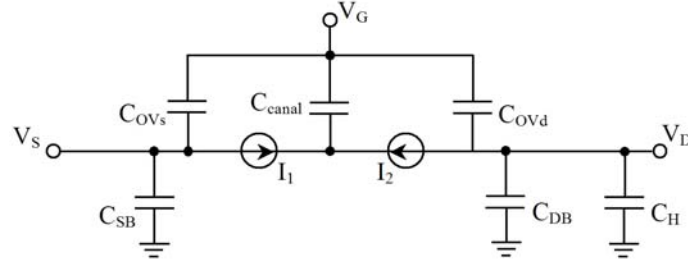


Fig. 3.8 : Modèle capacitif à deux distributions du transistor MOS

Les capacités  $C_{OVs}$  et  $C_{OVd}$  sont les **capacités de recouvrement** (overlap) et sont dues aux surfaces conductrices de la source et du drain sous la grille de polysilicium. La longueur de recouvrement sera notée  $L_D$ . L'expression de ces capacités, en première approche, est :

$$C_{OVs} = C_{OVd} \approx L_D W_{eff} C_{oxOV} \quad (3-9)$$

La capacité  $C_{canal}$  représente la capacité grille-canal du transistor :

$$C_{canal} = W_{eff} (L - 2L_D) C_{ox} = W_{eff} L_{eff} C_{ox} \quad (3-10)$$

Soit  $\alpha_{inj\_CH}$  le rapport de charges accumulées dans le canal et injectées sur l'armature haute de la capacité de stockage  $C_H$ . Dans ce cas, la quantité de charges injectées  $Q_{inj\_CH}$  sur l'armature haute de la capacité est exprimée par (avec  $V_S = V_{IN}$ ) :

$$Q_{inj\_CH} = -\alpha_{inj\_CH} C_{canal} (\phi_H - V_{IN} - V_{th}) \quad (3-11)$$

La différence de potentiel  $\Delta V_{CH}^{(canal)}$  qui correspond à une erreur provoquée par cette injection de charges est alors :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj\_CH}}{C_H + C_{DB}} \approx -\alpha_{inj\_CH} \frac{C_{canal}}{C_H} (\phi_H - V_{IN} - V_{th}) \quad (3-12)$$

que nous pouvons réécrire sous la forme :

$$\Delta V_{CH}^{(canal)} = \varepsilon_{canal} V_{in} + V_{offcanal} \quad (3-13)$$

$$\Delta V_{CH}^{(canal)} \approx \left\{ \alpha_{inj\_CH} \frac{W_{eff} L_{eff} C_{ox}}{C_H} \right\} V_{IN} - \left\{ \alpha_{inj\_CH} \frac{W_{eff} L_{eff} C_{ox}}{C_H} (\phi_H - V_{th0}) \right\}$$

L'erreur liée à l'injection de charges du canal peut ainsi être vue comme étant à l'origine d'une erreur de gain en mode échantillonnage à laquelle s'ajoute une tension de décalage.

## b) Clock Feedthrough

Nous avons traité précédemment du phénomène d'injection des charges accumulées dans le canal pendant le mode de transition. Considérons désormais la participation des capacités de recouvrement  $C_{OV_s}$  et  $C_{OV_d}$  lors du basculement de l'horloge à l'état bas, c'est-à-dire lorsque le commutateur analogique passe de l'état ON à l'état OFF.

La capacité de recouvrement  $C_{OV_d}$  forme avec la capacité de stockage ( $C_H + C_{DB}$ ) un pont capacitif parasite. Ainsi, lors du basculement de l'horloge de commande de l'état haut  $\phi_H$  à l'état bas  $\phi_L$ , l'erreur résultante  $\Delta V_{CH}^{(clock)}$  générée sur l'armature haute de la capacité de stockage est exprimée par :

$$\Delta V_{CH}^{(clock)} = \frac{-C_{OV_d}}{C_{OV_d} + C_H + C_{DB}} (\phi_H - \phi_L) \quad (3-14)$$

erreur indépendante de  $V_{IN}$ .

Par conséquent, l'erreur totale générée par les injections de charges du canal et le couplage capacitif parasite du commutateur analogique en mode de transition peut s'exprimer en combinant les équations (3-13) et (3-14) :

$$\Delta V_{CH}^{(transition)} = \Delta V_{CH}^{(canal)} + \Delta V_{CH}^{(clock)} \equiv \varepsilon_{transition} V_{IN} + V_{offtransition} \quad (3-15)$$

$$\Delta V_{CH}^{(transition)} \approx \left\{ \alpha_{inj\_CH} \frac{C_{canal}}{C_H} \right\} V_{IN} - \left\{ \alpha_{inj\_CH} \frac{C_{canal}}{C_H} (\phi_H - V_{th0}) + \frac{C_{OV_d}}{C_{OV_d} + C_H + C_{DB}} (\phi_H - \phi_L) \right\} \quad (3-16)$$

Cette expression démontre ainsi que les erreurs générées durant le mode de transition par les phénomènes d'injection de charges de canal et de clock feedthrough peuvent être représentées par un terme d'erreur de gain (introduisant une non-linéarité) et par une tension de décalage constante. Nous verrons ainsi par la suite que si l'utilisation de structures différentielles compense la tension de décalage, la distorsion introduite par la dépendance des charges de canal injectées dans le circuit ne peut, sans modification du circuit de commande, être compensée.

### c) Gigue d'échantillonnage

Nous avons vu que le temps fini de basculement de l'horloge devait être pris en compte dans le calcul du temps d'acquisition total du circuit E/B. La réalisation de la fonction échantillonnage montre ainsi que les instants d'échantillonnage varient de manière déterministe autour de leur valeur théorique. Cette déviation pseudo-aléatoire des instants d'échantillonnage par rapport à leur valeur théorique n'implique pas uniquement une variation du temps

d'acquisition global du circuit E/B. En effet, dans le cas d'un signal variant continuellement en entrée du circuit, la variation temporelle des instants d'échantillonnage est à l'origine d'une erreur d'échantillonnage. Pour appuyer nos propos, considérons le cas d'un signal CCD en entrée, pour lequel les paliers de référence et vidéo doivent être échantillonnés.

Nous avons montré que la variation temporelle des paliers (vidéo et référence) du signal CCD s'exprimait au premier ordre par l'équation (chapitre 1):

$$V_{\text{palier}}(t) = V_{\text{palier}}(t_0) + \frac{\Delta V_U}{\Delta t} (t - t_0) \quad (3-17)$$

La gigue d'échantillonnage étant définie par l'équation :

$$t_{\text{ap}} = t_f \frac{\phi_H - (V_{\text{IN}} + V_{\text{th}})}{\phi_H - \phi_L} \quad (3-18)$$

Evaluons la valeur du potentiel réellement échantillonnée :

$$V_{\text{CH}}(t_n) = V_{\text{IN}}(t) \otimes \delta(t_0 - nT_{\text{SAMPLE}} - t_{\text{ap}}) = V_{\text{palier}}(t_0 + nT_{\text{SAMPLE}} + t_{\text{ap}}) \quad (3-19)$$

$$V_{\text{CH}}(t_n) = V_{\text{palier}}(t_0 + nT_{\text{SAMPLE}}) + \frac{\Delta V_U}{\Delta t} (t_{\text{ap}}) \quad (3-20)$$

L'erreur d'échantillonnage  $\Delta V_{\text{CH}}^{(\text{ouverture})}$  introduite par le temps d'ouverture du commutateur analogique est donc :

$$\Delta V_{\text{CH}}^{(\text{ouverture})}(t_n) = \frac{\Delta V_U}{\Delta t} t_f \frac{\phi_H - (V_{\text{palier}}(t_0 + nT_{\text{SAMPLE}}) + V_{\text{th}})}{\phi_H - \phi_L} \quad (3-21)$$

Cette expression générale montre que le temps d'ouverture intrinsèque du commutateur analogique provoque une erreur d'échantillonnage dépendante de l'amplitude du signal en entrée. Cette erreur peut être décomposée en deux termes (3-22): un terme de **gigue** et une tension de décalage.

$$\Delta V_{\text{CH}}^{(\text{ouverture})}(t_n) = - \left\{ \frac{\Delta V_U}{\Delta t} \frac{t_f}{\phi_H - \phi_L} \right\} V_{\text{IN}}(t_n) + \left\{ \frac{\Delta V_U}{\Delta t} t_f \frac{\phi_H - V_{\text{th}}}{\phi_H - \phi_L} \right\} \quad (3-22)$$

avec

$$V_{\text{IN}}(t_n) = V_{\text{palier}}(t_0 + nT_{\text{SAMPLE}}) \quad (3-23)$$

## 1.2.4 Sources d'erreurs en mode de maintien

### a) Droop Rate

Lorsque le circuit E/B est en mode de maintien, le commutateur analogique est OFF. Néanmoins, la jonction formée par la diffusion n+ du drain et le substrat p- crée une diode polarisée en inverse (dans le cas d'un transistor NMOS). En phase de maintien, un courant de fuite est généré par cette jonction, ce qui va provoquer la décharge de la capacité de maintien  $C_H$ .

Au premier ordre, l'erreur de tension générée par ce courant de fuite  $I_{\text{fuite}}$  s'exprime alors temporellement à partir de l'équation suivante :

$$\Delta V_{CH}^{(\text{fuite})}(t) = \frac{I_{\text{fuite}}}{C_H} t \quad (3-24)$$

En posant  $t_{\text{holdeff}}$ , le temps total effectif du mode de maintien, nous pouvons exprimer la valeur finale, en fin de mode de maintien, de l'erreur générée par le courant de fuite :

$$\Delta V_{CH}^{(\text{fuite})} = \frac{I_{\text{fuite}}}{C_H} t_{\text{holdeff}} \quad (3-25)$$

Le courant de fuite dépend principalement de l'aire de la jonction pn, de la tension inverse appliquée et de la température, à paramètres technologiques donnés. Considérons, comme cas d'exemple réaliste, un circuit E/B de principe avec une valeur de capacité de stockage  $C_H=1\text{pF}$ , et dont les courants de fuite, à la température ambiante, soient  $I_{\text{fuite}}=1\text{pA}$ . Dans ce cas :

$$\frac{\Delta V_{CH}^{(\text{fuite})}}{\Delta t} = 1 \mu\text{V} \cdot \mu\text{s}^{-1} \quad (3-26)$$

Par conséquent, et dans le cadre de notre application dont le temps de maintien est inférieur à 50ns, le phénomène de décharge de la capacité de stockage par courants de fuite sera un phénomène que nous pourrions négliger (erreur inférieure à 100nV).

### b) Input Feedthrough

L'« input feedthrough » caractérise le couplage de signaux dynamiques en entrée du circuit E/B sur la sortie en mode de maintien. Comme le clock feedthrough, ce couplage est principalement lié aux capacités parasites du commutateur analogique. Néanmoins, d'autres paramètres, comme l'implantation, la géométrie du layout à l'intérieur du circuit intégré peuvent participer à augmenter le couplage non désirable du signal d'entrée sur la sortie.

### c) Perturbation de l'horloge en mode de maintien

En mode de maintien, le signal de sortie peut être perturbé par le ou les signaux horloge de commande. En raison d'un couplage capacitif éventuel entre le signal de commande et le signal de sortie, un signal perturbateur cohérent avec le signal de commande, est alors superposé au signal utile. Des précautions doivent alors être prises lors de l'implantation, notamment en vérifiant la géométrie du layout aux points critiques de maintien du signal.

## 2. Le commutateur analogique et la compensation du phénomène d'injections de charge

Le circuit E/B le plus simple, constitué d'un simple interrupteur et d'une capacité de stockage, présente des limites certaines. Notamment, la précision du circuit E/B ne pourra pas être atteinte sans assurer une limitation des erreurs générées par l'injection de charges durant le mode de transition. Deux méthodes classiques permettent de compenser l'injection de charges : soit en améliorant l'interrupteur de commande par l'utilisation d'une *porte de transmission* ou de *transistors « fantômes »*, soit en utilisant une *structure différentielle*. Une nouvelle méthode alternative, reposant sur le basculement à  $V_{GS}$  constant sera présentée en fin de paragraphe.

### 2.1 Compensation par Porte de Transmission

L'utilisation d'une porte de transmission, c'est-à-dire d'un commutateur analogique composé de deux transistors NMOS et PMOS en parallèle, est une méthode classique de compensation d'injection de charges (Fig. 3.9). Le principe en est le suivant : en dimensionnant de manière équivalente les deux transistors MOS, c'est-à-dire avec le même rapport géométrique  $W/L$  et même  $L$ , l'effet d'injection de charges s'annihilera globalement par la compensation mutuelle des injections de charges des deux transistors dans le circuit.

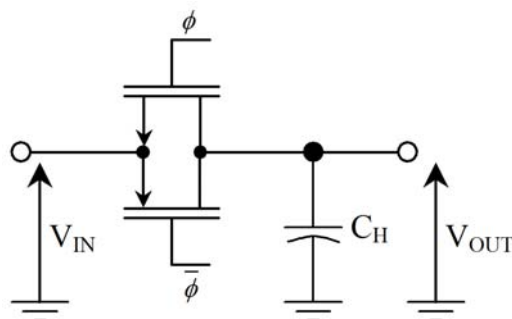


Fig. 3.9 : Implantation des transistors de commande par une porte de transmission



Nous avons montré §1.2 que la quantité de charges accumulées dans le canal d'un transistor MOS et injectée sur l'armature haute de la capacité de stockage  $C_H$  s'exprimait par l'équation :

$$Q_{inj\_CH} = -\alpha_{inj\_CH} C_{canal} (\phi_H - V_{IN} - V_{th}) \quad (3-27)$$

Dans le cas de la porte de transmission, les charges accumulées dans le canal de chaque transistor peuvent ainsi s'exprimer à partir des deux équations :

$$Q_{inj\_CH}^{(NMOS)} = -\alpha_{inj\_CH}^{(NMOS)} C_{canal}^{(NMOS)} (\phi_H - V_{IN} - V_{thN}) \quad (3-28)$$

$$Q_{inj\_CH}^{(PMOS)} = -\alpha_{inj\_CH}^{(PMOS)} C_{canal}^{(PMOS)} (\phi_L - V_{IN} - V_{thP}) \quad (3-29)$$

La différence de potentiel générée par ces injections de charges sur l'armature haute de la capacité est alors :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj\_CH}^{(NMOS)} + Q_{inj\_CH}^{(PMOS)}}{C_H} \quad (3-30)$$

$$\Delta V_{CH}^{(canal)} = -C_{canal} \frac{\alpha_{inj\_CH}^{(NMOS)} (\phi_H - V_{IN} - V_{thN}) + \alpha_{inj\_CH}^{(PMOS)} (\phi_L - V_{IN} - V_{thP})}{C_H}$$

En supposant que les coefficients d'injection sont équivalents pour les deux transistors MOS, ainsi que leur tension de seuil, nous pouvons approximer l'expression précédente :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj\_CH}^{(NMOS)} + Q_{inj\_CH}^{(PMOS)}}{C_H} = -C_{canal} \alpha_{inj\_CH} \frac{\phi_H + \phi_L - 2V_{IN}}{C_H} \quad (3-31)$$

Cette expression démontre que la compensation rigoureuse des charges de canal injectées sur l'armature haute de la capacité n'a lieu que dans un cas précis, correspondant à un potentiel d'entrée situé en milieu de bande  $V_{IN} = (\phi_H + \phi_L)/2$ . L'hypothèse précédente sur l'égalité des coefficients d'injection  $\alpha_{inj\_CH}$  impose de plus l'utilisation de fronts d'horloges très rapides pour faire coïncider les deux fronts d'horloge ( $=1/2$  comme expliqué §1.2).

En pratique, le résultat n'est pas des plus convaincants. Premièrement, les horloges ont un temps fini de basculement. Les temps de basculement de chaque transistor dépendront donc des signaux d'horloge, et, en général, le temps de basculement du transistor NMOS sera sensiblement différent de celui du transistor PMOS (en raison d'un rapport des mobilités de porteurs majoritaires voisin d'un facteur 3). Physiquement, le résultat de l'équation (3-31) s'explique par

une valeur différente de charges accumulées dans le canal des transistors dès lors que le signal d'entrée possède une amplitude se rapprochant d'une des deux extrémités de la bande de tension d'alimentation. Par exemple, si le signal d'entrée se rapproche de la borne supérieure de la tension d'alimentation  $V_{DD}$ , la différence de potentiel grille-source du transistor PMOS sera largement inférieure à celle du transistor NMOS, où il en découlera des charges accumulées dans le canal du transistor PMOS beaucoup moins nombreuses.

## 2.2 Compensation par Transistors « Fantômes »

Une méthode originale consiste à ajouter un transistor « fantôme » sur le nœud de sortie du circuit E/B [McCreary,1975] (Fig. 3.10).

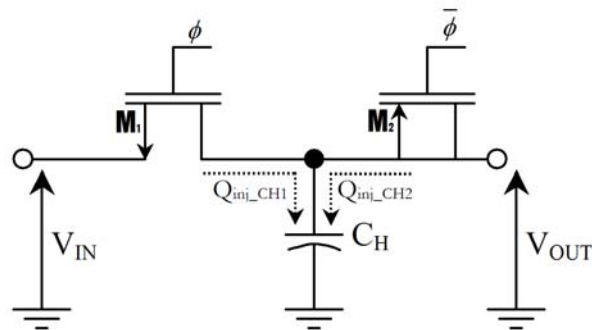


Fig. 3.10 : Utilisation d'un transistor « fantôme » complémentaire

### 2.2.1 Principe

Si  $M_1$  est le commutateur analogique canal N, le transistor additionnel  $M_2$  canal P est qualifié de « fantôme » car ses diffusions source et drain sont reliées. Ce transistor n'a donc aucun impact sur l'impédance série du nœud de sortie si on ne prend pas en compte les capacités supplémentaires par rapport au bulk. L'idée conceptuelle est similaire à l'utilisation de la porte de transmission puisqu'elle repose sur l'injection simultanée et complémentaire des charges accumulées dans le canal des deux transistors. L'utilisation d'un transistor complémentaire en tant que transistor « fantôme » impose le contrôle de sa tension de grille par une horloge complémentaire à l'horloge de commande. Une condition nécessaire étant d'assurer que l'horloge complémentaire bascule très légèrement après l'horloge de commande afin que les charges injectées du transistor « fantôme » ne soient pas réinjectées en entrée du circuit via le transistor de commande  $M_1$ .

Considérons les quantités de charges accumulées dans le canal de chaque transistor injectées sur l'armature haute de la capacité de stockage :

$$Q_{inj\_CH1} = -\alpha_{inj\_CH1} C_{canal1} (\phi_H - V_{IN} - V_{thN}) \quad (3-32)$$

$$Q_{inj\_CH2} = -C_{canal2} (\phi_L - V_{IN} - V_{thP}) \quad (3-33)$$

L'erreur de potentiel équivalente générée sur l'armature haute de la capacité est alors :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj\_CH1} + Q_{inj\_CH2}}{C_H} \quad (3-34)$$

$$\Delta V_{CH}^{(canal)} = - \frac{\alpha_{inj\_CH1} C_{canal1} (\phi_H - V_{IN} - V_{thN}) + C_{canal2} (\phi_L - V_{IN} - V_{thP})}{C_H}$$

Avec l'hypothèse que les tensions de seuil sont équivalentes pour les transistors complémentaires, l'expression précédente peut se réécrire sous la forme :

$$\Delta V_{CH}^{(canal)} = \frac{-C_{ox} (WL_{eff})_{M1}}{C_H} \left\{ \alpha_{inj\_CH1} (\phi_H - V_{IN} - V_{thN}) + \frac{(WL_{eff})_{M2}}{(WL_{eff})_{M1}} (\phi_L - V_{IN} - V_{thP}) \right\} \quad (3-35)$$

En d'autres termes, l'annulation des quantités de charges injectées ne sera donc que relative, car l'annulation de l'expression précédente n'est vraie que dans le cas où la superficie active du transistor « fantôme » est deux fois supérieure à celle du commutateur analogique avec l'hypothèse que le coefficient d'injection est égal à 1/2 et pour un signal d'entrée situé en milieu de bande.

## 2.2.2 Amélioration

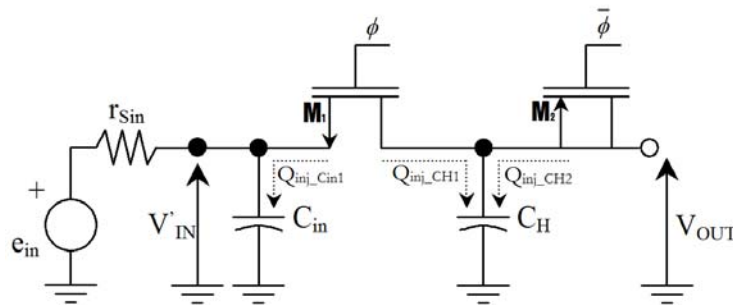


Fig. 3.11 : Circuit alternatif d'utilisation d'un transistor « fantôme » complémentaire

Une amélioration de ce circuit est proposée par Bienstman & De Man [Bienstman,1980] (Fig. 3.11). L'ajout d'une capacité supplémentaire  $C_{in}$  en entrée du circuit de valeur égale à la capacité de stockage ( $C_{in}=C_H$ ) permet de redistribuer de manière égale l'injection des charges du canal du transistor  $M_1$  de part et d'autre des diffusions source et drain. Le coefficient d'injection  $\alpha_{inj\_CH}$  sera donc égal à 1/2 (avec l'hypothèse d'une résistance dynamique égale de part et d'autre), condition que nous avons vu nécessaire précédemment. Si cette méthode permet

d'annuler les erreurs liées au phénomène d'injection de charges (ce qui sera, a priori, amélioré en remplaçant le simple commutateur par une porte de transmission), elle limite néanmoins la bande passante du circuit, et par conséquent le temps d'acquisition, en raison de l'introduction de  $r_{\text{sin}}$  et du doublement de la valeur de la charge capacitive.

## 2.3 Compensation par Structure Différentielle

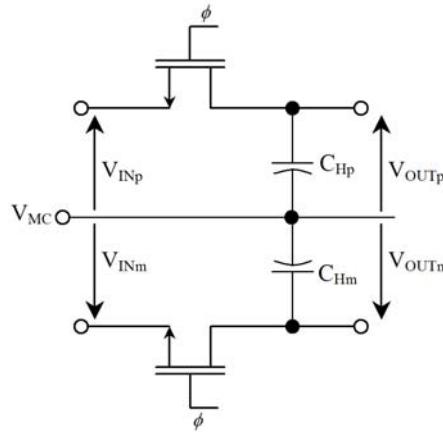


Fig. 3.12 : Symétrisation du circuit E/B de base

Bien que nous aborderons l'aspect symétrisation des circuits par la suite, nous pouvons dès maintenant analyser son avantage sur la compensation du phénomène d'injection de charges.

La symétrisation du circuit E/B est obtenue par la duplication du circuit asymétrique sur lequel la masse est remplacée par un potentiel de référence, égal à la tension de mode commun  $V_{\text{mc}}$  d'entrée du circuit (Fig. 3.12). Les signaux appliqués sur chaque entrée du circuit sont déphasés de  $\pi$  et centrés sur la tension de mode commun. Les charges accumulées dans le canal des deux transistors sont ainsi :

$$Q_{\text{inj\_CHp}} = -\alpha_{\text{inj\_CHp}} C_{\text{canalP}} \left( \phi_{\text{H}} - V_{\text{MC}} - V_{\text{INp}} - V_{\text{th}} \right) \quad (3-36)$$

$$Q_{\text{inj\_CHm}} = -\alpha_{\text{inj\_CHm}} C_{\text{canalM}} \left( \phi_{\text{H}} - V_{\text{MC}} - V_{\text{INm}} - V_{\text{th}} \right) \quad (3-37)$$

Bien entendu, l'erreur de potentiel générée sur chaque armature haute des capacités  $C_{\text{Hp}}$  et  $C_{\text{Hm}}$  est équivalente à celle générée sur le circuit asymétrique de base :

$$\Delta V_{\text{CHx}}^{(\text{canal})} = \frac{Q_{\text{inj\_CHx}}}{C_{\text{Hx}}} = -\alpha_{\text{inj\_CHx}} \frac{C_{\text{canalX}}}{C_{\text{Hx}}} \left( \phi_{\text{H}} - V_{\text{MC}} - V_{\text{INx}} - V_{\text{th}} \right) \quad (3-38)$$

Néanmoins, l'erreur sur la tension différentielle générée est alors réduite à :

$$\Delta V_{\text{OUT}}^{(\text{canal})} = \Delta V_{\text{CHp}}^{(\text{canal})} - \Delta V_{\text{CHm}}^{(\text{canal})} = \frac{Q_{\text{inj\_CHp}}}{C_{\text{Hp}}} - \frac{Q_{\text{inj\_CHm}}}{C_{\text{Hm}}} \quad (3-39)$$

Avec l'hypothèse que les valeurs des capacités sont égales et puisque les amplitudes  $V_{\text{INp}}=V_{\text{INm}}$  :

$$\Delta V_{\text{out}}^{(\text{canal})} = \left\{ -\alpha_{\text{inj\_CHp}} + \alpha_{\text{inj\_CHm}} \right\} \frac{C_{\text{canal}}}{C_{\text{H}}} \left( \phi_{\text{H}} - V_{\text{MC}} - V_{\text{IN}} - V_{\text{th}} \right) \quad (3-40)$$

Par conséquent, dans le cas d'une symétrisation parfaite du circuit (notamment au niveau du routage des pistes), les coefficients d'injection seront égaux (même impédance vue de part et d'autre), et l'erreur de potentiel générée est nulle.

## 2.4 Le commutateur analogique à basculement constant

L'implémentation des commutateurs analogiques en technologie CMOS dans un environnement basse tension est, comme nous venons de le voir, un point crucial de la conception. Par exemple, dans l'application d'un circuit S/B classique, le signal d'entrée  $V_{\text{IN}}$  est échantillonné à travers un simple transistor MOS ou une porte de transmission (Fig. 3.9). Le comportement idéal du commutateur analogique consiste donc à présenter une résistance  $r_{\text{ON}}$  constante, quelle que soit la valeur du signal d'entrée  $V_{\text{IN}}$ .

Nous venons de signaler l'intérêt de l'utilisation d'une porte de transmission comme commutateur analogique dans un circuit S/B. Pour des valeurs de tension d'alimentation suffisamment élevées ( $V_{\text{DD}} > (V_{\text{thp}} + V_{\text{thn}})$ ), il est ainsi possible d'obtenir des faibles valeurs de la résistance sur la quasi-totalité de la dynamique du signal à transmettre (Fig. 3.13). Lorsque la tension d'alimentation devient sensiblement équivalente à la somme des deux tensions de seuil des transistors MOS complémentaires ( $V_{\text{DD}} \approx (V_{\text{thn}} + V_{\text{thp}})$ ), la variation de la conductance du canal devient importante pour une amplitude de la tension d'entrée égale à la moitié de la tension d'alimentation. Mais surtout, pour des valeurs de tension d'alimentation de plus en plus faibles ( $V_{\text{DD}} < (V_{\text{thp}} + V_{\text{thn}})$ ), la porte de transmission n'est plus en état de conduire sur une bande médiane d'amplitude de la tension d'entrée.

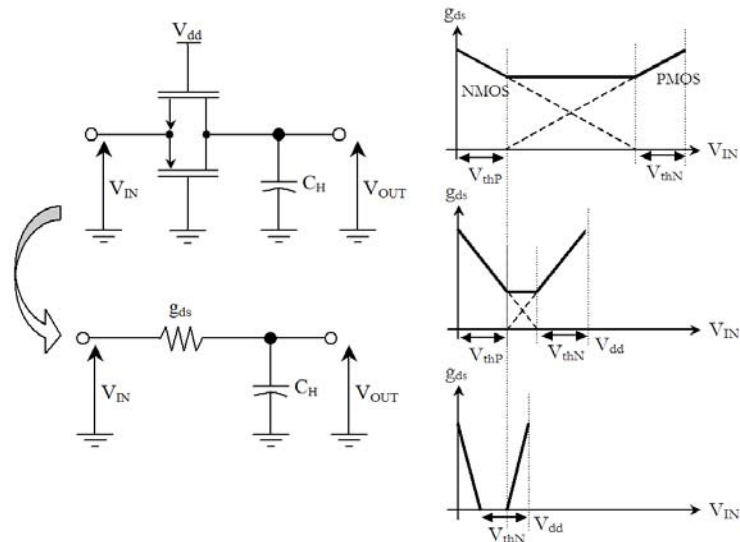


Fig. 3.13: Conductance équivalente d'une porte de transmission en fonctionnement pour différentes valeurs de tension d'alimentation.

Une solution intéressante à ce problème consiste à maintenir une différence de potentiel grille-source constante aux bornes du ou des transistors MOS constituant le commutateur [Cho,1995][Wu,1996][Abo,1999]. Il doit néanmoins être pris en considération que les différences de potentiel relatives ( $V_{GS}, V_{GD}$ ) aux bornes du transistor ne doivent pas excéder la valeur de la tension d'alimentation  $V_{DD}$  afin d'éviter tout phénomène de claquage de l'oxyde de grille [Abo,1999].

Contrairement à l'architecture développée dans [Cho,1995][Wu,1996], présentant des problèmes de fiabilité en raison de différences de potentiel trop importantes appliquées aux bornes du transistors, l'architecture (Fig. 3.14) assure le respect des conditions définies ci-dessus [Abo,1999].

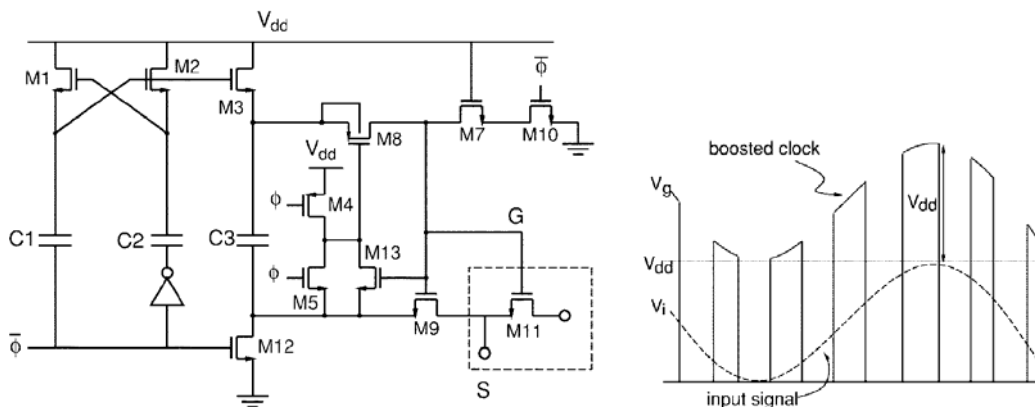


Fig. 3.14: Architecture du circuit de commande à  $v_{gs}$  constant [Abo,1999]

Le circuit (Fig. 3.14) n'utilise qu'une seule phase de commande  $\phi$  contrôlant le commutateur analogique  $M_{11}$ . Lorsque la phase de commande  $\phi$  est à l'état bas, la grille de

commande est à 0V ( $M_7$ - $M_{10}$ ) et le commutateur  $M_{11}$  est ouvert. Les transistors  $M_3$  et  $M_{12}$  appliquent quant à eux une différence de potentiel  $V_{DD}$  aux bornes de la capacité  $C_3$ , capacité qui jouera le rôle de pile entre la grille et la source du transistor de commande  $M_{11}$  lorsque la phase de commande sera à l'état haut. Les transistors  $M_8$  et  $M_9$  isolent quant à eux la capacité  $C_3$  du circuit de commande durant toute sa charge. Lorsque la phase de commande bascule à l'état haut, l'inverseur  $M_4$ - $M_5$  ferme le transistor  $M_8$ , permettant la charge de la grille de commande de  $M_{11}$  à partir de la capacité  $C_3$ , et fermant ainsi les transistors  $M_9$  et  $M_{11}$ . Le drain de  $M_{11}$  suit alors le potentiel d'entrée appliqué en entrée du circuit.

Afin d'éviter tout claquage d'oxyde de grille, le transistor  $M_{13}$  assure que la différence de potentiel  $V_{GS8}$  du transistor  $M_8$  n'excède pas la tension d'alimentation  $V_{DD}$ . Les transistors  $M_1$  et  $M_2$  ainsi que les capacités  $C_1$  et  $C_2$  forment quant à eux (Fig. 3.14) un doubleur de tension ( $\approx 2V_{DD}$ ) [Nakagome,1991] afin d'assurer un potentiel de charge nécessaire à la capacité  $C_3$  lorsque la phase de commande est à l'état bas.

Au-delà de l'intérêt du circuit en environnement basse-tension, cette architecture permet notamment d'assurer un basculement du transistor de commande à potentiel constant quelle que soit la valeur du signal en entrée et ainsi assurer une injection de charges constante. Nous verrons son application au chapitre 7, conjointe à l'utilisation d'une structure différentielle.

## 3. Dynamique maximale du circuit S/B de principe

### 3.1 Plage de dynamique maximale

Dans un environnement basse-tension, pour obtenir des circuits analogiques de précision, il est nécessaire de s'intéresser à la **plage de dynamique** DR du circuit. Ce terme est aussi appelé **SNDR** (**S**ignal to **N**oise and **D**istorsion **R**atio).

Considérons le cas d'une chaîne vidéo. Le convertisseur analogique numérique (CAN) de sortie réalise l'échantillonnage dans le domaine temporel des amplitudes du signal à traiter à différentes fréquences. En vertu du théorème de Shannon, pour des fréquences supérieures à la fréquence de Nyquist, l'échantillonnage n'introduit pas de distorsion supplémentaire dans la chaîne. Quelque soient les valeurs du signal à coder, une erreur maximale de  $\pm(1/2)$ LSB est générée sur la valeur codée du signal. En d'autres termes, la résolution atteignable est, dans tous les cas, limitée par cette erreur de quantification du signal. Si la valeur du signal à traiter varie de façon aléatoire entre chaque instant d'échantillonnage, il peut être montré que l'erreur générée à

une probabilité uniforme de se situer n'importe où dans la plage  $[-(1/2)\text{LSB};+(1/2)\text{LSB}]$ . Les propriétés de cette erreur de quantification permettent de la modéliser comme une source de bruit équivalente dont la valeur rms est calculée à partir de :

$$e_{\text{nrms}}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (3-41)$$

où  $\Delta$  représente la valeur du pas de quantification  $\Delta=V_{\text{plage}}/2^N$

Avec l'hypothèse d'une distorsion nulle, l'amplitude maximale des signaux en sortie est limitée par la butée haute de la tension d'alimentation tandis que l'amplitude minimale est imposée par la puissance de bruit de quantification du circuit imposé par le CAN. Si nous considérons un signal d'entrée  $V_{\text{IN}}$  sinusoïdal tel que  $V_{\text{IN}}(t) = V_{\text{mc}} + (V_{\text{pp}}/2)*\cos(2\pi ft+\pi)$ , la dynamique maximale  $\text{DR}_{\text{max}}$  du circuit (Fig. 3.15) est ainsi définie par :

$$\text{DR}_{\text{max}} = \text{SNDR}_{\text{max}} = 20\log_{10} \left( \frac{V_{\text{IN(rms)max}}}{\Delta/\sqrt{12}} \right) = 20\log_{10} \left( \frac{V_{\text{pp}}/2\sqrt{2}}{\Delta/\sqrt{12}} \right) = 6.02N + 1.76\text{dB} \quad (3-42)$$

En pratique, la plage de dynamique de la chaîne vidéo sera limitée par la participation de sources de bruit supplémentaires. Nous nous proposons de quantifier cette plage en considérant la participation du bruit équivalent en  $k_B T/C$  généré par le circuit suiveur/bloqueur.

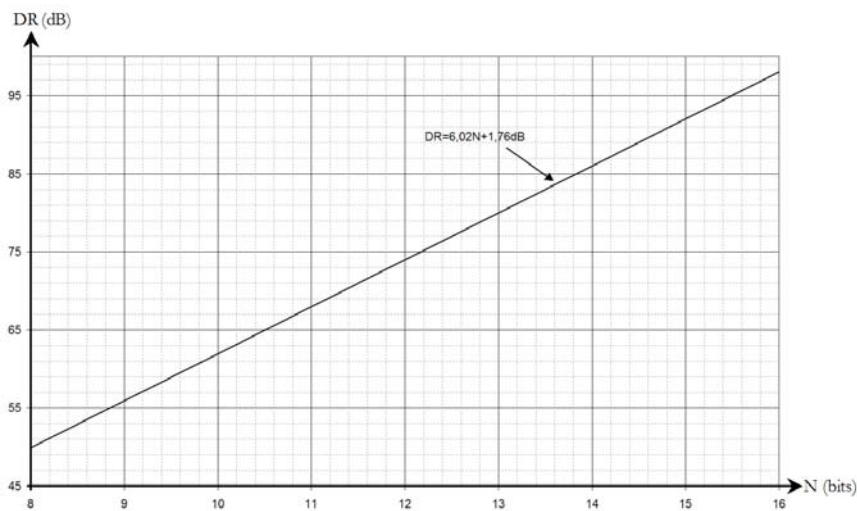


Fig. 3.15 : Dynamique maximale d'un circuit analogique de signal sinusoïde en entrée en fonction de la résolution du codeur



## 3.2 Plage de dynamique maximale en considérant la participation du circuit S/B de principe

Intéressons-nous au cas du circuit S/B de principe. La densité spectrale quadratique du courant de bruit dans le canal du commutateur analogique est :

$$S_{iD} = 4k_B T r_{ON} \quad (3-43)$$

où  $r_{ON}$  représente la résistance équivalente du commutateur en zone de conduction. Le circuit S/B de principe est un filtre passe-bas de fréquence de coupure  $f_{CHF} = 1/2\pi r_{ON} C_H$  avec  $C_H$ , la capacité de stockage. La valeur quadratique moyenne  $e_T^2$  correspondante prend en compte la bande passante équivalente de bruit. Avec l'hypothèse d'un simple filtre passe-bas du 1<sup>er</sup> ordre, on détermine :

$$e_T^2 = \int_0^{\infty} S_{iD} \frac{1}{\sqrt{1 + (f/f_{CHF})^2}} df = \frac{\pi}{2} f_{CHF} S_{iD} = \frac{k_B T}{C_H} (V_{eff}^2) \quad (3-44)$$

La tension de bruit d'origine thermique  $e_T$  du commutateur (dénommé bruit en  $kT/C$ ) se superpose à la valeur utile du signal.

Le rapport signal à bruit SNR de la chaîne vidéo est donc dégradé en raison de la participation de cette tension de bruit :

$$SNR = 10 \log_{10} \left( \frac{V_{PP}^2 / 8}{\Delta^2 / 12 + k_B T / C_H} \right) \quad (3-45)$$

La [figure 3.16](#) illustre le SNR que l'on peut atteindre en sortie de la chaîne vidéo en fonction de la valeur  $C_H$  de la capacité de stockage du circuit S/B. Chaque courbe, représentante d'une valeur de résolution de codeur différente, présente deux comportements :

- Pour les faibles valeurs de capacité  $C_H$ , le bruit thermique généré par le commutateur analogique du circuit S/B est dominant devant le bruit de quantification du codeur. La résolution effective de la chaîne vidéo est dégradée.
- Pour les fortes valeurs de capacité  $C_H$ , le bruit de quantification du codeur est dominant et le bruit thermique généré par le commutateur a peu d'influence sur la résolution effective de la chaîne vidéo.

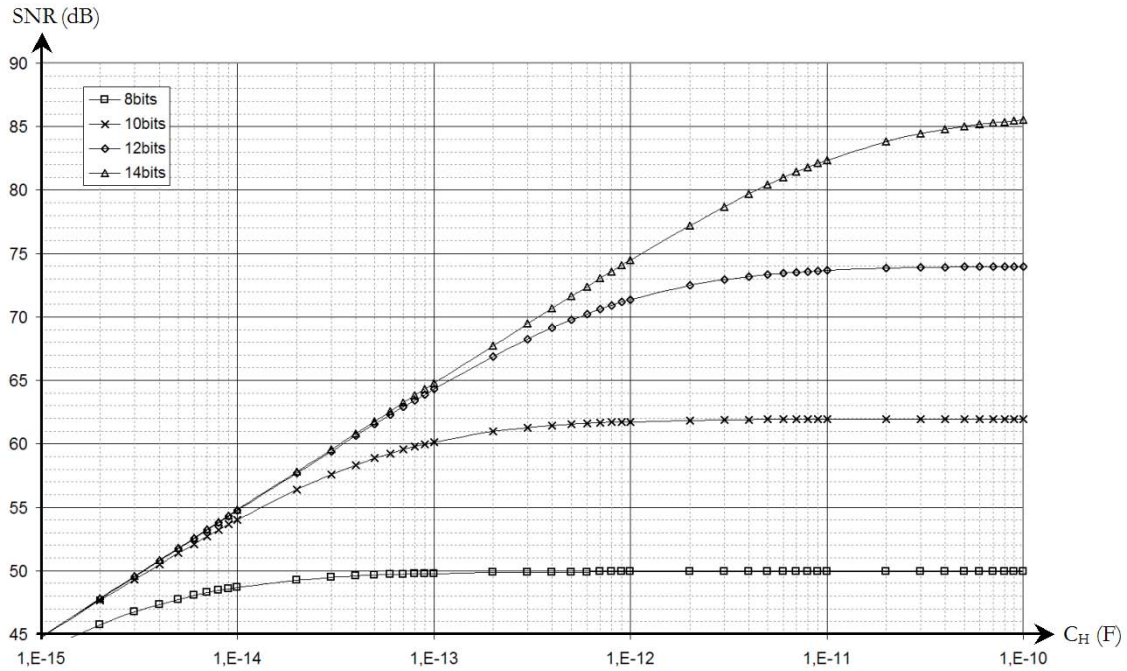


Fig. 3.16 : SNR du circuit S/B de principe échantillonné à la fréquence de Nyquist en fonction de la capacité de stockage  $C_H$  pour différentes résolutions de codeur  $N$

Nous qualifions alors la résolution de la chaîne vidéo en nombre effectif de bits  $N_{\text{eff}}$  à partir de l'équation suivante (Fig. 3.17):

$$N_{\text{eff}} = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02} \quad (3-46)$$

Par exemple, pour une chaîne vidéo utilisant un CAN de résolution 12 bits, afin de ne pas trop dégrader la résolution effective de la chaîne, il est nécessaire d'utiliser un circuit S/B dont la valeur de la capacité de stockage  $C_H$  est voisine de 1pF. Dans ce cas, le SNR est dégradé de seulement 3dB, soit une résolution de 11.6 bits effectifs. Par contre, en utilisant une valeur semblable de capacité pour le circuit S/B dans une chaîne vidéo de résolution de CAN 14bits, nous pouvons remarquer que le SNR équivalent de la chaîne est dégradé de 11dB, ce qui correspond à la perte de 2 bits, soit une résolution de 12 bits effectifs.

**Remarque :** La valeur quadratique moyenne  $e_T^2$  donnée par (3-41) correspondrait à une mesure « mono-coup », ou d'un pixel d'une image, ce qui donne la relation (3-42). On peut imaginer, que dans certaines configurations de l'imageur, on effectue la moyenne sur un certain nombre d'images quasi identiques, ce qui minimiserait la contribution relative de  $e_T^2$ .

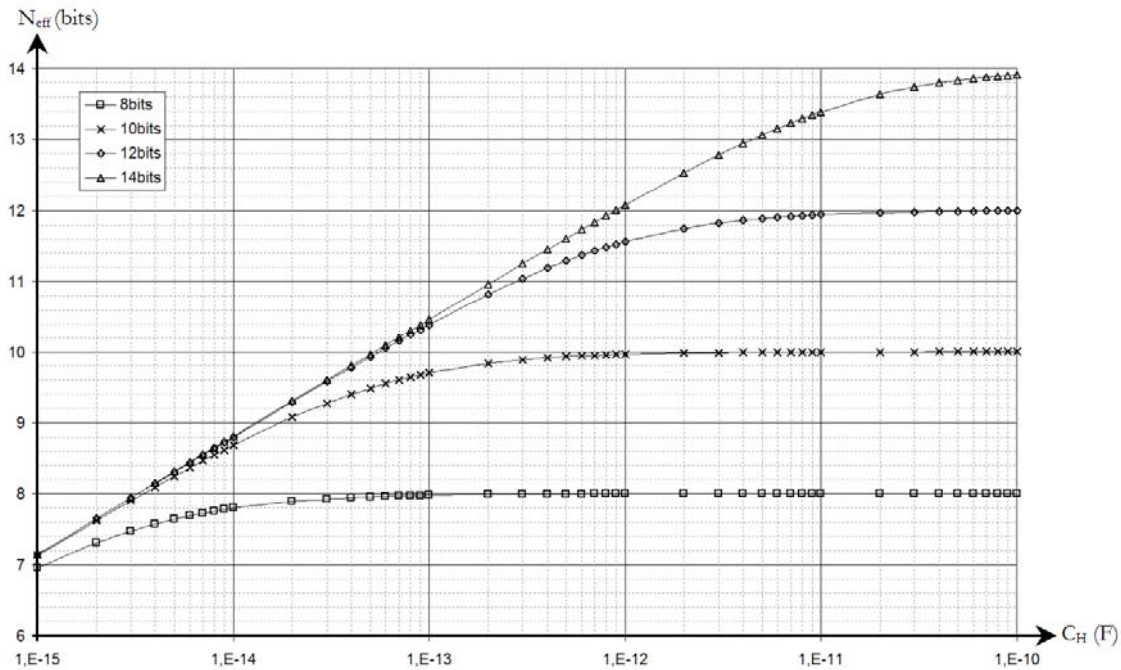


Fig. 3.17 : Résolution  $N_{\text{eff}}$  en nombre de bits effectif d'une chaîne vidéo en fonction de la capacité de stockage  $C_H$  du circuit S/B pour différentes résolutions de codeur N

## 4. Etude dynamique du circuit S/B de principe en mode échantillonnage

Afin d'évaluer les limitations du circuit S/B de principe en termes de précision et de rapidité, nous nous intéressons à son analyse fréquentielle en régime petits signaux en mode échantillonnage. Cette étude sur la structure S/B simple permet notamment de donner un gabarit intrinsèque en terme de rapidité sur l'intégration des circuits d'échantillonnage car cette simple structure présente, à priori, le temps d'acquisition atteignable le plus court.

### 4.1 Circuit de principe S/B

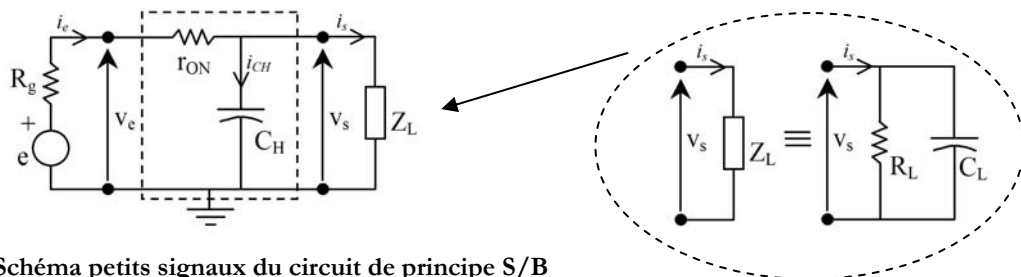


Fig. 3.18 : Schéma petits signaux du circuit de principe S/B en mode échantillonnage

La figure 3.18 présente le schéma petits signaux en mode échantillonnage du circuit S/B de principe subissant une attaque en tension en entrée, de force électromotrice  $e$  et de résistance

interne  $R_g$ , chargé en sortie par une admittance  $Y_L=1/R_L+pC_L$ . Le gain en tension composite est alors donné par :

$$G(p) = \frac{v_S}{v_e} = \left[ \frac{R_L}{R_L + R_g + r_{ON}} \right] \frac{1}{1 + p \left[ (R_g + r_{ON}) // R_L \right] (C_H + C_L)} = \frac{G_0}{1 + p\tau_{SB1}} \quad (3-47)$$

## 4.2 Contribution des buffers d'entrée et de sortie

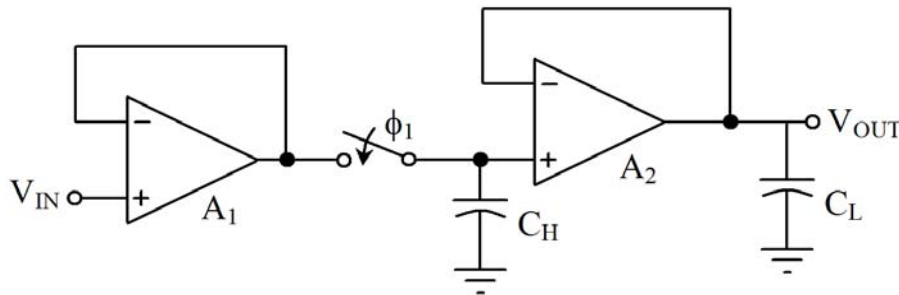


Fig. 3.19 : Schéma de principe du circuit S/B simple bufferisé

L'intégration du circuit de principe S/B doit être considérée par l'ajout de deux buffers en entrée et en sortie du circuit (Fig. 3.19). En effet, selon le principe décrit par la figure 3.18, pour obtenir un très faible temps d'établissement, il est nécessaire que le circuit soit soumis à une attaque en tension : c'est le rôle de l'amplificateur  $A_1$ . De même, en mode de maintien, il est nécessaire que le circuit de lecture de la tension mémorisée ne « décharge » pas la capacité  $C_H$  : c'est le rôle du suiveur  $A_2$ . L'introduction des deux buffers (Fig. 3.19), en entrée et en sortie, introduit une nouvelle erreur en raison des tensions de décalage ramenées en entrée de chaque buffer. La tension de décalage résultante du circuit ramenée en entrée est alors la somme algébrique de ces deux tensions.

Le dispositif comporte deux suiveurs de tension qui présentent leurs propres limitations. La figure 3.20 représente le schéma petit signal de l'amplificateur opérationnel dont la sortie en boucle ouverte est représentée sous forme Thévenin ( $A_d v_d, r_{s0}$ ). Nous faisons l'hypothèse que l'amplificateur opérationnel ne présente qu'un pôle. Le gain en tension différentiel en boucle ouverte est donné par :

$$A_d(p) = \frac{A_{d0}}{1 + \tau_{AO1} p}$$

La constante de temps  $\tau_{AO1}$  donne la fréquence de coupure haute  $f_{AO1}=1/2\pi\tau_{AO1}$  et le produit gain/bande passante au premier ordre  $GBW_{AO}=A_{d0}f_{AO1}=1/2\pi\tau_{GBWAO}$ .

Rebouclé au gain unitaire, le schéma équivalent du suiveur de tension est alors donné par la figure 3.21 avec :

$$\left. \begin{aligned} e_s &= \frac{kA_d}{1 + kA_d} v_e \\ r_s &= \frac{r_{s0}}{1 + kA_d} \\ \frac{e_s}{v_e}(p) &\approx \frac{1}{1 + \tau_{GBWP} p} \end{aligned} \right\} \text{avec le facteur de report } k=1.$$

Le schéma petit signal équivalent du circuit (Fig. 3.19) est présenté (Fig. 3.22) en utilisant le schéma petit signal du suiveur de tension.

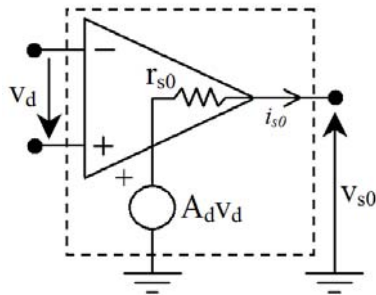


Fig. 3.20 : Schéma petit signal de l'amplificateur opérationnel en boucle ouverte

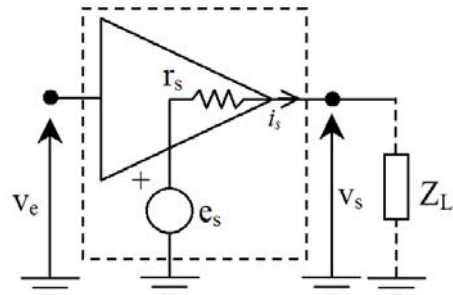


Fig. 3.21 : Schéma petit signal de l'amplificateur opérationnel rebouclé au gain unitaire

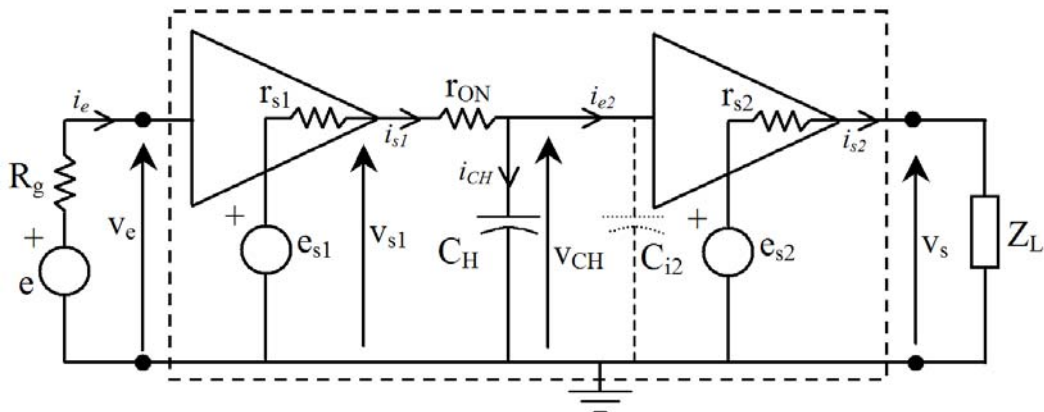


Fig. 3.22 : Schéma petits signaux du circuit de principe S/B bufférisé en mode échantillonnage

Dans ce cas, le transfert en tension composite du circuit S/B (Fig. 3.22) est modifié par la participation des limitations fréquentielles des deux amplificateurs rebouclés au gain unitaire ( $A_1$  et  $A_2$ ) et de leur erreur de gain respective. Exprimons, dans un premier temps, le gain en tension intrinsèque du circuit :

$$G_i(p) = \frac{v_s}{v_e} = \frac{v_s}{e_{s2}} \frac{e_{s2}}{v_{CH}} \frac{v_{CH}}{e_{s1}} \frac{e_{s1}}{v_e} \quad (3-48)$$

$$\text{avec } \frac{v_s}{e_{s2}} = \left[ \frac{R_L}{R_L + r_{s2}} \right] \frac{1}{1 + p(r_{s2} // R_L) C_L} \quad ; \quad \frac{e_{s2}}{v_{CH}} \approx \left[ \frac{A_{d02}}{A_{d02} + 1} \right] \frac{1}{1 + p\tau_{GBW2}} ;$$

$$\frac{v_{CH}}{e_{s1}} \approx \frac{1}{1 + p(r_{s1} + r_{ON})(C_H + C_{i2})}, \text{ transfert en tension composite du circuit S/B de principe ;}$$

$$\frac{e_{s1}}{v_e} \approx \left[ \frac{A_{d01}}{A_{d01} + 1} \right] \frac{1}{1 + p\tau_{GBW1}} .$$

Nous pouvons alors réécrire le gain en tension intrinsèque du circuit sous la forme :

$$G_i(p) = \frac{v_s}{v_e} = \frac{G_{i0}}{(1 + p\tau_{GBW1})(1 + p\tau_{ech})(1 + p\tau_{GBW2})(1 + p(r_{s2} // R_L) C_L)} \quad (3-49)$$

$$\text{avec } G_{i0} = \left[ \frac{A_{d01}}{A_{d01} + 1} \right] \left[ \frac{A_{d02}}{A_{d02} + 1} \right] \left[ \frac{R_L}{R_L + r_{s2}} \right] \quad (3-50)$$

Un équivalent au premier ordre du gain en tension intrinsèque statique s'exprime alors sous la forme :

$$G_{i0} = 1 - \left( \frac{1}{A_{d01}} + \frac{1}{A_{d02}} + \frac{1}{1 + R_L // r_{s2}} \right) \quad (3-51)$$

Il apparaît une erreur de gain en tension intrinsèque en raison du rebouclage au gain unitaire des deux amplificateurs. Dynamiquement, le circuit est approximé à quatre pôles. Il est donc nécessaire de fixer une hiérarchie des constantes de temps associées. On peut définir une constante de temps équivalente au dispositif qui est de la forme [Cherry,1978] :

$$\tau'_{ech} \approx 1,1 \sqrt{\tau_{ech}^2 + \tau_{GBW1}^2 + \tau_{GBW2}^2 + [(r_s // R_L) C_L]^2} \quad (3-52)$$

La fonction limitatrice du circuit étant la fonction d'échantillonnage réalisée par le commutateur analogique et la capacité de stockage. La constante de temps dominante sera supposée être alors la constante  $\tau_{ech}$ , c'est-à-dire la constante de temps du circuit S/B de principe, définie à l'équation (3-1). En rejetant les pôles supplémentaires au-delà de ce pôle, nous pourrons

alors assimiler le comportement du circuit S/B ainsi défini à celui d'un filtre passe-bas du premier ordre de gain  $G_{i0}$  et de fréquence de coupure haute  $f_{ech} (=1/2\pi\tau_{ech})$  avec  $\tau_{ech} \approx (r_{ON}+r_{s1})(C_H+C_{i2})$ .

### 4.3 Temps d'acquisition

A partir de ces différentes équations nous pouvons évaluer le gabarit intrinsèque de la structure S/B à temps d'acquisition le plus rapide. L'utilisation d'un circuit suiveur de tension en entrée pour réaliser une attaque en tension ainsi qu'en sortie afin de ne pas décharger la capacité de stockage  $C_H$ , sous-tend que les deux amplificateurs  $A_1$  et  $A_2$  ne doivent pas être les sous-blocs limitants du circuit. Dans ce cas, la limite en rapidité du temps d'acquisition du circuit est fixée par la constante de temps  $\tau_{ech}$  définie par l'équation :

$$\frac{v_s}{v_e} \approx \frac{G_{i0}}{1 + p\tau_{ech}} \quad (3-53)$$

Le temps d'acquisition est déterminé en fonction du codeur  $N$  et du coefficient d'erreur  $\eta_{ech}$  ( $0 < \eta_{ech} < 1$ ), coefficient déterminé en fonction de la répartition des erreurs allouées pour chaque sous bloc. Le dimensionnement du circuit peut alors s'exprimer en incorporant la capacité parasite d'entrée  $C_{i2}$  à la capacité totale de stockage du circuit S/B :

$$t_{ac} = \left( N + \frac{1}{\eta_{ech}} \right) \tau_{ech} \ln(2) = \left( N + \frac{1}{\eta_{ech}} \right) (r_{s1} + r_{ON})(C_H + C_{i2}) \ln(2) \quad (3-54)$$

La structure est donc déterminée à partir de cinq paramètres : la résolution du codeur  $N$  (connue), l'erreur allouée  $\eta_{ech}$  (connue), la résistance de sortie de  $A_1$   $r_{s1}$  (fixée par la structure de  $A_1$ ), la résistance  $r_{ON}$  du commutateur analogique (fixée par son rapport géométrique  $W/L$ ), ainsi que par la valeur équivalente de la capacité de stockage  $C_H+C_{i2}$ .

Dans le cadre de l'instrumentation spatiale considérée, nous accordons une marge d'erreur  $\eta_{ech}=(1/2)LSB$ . Nous pouvons ainsi tracer des abaques de la résistance équivalente maximale  $(r_{ON}+r_{s1})$  par pF (c'est-à-dire pour une valeur de la capacité de stockage de 1pF) pour différentes résolutions de codeur (Fig. 3.23).

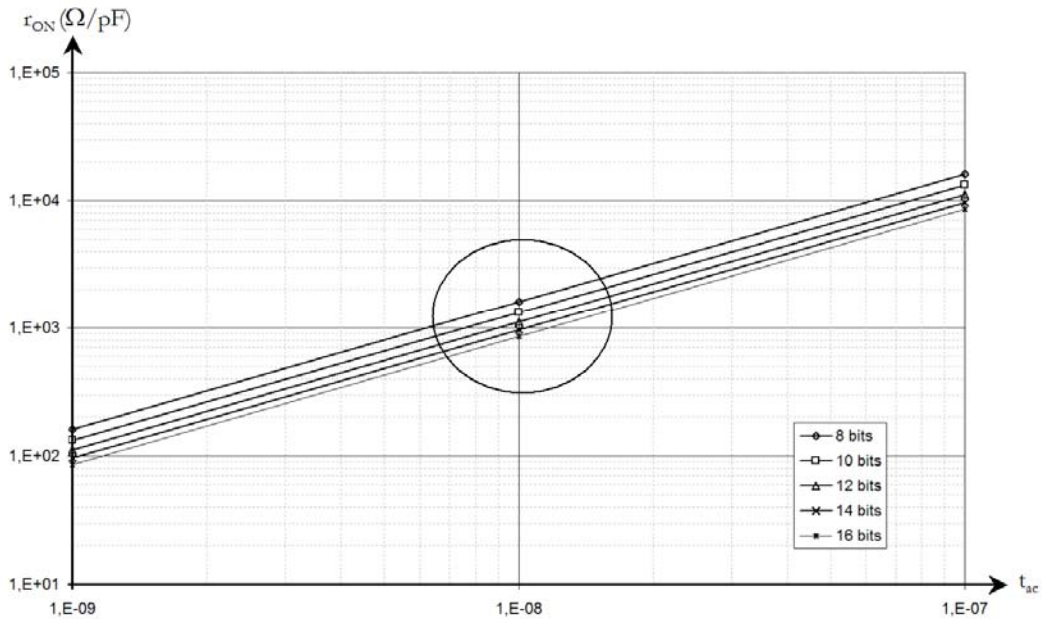


Fig. 3.23 : Résistance  $r_{ON}$  équivalente maximale par pF en fonction du temps d'acquisition pour différentes résolutions de codeur (erreur allouée 1/2LSB)

Typiquement, les temps d'acquisition ayant été fixés par gabarit à 10ns (Fig. 3.5), la constante de temps  $\tau_{ech}$  évaluée à 1ns, la résistance  $r_{ON}$  équivalente devra être comprise dans une plage de  $800\Omega/pF$  à  $1.2k\Omega/pF$ . Ainsi, dans une technologie  $0.35\mu m$ , si on admet une tension  $V_{GS}=V_{DD}/3\approx 1V$  du commutateur analogique canal N, on en déduit que la valeur moyenne de la résistance  $r_{ON}=1k\Omega$  implique un rapport géométrique  $(W/L)=(10\mu m/0.35\mu m)=28.5$ .

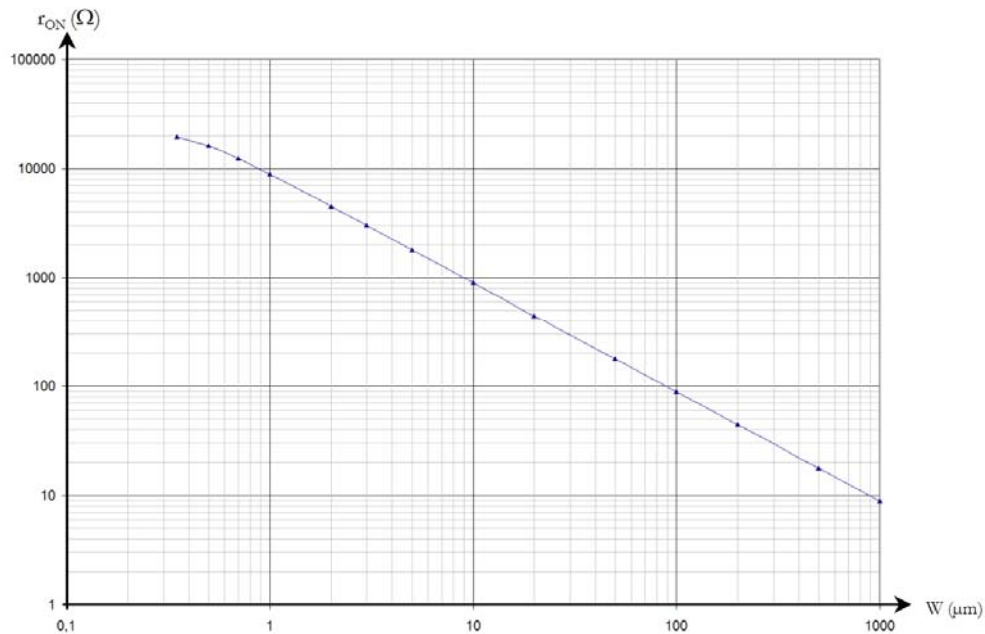


Fig. 3.24 : Résistance  $r_{ON}$  équivalente en fonction de la largeur de grille  $W$  pour un transistor NMOS en technologie AMS0.35 $\mu m$  et une longueur de grille  $L=0.35\mu m$

Ce gabarit est donné en supposant le régime petit signaux du circuit S/B, c'est-à-dire indépendant de l'amplitude de  $V_{IN}$ . Le circuit S/B réel est, quant à lui, limité par :



- En régime des forts signaux, c'est-à-dire lorsque le buffer d'entrée  $A_1$  est en régime de saturation, par le slew-rate propre à la charge de la capacité de stockage. En première approximation, cette limitation est fixée par l'intensité maximale de courant de charge  $I_{\max}$  délivrable par le buffer  $A_1$ :

$$SR = \frac{dv_{CH}}{dt} = \frac{I_{\max}}{C_H} \quad (3-55)$$

- Le fonctionnement intermédiaire, c'est-à-dire lorsque le buffer d'entrée  $A_1$  est limité par son slew-rate interne  $SR_{A1}$ .

Le circuit demeure dans un régime limité par le slew-rate interne du buffer  $A_1$  tant que celui-ci reste inférieur au slew-rate équivalent du circuit S/B de principe, c'est-à-dire jusqu'à l'instant  $t_{\text{fort}}$  tel que :

$$SR_{A1} < \frac{dv_{CH}}{dt} = \frac{V_{in}}{\tau_{ech}} \exp\left(-t_{\text{fort}}/\tau_{ech}\right) \quad (3-56)$$

Examinons par exemple l'impact de la limitation du courant maximum délivrable, et ainsi du slew-rate équivalent sur le temps d'acquisition total du circuit pour un circuit S/B ayant une constante de temps  $\tau_{ech}$  de 1ns, utilisé pour une résolution de codeur de 12bits et d'erreur allouée de 1/2LSB (Fig. 3.25) dont la variation en amplitude du signal en entrée est de  $\Delta V_{IN}=1V_{c\grave{a}c}$ .

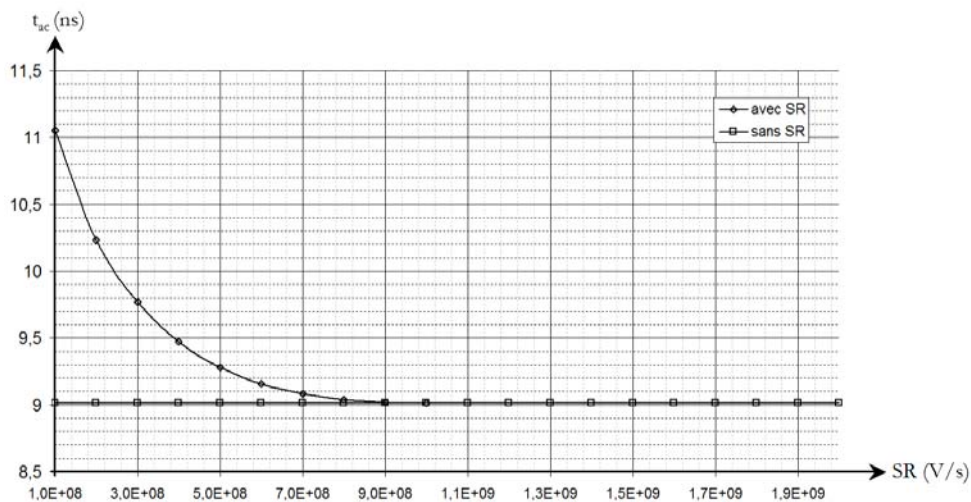


Fig. 3.25 : Variation du temps d'acquisition en fonction du slew-rate imposé pour une constante de temps  $\tau_{ech}$  de 1ns, une résolution de codeur de 12bits et une erreur allouée de 1/2LSB ( $\Delta V_{IN}=1V_{c\grave{a}c}$ )

L'exemple d'illustration (Fig. 3.25), représentative des spécifications d'une future chaîne vidéo, nous montre qu'afin que le buffer d'entrée ne soit pas un bloc limitant dans la rapidité du circuit, il est nécessaire d'assurer un slew-rate équivalent de 1 V/ns. Néanmoins, afin de rester

dans la plage admissible de la dizaine de nanosecondes pour le temps d'acquisition, nous pourrions nous limiter sans une dégradation importante à un slew-rate proche de 0.2 V/ns.

## 4.4 Courant de charge

Si l'impact de la limitation en courant ne fait perdre qu'une faible partie du temps d'acquisition, il faut néanmoins obtenir une valeur minimale de cette intensité pour obtenir les performances attendues en terme de rapidité (Fig. 3.26). Car il faut notamment noter que le rebouclage au gain unitaire d'un amplificateur dédié pour une application rapide impose généralement l'utilisation de capacité de compensation interne, limitant le slew-rate de l'étage.

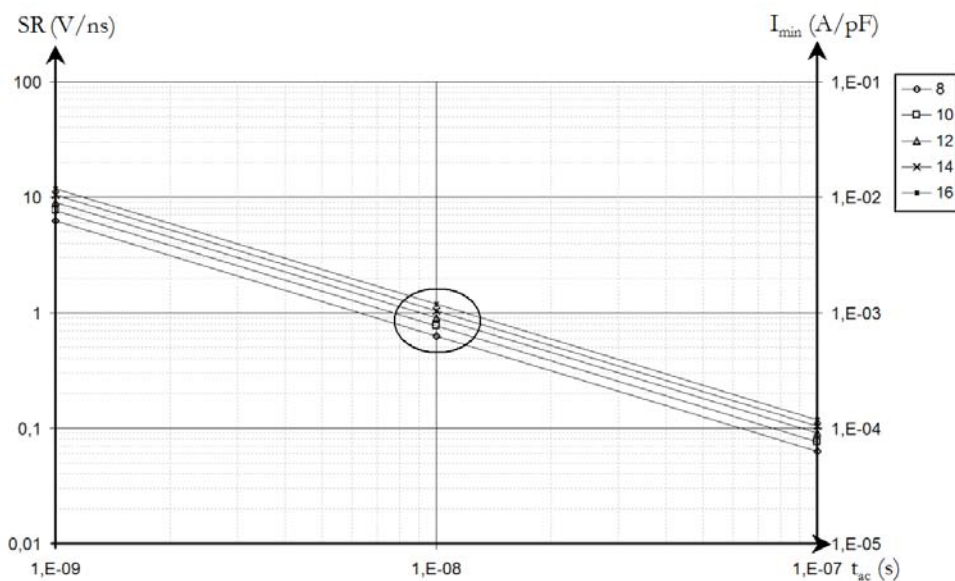


Fig. 3.26 : Intensité crête de courant minimum à fournir par l'étage suiveur par pF et slew-rate équivalent pour une constante de temps  $\tau_{ech}$  de 1ns en fonction du temps d'acquisition désiré pour différentes résolutions de codeur et une erreur allouée de 1/2LSB ( $\Delta V_{IN}=1V_{càc}$ )

## 4.5 Précision et résolution

Les paramètres limitants du circuit de principe S/B en termes de précision sont de trois types. Il s'agit, lors du mode d'échantillonnage, de l'erreur de gain des amplificateurs rebouclés au gain unitaire, que nous appellerons erreur d'acquisition. Pendant la transition en mode de maintien, le phénomène d'injection de charges couplé au phénomène de clock feedthrough crée, quant à eux, une erreur de transition. Enfin, durant le mode de maintien, la décharge de la capacité de stockage par des courants de fuite crée une erreur de maintien.

### 4.5.1 Précision Statique

En ne prenant pas en compte les tensions de décalage (et de leurs dérives) des deux amplificateurs opérationnels, en mode échantillonnage, l'erreur d'acquisition est donc la somme

des erreurs introduites par les trois étages du circuit (Fig. 3.22) :

$$\varepsilon_{G_{i0}} = \frac{1}{A_{d01}} + \frac{1}{A_{d02}} + \frac{1}{1 + R_L/r_{s2}}. \text{ En fonction de l'erreur allouée pour chaque étage, il est}$$

alors nécessaire d'avoir une valeur minimale des gains en tension différentiel en boucle ouverte (Fig. 3.27).

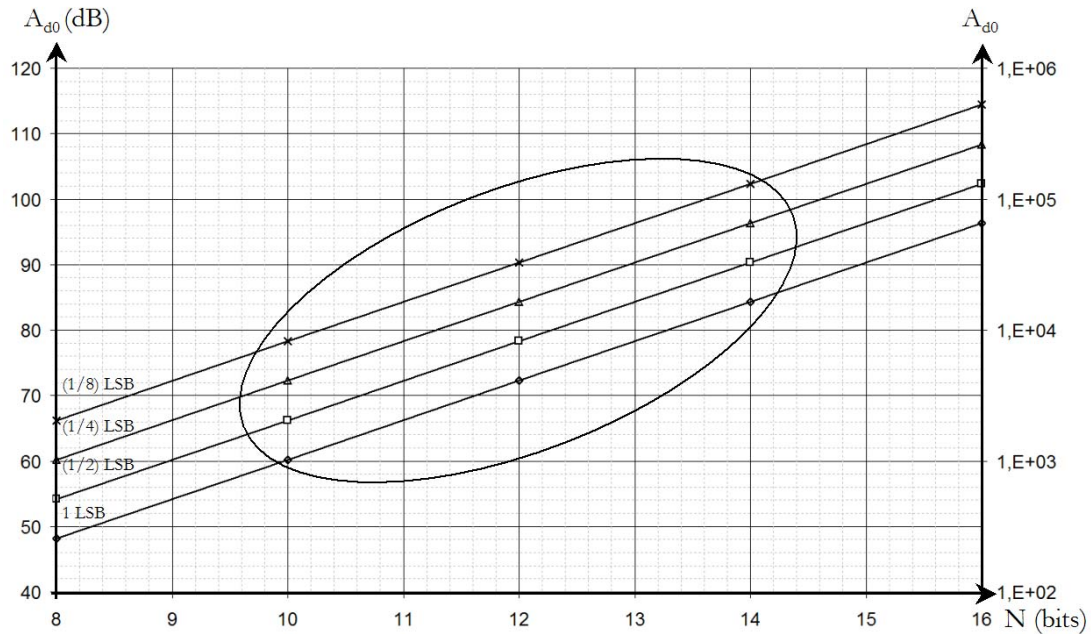


Fig. 3.27 : Gain en tension différentiel en boucle ouverte  $A_{d0}$  d'un amplificateur monté en suiveur nécessaire en fonction de la résolution du codeur pour différentes erreurs allouées en LSB

Par exemple, pour des résolutions de codeur de 12 à 14bits, en allouant une erreur de 1/4LSB à l'amplificateur monté en suiveur, les gains en tension différentielle en boucle ouverte doivent être compris respectivement entre 84dB et 96dB. Ce facteur n'est donc pas un point limitant dans l'utilisation du circuit S/B de principe.

### 4.5.2 Limitation liée au commutateur analogique

Considérons la transition entre le mode échantillonnage et le mode de maintien. Nous avons montré que l'erreur de transition après le basculement de l'horloge de commande pouvait s'exprimer par l'expression :

$$\Delta V_{CH}^{(transition)} \approx \left\{ \alpha_{inj\_CH} \frac{C_{canal}}{C_H} \right\} V_{IN} - \left\{ \alpha_{inj\_CH} \frac{C_{canal}}{C_H} (\phi_H - V_{th0}) + \frac{C_{OVd}}{C_{OVd} + C_H} (\phi_H - \phi_L) \right\} \quad (3-57)$$

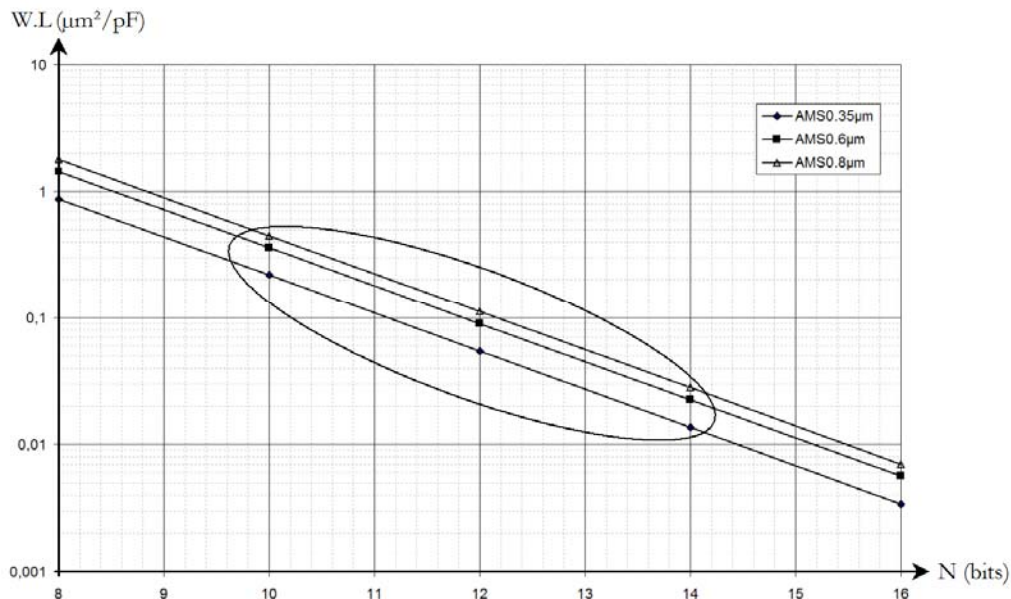
- Le 2<sup>ème</sup> terme de cette relation est indépendant de l'amplitude du signal  $V_{IN}$ . Ce terme constant correspond donc à une **tension de décalage** dans le circuit qui peut donc être compensée.

- Le 1<sup>er</sup> terme de cette relation, est, quant à lui, proportionnel à l'amplitude du signal  $V_{IN}$ , et correspond à une **erreur de gain** qui introduit une non-linéarité dans le circuit.

Intéressons-nous à l'erreur de gain introduite par cette injection de charge :

$$\varepsilon_{\text{transition}} = \alpha_{\text{inj\_CH}} \frac{C_{\text{canal}}}{C_H} = \alpha_{\text{inj\_CH}} W_{\text{eff}} L_{\text{eff}} \frac{C_{\text{ox}}}{C_H} \quad (3-58)$$

Elle est proportionnelle à la surface effective  $W_{\text{eff}}L_{\text{eff}}$  du commutateur analogique, et inversement proportionnelle à la capacité de stockage  $C_H$ . Cette erreur de gain doit être répartie sur l'erreur de gain totale admissible pour le circuit, précision statique comprise. L'injection de charges étant un facteur limitant dans la résolution des circuits d'échantillonnage, nous partagerons l'erreur en deux composantes égales :  $\frac{1}{2}$  LSB pour la précision statique,  $\frac{1}{2}$  LSB pour l'injection de charges. Nous pouvons alors évaluer la surface effective maximale  $W_{\text{eff}}L_{\text{eff}}$  du commutateur analogique pour une capacité de stockage  $C_H$  de 1pF en fonction de la résolution  $N$  du codeur pour un coefficient d'injection  $\alpha_{\text{inj\_CH}}$  de  $\frac{1}{2}$  et pour différentes technologies (Fig. 3.28).



**Fig. 3.28 : Surface  $W_{\text{eff}}L_{\text{eff}}$  ( $\mu\text{m}^2/\text{pF}$ ) maximale du commutateur analogique en fonction de la résolution  $N$  du codeur pour un coefficient d'injection  $\alpha_{\text{inj\_CH}}$  de  $\frac{1}{2}$ , une erreur de  $\frac{1}{2}$  LSB et pour 3 technologies**

Ce graphique exprime clairement la limitation majeure de la structure S/B de principe. Prenons l'exemple de la technologie 0.35µm. Pour obtenir les résolutions visées (respectivement de 10 à 14 bits), il est nécessaire que la surface effective  $W.L$  du commutateur analogique soit respectivement comprise entre  $0.01\mu\text{m}^2/\text{pF}$  et  $0.2\mu\text{m}^2/\text{pF}$  (Fig. 3.28). Cette surface effective minimale est à mettre en regard du  $r_{\text{ON}}$  équivalent du commutateur analogique. Pour obtenir la plus petite surface effective, il est nécessaire d'utiliser un commutateur de longueur de grille

minimale. La figure 3.29 donne le  $r_{ON}$  équivalent d'un commutateur analogique de longueur de grille minimale dans la technologie AMS  $0.35\mu\text{m}$  en fonction de sa surface effective pour un  $V_{GS}=1\text{V}$ .

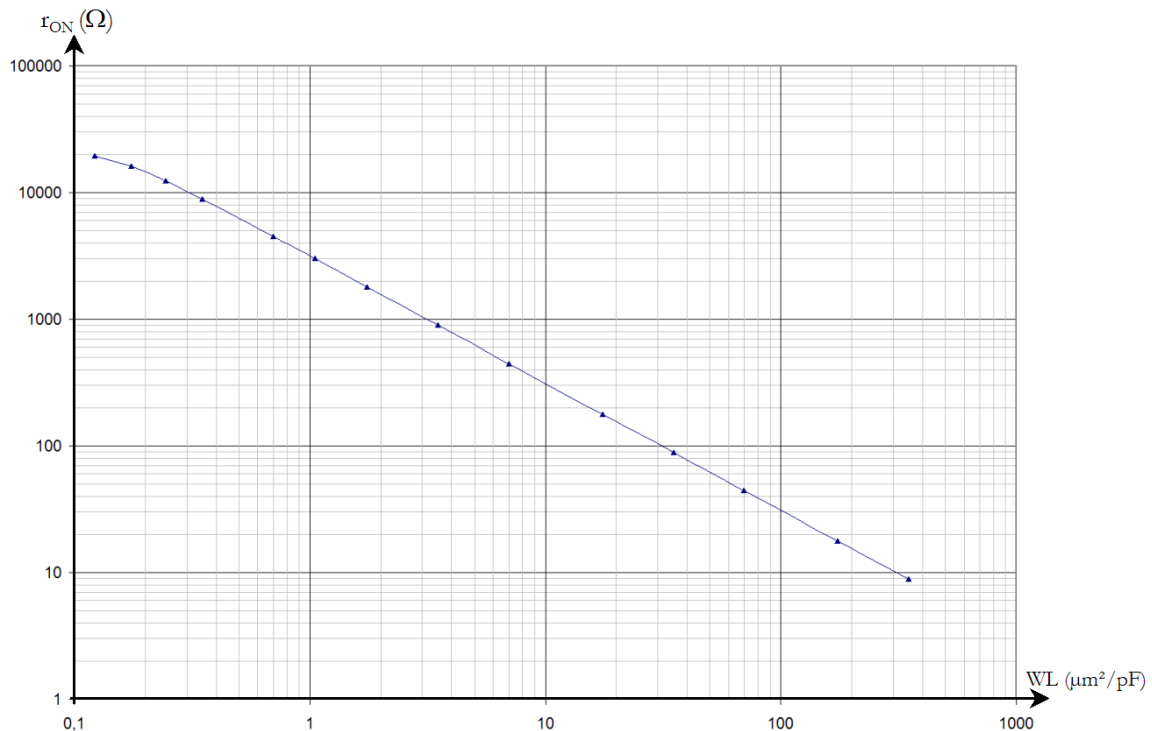


Fig. 3.29 : Résistance  $r_{ON}$  équivalente en fonction de la surface effective  $W_{\text{eff}}L_{\text{eff}}$  ( $\mu\text{m}^2/\text{pF}$ ) pour un transistor NMOS en technologie AMS  $0.35\mu\text{m}$  et une longueur de grille  $L=0.35\mu\text{m}$

Nous pouvons en déduire que dans les spécifications visées, il n'est pas possible d'utiliser un circuit S/B composé d'un simple commutateur analogique et d'une capacité de stockage. En terme de précision, en utilisant un commutateur de surface effective minimale ( $0.12 \mu\text{m}^2$ ), la résolution visée ne peut être qu'inférieure à 11 bits (Fig. 3.28), mais au détriment de la réponse fréquentielle ( $r_{ON} \sim 20\text{k}\Omega$ ). En terme de vitesse, le  $r_{ON}$  du commutateur devant être compris entre  $800\Omega/\text{pF}$  et  $1.2\text{k}\Omega/\text{pF}$ , la surface effective du transistor d'environ  $3\mu\text{m}^2$  (dans le cadre des surfaces effectives définies (Fig. 3.28)), soit une résolution équivalente inférieure à 8 bits.

Ces calculs ont été menés pour une capacité de stockage de  $1\text{pF}$ .

Nous pouvons alors envisager deux cas :

- Pour une capacité de stockage de valeur plus faible : le commutateur analogique peut alors être de surface effective plus faible et donc d'augmenter son  $r_{ON}$  équivalent. Il devient envisageable d'obtenir la rapidité escomptée. Néanmoins en terme de précision, le taux de charges injectées étant proportionnel au rapport géométrique ( $W/L$ ) du commutateur, et ce dernier étant lui-même proportionnel à

la valeur inverse de la capacité de stockage pour rester dans la rapidité requise ( $r_{ON} \propto 1/C_H$ ), la précision demeurera la même. Par contre, le rapport signal à bruit SNR sera dégradé en raison de l'augmentation du bruit thermique généré par le commutateur analogique.

- Pour une capacité de stockage de valeur plus élevée : le commutateur analogique doit être de surface effective plus élevée afin de réduire son  $r_{ON}$ . Comme nous venons de l'expliquer, l'erreur générée par injection de charges demeure la même. Par contre, le rapport signal à bruit SNR est amélioré.

Il y a donc tout intérêt à utiliser des capacités de stockage de valeur plus élevée. La cellule E/B profite alors d'un rapport signal à bruit SNR de valeur plus élevée, mais à précision équivalente. Néanmoins, une limitation sera introduite par le nécessaire courant de charge de la capacité. Il faudra ainsi tenir compte de la possibilité de conception d'un étage capable de fournir ce courant dans le régime des forts signaux tout en ayant la rapidité et la précision requises.

Enfin, cette tendance ne sera pas inversé par l'utilisation de technologies de longueur de grille plus petite. A process donné, tel que celui de la technologie AMS utilisé pour nos propos, la permittivité de l'oxyde de grille  $\epsilon_{ox}$  étant constante, la capacité d'oxyde de grille surfacique ne diminue que proportionnellement à l'épaisseur d'oxyde  $t_{ox}$ . Cette épaisseur diminuant moins rapidement que la longueur de grille minimale, les surfaces effectives W.L. maximales nécessaires augmentent de manière plus faible comparé à la longueur de grille. En d'autres termes, le rapport géométrique (W/L) du commutateur analogique devra être de plus en plus faible au détriment de la résistance  $r_{ON}$  équivalente.

## Conclusion

Dans un premier temps, nous avons analysé la structure S/B de principe constituée d'un simple transistor MOS de commande et d'une capacité de stockage. Cette étude permet de décrire le comportement réel des circuits d'échantillonnage et de mettre en évidence les limitations intrinsèques. Nous avons particulièrement insisté sur le phénomène d'injections de charge, qui actuellement est le paramètre limitant dans les chaînes de traitement vidéo au niveau de leur précision. Nous avons vu que leur compensation pouvait s'effectuer par l'utilisation de porte de transmission, de transistors « fantômes », ou partiellement par l'utilisation d'une structure différentielle.

A partir de cette description complète, nous nous sommes intéressés au gabarit intrinsèque du circuit S/B de principe. Nous avons ainsi montré que son implantation requiert l'ajout de deux buffers. Ces circuits additionnels, dont la réponse fréquentielle doit être meilleure que le circuit S/B en lui-même, dégradent la précision du circuit complet. Nous avons donné des gabarits sur les caractéristiques géométriques et électriques des différents éléments du circuit en fonction du temps d'acquisition disponible et de la précision fixée par la résolution du codeur de la chaîne vidéo. La rapidité du circuit n'est pas apparue comme un facteur limitant à l'utilisation de la structure S/B de principe. Par contre, l'évaluation du phénomène d'injection de charges entre le mode échantillonnage et le mode de maintien a montré que cette structure ne pouvait répondre au besoin de notre application en raison de la non-linéarité importante introduite par ce phénomène.

Nous avons montré que dans une technologie CMOS 0.35 $\mu$ m, et en négligeant le bruit, il n'était pas possible de viser des résolutions supérieures à 10bits dans la gamme de fréquences visées (10 à 30 Mechs/s). Dès lors que le circuit d'échantillonnage doit être utilisé dans des chaînes très rapides et très précises, il est alors nécessaire de recourir à des architectures de circuit plus complexes. Nous en décrivons plusieurs dans le chapitre suivant en présentant les avantages et inconvénients pour chacune. Nous analyserons plus en détail trois types d'architecture pouvant répondre à notre besoin et évaluerons leur implémentation dans une technologie CMOS basse-tension.

Nous pourrions ainsi présenter notre voie de recherche quant au choix optimal d'une architecture pour notre instrumentation. Le choix peut se porter sur des architectures en boucle fermée, par lesquelles la précision est nettement améliorée mais généralement avec une perte de rapidité en raison de la stabilité en fréquence nécessaire en boucle fermée. Les structures à « capacités commutées » semblent très intéressantes pour notre besoin, mais nous devons répondre à la nécessaire maîtrise des phases de commande, ainsi qu'à l'éventuel comportement *échantillonneur-bloqueur* des structures. Cependant, afin d'obtenir la structure la plus rapide, c'est-à-dire semblable à la structure S/B de principe, peut-être ne faut-il que s'attarder sur la compensation des sources d'erreurs dans les circuits, notamment celles introduites par les phénomènes d'injections de charges.

Autant de questions que nous nous proposons de répondre dans le chapitre suivant.

---





---

## Etude de différentes Architectures d'E/Bs pour Chaîne Vidéo

---

A travers le chapitre précédent, nous avons analysé les limitations inhérentes à la cellule de base d'un circuit d'échantillonnage. Nous allons montrer, dans ce chapitre, que l'évolution des performances attendues de ces circuits est à l'origine de la conception d'architectures nombreuses et variées. Accordée au cadre de cette thèse, nous ne pouvons bien entendu pas répondre aux limitations réelles de chaque architecture possible car le nombre de paramètres en jeu est beaucoup trop important : précision et rapidité attendues, technologie utilisée, tension d'alimentation, dynamique d'entrée, non-linéarités tolérables, symétrie, insensibilité aux radiations... Quand bien même l'aspect système aurait été traité de manière la plus complète qu'il soit, il nous faudrait alors traiter de l'aspect conception des sous-fonctions requises. En effet, au cours de notre étude, nous avons confirmation que les limitations des architectures apparaissent majoritairement de manière technologique. Un point illustrant ce propos concerne la stabilité fréquentielle des dispositifs en boucle fermée, que nous présentons dans ce chapitre. Comme nous le verrons, l'étude théorique détaillée du comportement fréquentiel de ces architectures fixe des conditions souvent drastiques sur les performances fréquentielles des amplificateurs opérationnels ou des circuits transconductance utilisés. Malheureusement, la précision spécifiée pour ces architectures implique, par exemple, la mise en oeuvre d'amplificateurs opérationnels à fort gain quasi statique en boucle ouverte ( $>90\text{dB}$ ), et donc, à plusieurs étages de gain en tension. Cette contrainte impose une augmentation du nombre de pôles en boucle ouverte ne permettant pas toujours de vérifier les conditions de stabilité fréquentielle en boucle fermée dans la gamme de fréquences spécifiée ( $>150\text{MHz}$ ). Nous verrons ainsi que l'intérêt d'une telle étude permet malgré tout de fixer des gabarits intrinsèques aux architectures. Nous profiterons alors de l'intérêt certain des architectures en boucle ouverte en présentant en détail trois architectures utilisant le principe de « bottom-plate sampling ». Nous fixerons ensuite les caractéristiques dominantes des architectures symétriques, généralement utilisées dans un désir d'augmentation de la dynamique d'entrée. Enfin, nous concluons ce chapitre en réalisant un état de l'art des circuits

d'échantillonnage, en mettant en évidence les avantages et inconvénients de chaque architecture, ainsi qu'en analysant l'adéquation architectures/performances des circuits présentés dans la littérature.

# 1. Analyse Qualitative des Architectures de circuits d'échantillonnage

L'architecture du circuit d'échantillonnage est un choix primordial dans la réalisation d'un système de traitement analogique d'un signal vidéo. Néanmoins, il paraît difficile de répondre par une solution unique à partir de simples spécifications d'une chaîne vidéo globale et des contraintes technologiques.

## 1.1 Méthodes d'Echantillonnage

Nous avons utilisé, jusqu'à maintenant, le terme d'« échantillonneur-bloqueur » pour tout circuit réalisant la fonction d'échantillonnage dans un système de traitement de signal vidéo. Néanmoins, nous pouvons profiter d'une richesse de langage afin de préciser le fonctionnement du circuit pendant le mode échantillonnage. En effet, il existe aujourd'hui deux techniques concurrentes d'échantillonnage :

- La technique originelle, simple et classique ( ayant servi de circuit de référence dans le paragraphe précédent), consiste à placer la capacité de stockage  $C_H$  en « parallèle » avec le chemin emprunté par le signal (Fig. 4.1). Cette technique peut-être qualifiée d'**échantillonnage parallèle** et présente un comportement caractéristique de circuit *suiveur* en mode échantillonnage. Les circuits utilisant cette technique seront dorénavant qualifiés de circuit *Suiveur-Bloqueur*<sup>1</sup> (que nous abrègerons S/B).
- La deuxième technique d'échantillonnage consiste à placer la capacité d'échantillonnage en série du chemin emprunté par le signal (Fig. 4.2). Cette technique est alors qualifiée d'**échantillonnage série**. Le principe consiste à isoler les tensions de mode-commun en entrée et en sortie du circuit.

-En mode échantillonnage, la tension d'entrée  $V_{IN}$  est appliquée sur l'armature « haute » de la capacité de stockage et une tension de référence  $V_{ref}$  est appliquée sur l'armature basse, c'est-à-dire sur le nœud de sortie dans cette configuration

---

<sup>1</sup> Le terme *Suiveur-Bloqueur* S/B est une traduction française du terme anglophone *Track-and-Hold Amplifier* (THA).

( $S_2$  et  $S_3$  fermés,  $S_1$  ouvert). La capacité de stockage est chargée alors sous une différence de potentiel  $V_{\text{ref}} - V_{\text{IN}}$ .

-En mode de maintien, l'armature « basse » de la capacité est déconnectée du potentiel de référence  $V_{\text{ref}}$  pendant que l'armature haute de la capacité est connectée à la masse ( $S_2$  et  $S_3$  ouverts,  $S_1$  fermé). Le potentiel du nœud de sortie, c'est-à-dire de l'armature basse de la capacité, varie donc du potentiel  $V_{\text{ref}}$  au potentiel  $V_{\text{IN}} - V_{\text{ref}}$ , soit une variation de potentiel  $-V_{\text{IN}}$ . Les circuits utilisant cette technique seront donc, quant à eux, qualifiés de circuit *Echantillonneur-Bloqueur*<sup>2</sup> (que nous abrègerons E/B).

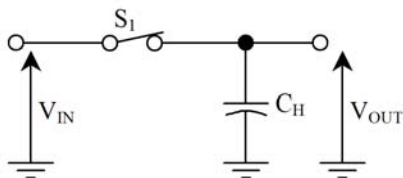


Fig. 4.1 : Principe de la technique d'échantillonnage parallèle

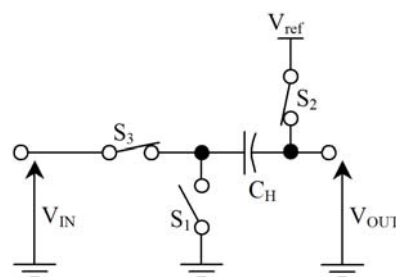


Fig. 4.2 : Principe de la technique d'échantillonnage série

A partir de ces deux techniques d'échantillonnage, nous pouvons nous intéresser aux différentes architectures utilisant chacune de ces techniques. Chaque architecture ayant ses avantages et inconvénients, peut-on en déduire un choix spécifique de telle ou telle architecture, et ce, à partir des spécifications souhaitées sur la chaîne vidéo complète ? Cela est d'autant plus vrai pour une application critique comme les instruments d'observation de la Terre pour lesquels la contrainte de durcissement des circuits aux radiations s'ajoute à celle de la basse-tension. Nous verrons par la suite, que l'utilisation de certaines architectures peut être remise en cause en fonction des technologies utilisées.

Quelle décision pour le concepteur analogique ? Profiter de son expérience et cibler dès une première étude l'architecture semblant correspondre le mieux à son besoin ? Etudier précisément chaque architecture en fonction de la technologie retenue ? Nous nous proposons ici d'apporter notre contribution par l'évaluation d'un certain nombre d'architectures que nous avons regroupées selon leurs schémas de principe. Ces analyses se veulent assez exhaustives des architectures actuellement utilisées couramment. Nous nous proposons d'analyser

<sup>2</sup> Le terme *Echantillonneur-Bloqueur* E/B se justifie par le comportement du nœud de sortie du circuit durant le mode d'échantillonnage. Un potentiel de référence y est appliqué ce qui donne au signal de sortie une représentation temporelle par « escalier ».

progressivement les structures par ordre de complexité, mais aussi par évolution dans le temps, ce qui nous permettra de mieux apprécier l'évolution des architectures ainsi que leurs limitations.

## 1.2 Architectures Suiveur-Bloqueur (S/B)

Nous avons montré au chapitre précédent que la simple cellule S/B de principe ne pouvait pas répondre à notre application, l'erreur introduite par le phénomène d'injection de charges via le commutateur analogique étant très importante.

### 1.2.1 Circuit S/B à injection de charges compensée par suiveur de sortie

La cellule S/B de principe peut néanmoins être intégrée dans un souci de bande passante élevée et de faible encombrement sur le silicium. L'erreur liée à la tension de décalage résultante de l'injection de charges peut être compensée par utilisation d'une structure différentielle. Cependant, nous avons vu que le terme non-linéaire attribué à l'injection de charges était un frein majeur dans la précision atteignable de l'architecture.

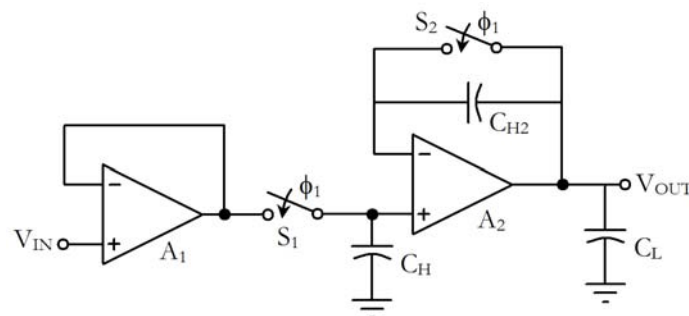


Fig. 4.3 : Schéma de principe du circuit S/B à injection de charges compensée

Une solution alternative à la compensation du phénomène d'injection de charges afin de réduire le terme non linéaire consiste à utiliser le suiveur de sortie en y ajoutant une capacité supplémentaire  $C_{H2}$  contrôlée par le commutateur analogique  $S_2$ . Ceux-ci sont placés entre l'entrée inverseuse et la sortie (Fig. 4.3) [Sone,1993]. Lorsque le circuit de compensation n'est pas appliqué, l'erreur générée sur la tension mémorisée dans la capacité de stockage  $C_H$  se retrouve directement en sortie (via le suiveur  $A_2$ ). Le rôle du circuit de compensation ajouté consiste donc à injecter dans  $C_{H2}$  une charge équivalente à celle injectée par le commutateur analogique  $S_1$  dans  $C_H$ .

Les commutateurs analogiques  $S_1$  et  $S_2$  sont commandés par la même phase  $\phi$  non retardée. Avant le basculement de l'horloge de commande, la capacité  $C_{H2}$  est déchargée. L'ouverture du commutateur analogique  $S_2$  injecte des charges sur l'entrée inverseuse et sur la sortie de l'amplificateur  $A_2$ . En supposant que la sortie  $A_2$  soit une « vraie » source de tension, les charges

injectées sur cette sortie ne modifient pas son potentiel. Une variation de la tension aux bornes de la capacité générée par l'injection de charges du commutateur  $S_2$  n'est donc appliquée que sur l'entrée inverseuse de l'amplificateur. Ainsi, afin que l'injection de charges de  $S_1$  sur l'entrée non inverseuse soit compensée par l'injection de charges de  $S_2$  sur l'entrée inverseuse, il est nécessaire que les commutateurs analogiques aient mêmes dimensions géométriques, que les capacités  $C_H$  et  $C_{H2}$  soient de même valeur et que les rapports de charges injectées par les commutateurs sur les deux entrées soient équivalentes. Ce dernier point doit être considéré avec prudence bien que les deux commutateurs « voient » chacun une source de tension sur l'une de leurs bornes.

### 1.2.2 Circuit S/B en boucle fermée

L'utilisation d'une structure en boucle ouverte sur le principe de l'échantillonnage parallèle ne permet pas de limiter la contribution de la tension de décalage résultante du circuit amenée par les deux amplificateurs. Lorsque l'interrupteur de commande est fermé ( $\phi_1=1$ ), l'introduction d'une boucle de contre réaction globale (Fig. 4.4) minimise la contribution de la tension de décalage de l'amplificateur de sortie  $A_2$ . La tension de décalage de  $A_2$  est divisée par le gain différentiel  $A_{d01}$  en boucle ouverte de  $A_1$ . La contre-réaction globale permet aussi de limiter l'erreur de gain sur la valeur de la tension stockée dans la capacité  $C_H$ . Puisque  $A_2$  est configuré en suiveur de tension, cette erreur est donnée par l'inverse du gain différentiel en boucle ouverte de  $A_1$ .

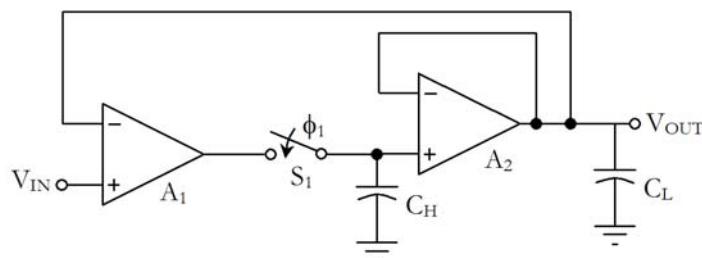


Fig. 4.4 : Schéma de principe du circuit S/B asymétrique en boucle fermée

Néanmoins cette structure n'apporte pas que des avantages :

- Un inconvénient majeur réside notamment dans la vitesse maximale d'opération du circuit. En effet, l'introduction d'une boucle de contre-réaction impose des conditions de stabilité en fréquence sur le dispositif complet en mode suiveur (en raison du rebouclage).
- Un autre inconvénient est perceptible lors de la transition du mode de maintien au mode d'échantillonnage. En effet, en mode de maintien, le circuit  $A_1$  étant en boucle ouverte, la tension de décalage et/ou la moindre variation de l'entrée risque de saturer la sortie de l'amplificateur  $A_1$ . Lorsque le commutateur analogique se referme, le circuit retrouve sa

configuration de boucle fermée. L'amplificateur  $A_1$  quitte alors son régime de butée haute ou basse afin de recouvrir la sortie, ce qui implique un régime de slew-rate. Ce slew-rate sera alors très limitant en termes de rapidité.

- De plus, le potentiel de commande de l'interrupteur doit être assez élevé pour permettre de garder celui-ci fermé, quelle que soit l'amplitude du signal d'entrée  $V_{IN}$ . Celle-ci étant variable, le temps de commutation de l'interrupteur variera non-linéairement et introduit une non-linéarité sur la caractéristique de sortie en tension du circuit.
- Enfin, l'injection de charges lors du basculement en mode de maintien est dépendante de la valeur de l'amplitude du signal à échantillonner (car les charges injectées dépendent de la différence de potentiels grille-source appliquée aux bornes du commutateur analogique), ce qui est source d'une erreur de gain supplémentaire et complexifie sa compensation.

### 1.2.3 Circuit S/B à amplificateur commutable

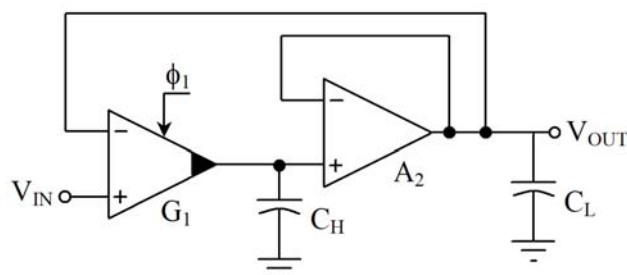


Fig. 4.5 : Schéma de principe du circuit S/B à amplificateur commutable

Afin de compenser les injections de charges, nous pouvons brièvement remarquer une idée intéressante basée sur l'utilisation d'un amplificateur commutable (SOP, Switched OpAmp) [Dai,2000] (Fig. 4.5).

Le problème majeur lors du basculement du circuit S/B en mode de maintien repose sur le fonctionnement du commutateur analogique en mode de conduction. En effet, les conditions de polarisation du transistor impose un canal de conduction non pincé. L'échange des charges accumulées dans le canal lors de la commutation se font alors de part et d'autre du composant au niveau des plots de diffusion ; des charges sont alors injectées sur le nœud de maintien, d'où une erreur d'échantillonnage. L'utilisation d'un amplificateur commutable peut réduire cette erreur en bloquant l'étage de sortie de l'amplificateur transconductance  $G_1$ . Le phénomène de clock feedthrough n'est en aucun cas supprimé par cette architecture, mais son erreur résultante est de valeur constante ; une structure différentielle permet alors de la compenser.

### 1.2.4 Circuit S/B en boucle fermée à Intégrateur de Miller

Les phénomènes d'injection de charges produits à la transition entre le mode d'échantillonnage et celui de maintien doivent primordialement être réduits et constants afin d'obtenir la précision souhaitée du circuit d'échantillonnage. Une solution repose sur le maintien d'une injection de charges réduite et constante, quelque soit la valeur de l'amplitude du signal à échantillonner. La structure à Intégrateur de Miller présentée (Fig. 4.6), exploite cette idée en utilisant une configuration intégrateur pour l'amplificateur  $A_2$  [Stafford,1974].

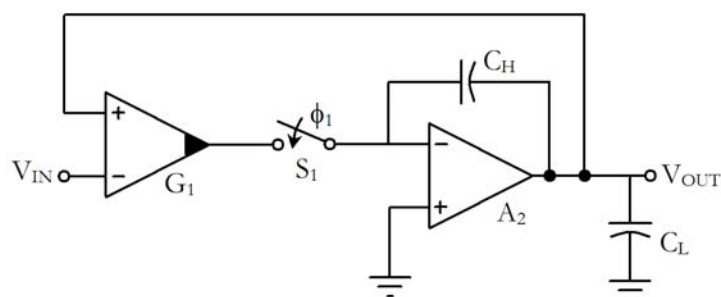


Fig. 4.6 : Schéma de principe du circuit S/B asymétrique en boucle fermée à Intégrateur de Miller

L'entrée inverseuse de  $A_2$  commune à la capacité de stockage et à l'interrupteur de commande est vue comme une masse dynamique, amenant ainsi une injection de charges constante qu'elle que soit l'amplitude du signal en entrée. Lorsque le commutateur est fermé ( $\phi_1=1$ ), la tension de sortie du circuit transconductance  $G_1$  demeure faible. Cependant,  $G_1$  doit pouvoir fournir une forte intensité de courant afin de charger rapidement  $C_H$ . La stabilité fréquentielle doit néanmoins être étudiée avec rigueur, notamment pour une application rapide, en raison de la boucle de contre-réaction globale, ce qui implique la participation des nombreux pôles du dispositif.

### 1.2.5 Circuit S/B Inverseur en boucle fermée à Intégrateur de Miller

Le même principe est aussi utilisé à travers le circuit (Fig. 4.7), par lequel l'amplificateur est utilisé en configuration intégrateur [Ishikawa,1989]. L'avantage repose sur l'utilisation en boucle fermée d'un seul amplificateur, qui, comparé à la structure précédente, limite le nombre de pôles dans la réponse fréquentielle du circuit. La stabilité fréquentielle dans la gamme de fréquences visée en est ainsi, à priori, plus « facilement atteignable ».

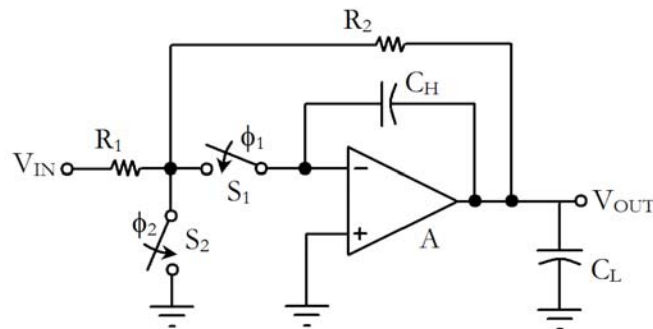


Fig. 4.7 : Schéma de principe du circuit S/B inverseur asymétrique en boucle fermée à Intégrateur de Miller

Néanmoins, l'étage amont fonctionnant en source de tension doit avoir la possibilité de fournir une forte intensité du courant de charge de la capacité avec une grande excursion de la tension de sortie. De plus, l'utilisation d'éléments passifs pour la contre réaction impose un appariement strict afin de minimiser l'erreur sur le gain du circuit, et ainsi la précision du circuit d'échantillonnage. Ces résistances de faibles valeurs pour satisfaire les conditions sur la bande passante sont à l'origine d'une forte consommation. Un couplage direct entre l'entrée et la sortie du circuit, par le pont résistif entre la résistance  $(R_1+R_2)$  et la résistance de sortie  $r_s$  de l'amplificateur opérationnel en boucle fermée, dégrade le comportement du circuit en mode de maintien.

### 1.2.6 Circuit S/B à double capacité compensé par effet Miller

Dans le cas d'une application rapide, les architectures utilisant des boucles de contre-réaction globales imposent des conditions de stabilité en fréquence souvent limitantes, en dépit de l'utilisation de technologies submicroniques. Le rejet de l'utilisation d'une architecture rebouclée globalement (pour ces conditions de stabilité en fréquence) nous amène à la résolution du problème de précision. Nous pouvons dans ce cas profiter de l'avantage de l'utilisation de la technique de « **bottom-plate sampling** ». Une architecture intéressante utilisant ce principe est présentée (Fig. 4.8). Cette figure représente le schéma de principe du circuit S/B à double capacité compensé par effet Miller. Ce circuit exploite quelques améliorations [Lim,1991].

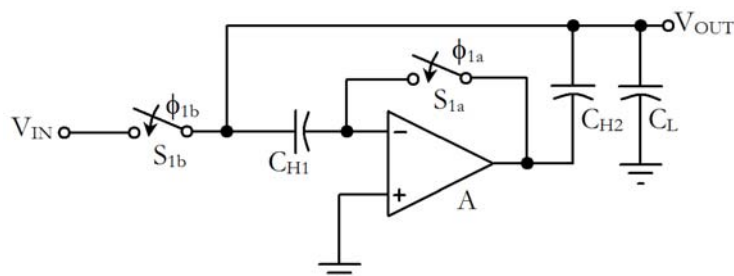


Fig. 4.8 : Schéma de principe du circuit S/B à double capacité compensé par effet Miller



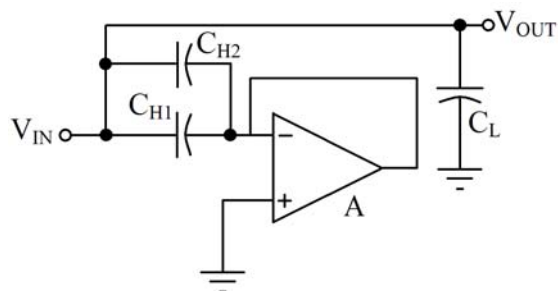


Fig. 4.9 : Fonctionnement en mode échantillonnage

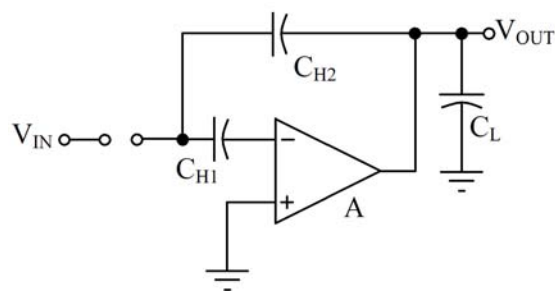


Fig. 4.10 : Fonctionnement en mode de maintien

Afin d'améliorer la précision du circuit, l'idée principale repose sur l'injection des charges dans une capacité de valeur augmentée par effet Miller. A partir de cette simple remarque, l'architecture est entièrement définie : en mode échantillonnage (Fig. 4.9), le circuit est vu comme l'architecture de base du circuit S/B (en considérant la mise en parallèle des deux capacités  $C_{HI}$  et  $C_{HI2}$ ), l'amplificateur étant en mode suiveur. En mode de transition, le rebouclage au gain unitaire de l'amplificateur est tout d'abord supprimé afin d'introduire l'effet Miller sur la capacité  $C_{HI2}$  (Fig. 4.10) avant l'ouverture du commutateur analogique principal du circuit commandé par la phase  $\phi_{ib}$ ; les charges du canal de l'interrupteur de commande sont alors injectées majoritairement sur l'armature haute de la capacité  $C_{HI2}$  en raison de la valeur dominante de la capacité équivalente  $A_{d02} \cdot C_{HI2}$  vue par effet Miller.

### 1.3 Architectures Echantillonneur-Bloqueur (E/B)

Nous avons insisté en introduction sur la réponse temporelle des circuits d'échantillonnage. Selon l'application, il peut être important d'assurer un fonctionnement de type *Echantillonneur-Bloqueur*. Cela est notamment vrai dès lors que la donnée en sortie du circuit doit être disponible pendant une durée la plus longue possible. Nous proposons à cet effet de décrire trois architectures de circuit échantillonneur-bloqueur utilisant le principe de capacités commutées.

#### 1.3.1 Circuit E/B à capacité commutée

Utilisant une méthode d'échantillonnage « série », l'armature « haute » de la capacité de stockage  $C_{HI}$  est commune avec le nœud d'entrée du circuit E/B (Fig. 4.11). Lors du basculement en mode de maintien, afin que la donnée soit disponible en sortie du circuit E/B, il peut-être utilisé le principe de « capacité commutée », par lequel cette armature est alors déconnectée du nœud d'entrée du circuit et transférée au nœud de sortie du circuit. Une méthode d'implémentation d'une telle architecture est proposée par [Yotsuyanagi,1993] [Yotsuyanagi,1995].

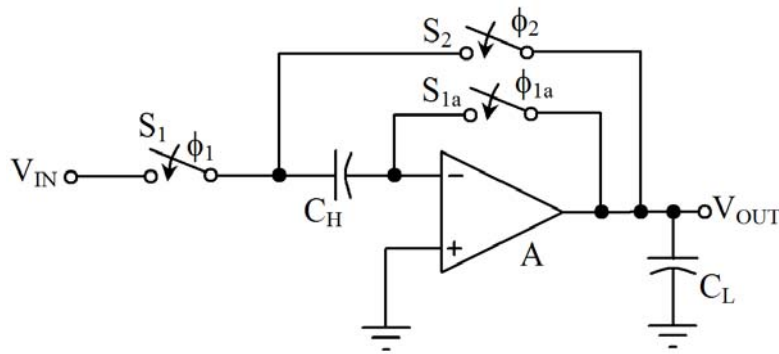


Fig. 4.11 : Schéma de principe du circuit E/B à capacité commutée

- Le circuit est alors en mode échantillonnage lorsque la phase  $\phi_1$  (et  $\phi_{1a}$ ) est à l'état haut ( $S_1$  et  $S_{1a}$  fermés,  $S_2$  ouvert), la capacité de stockage  $C_H$  est connectée entre l'entrée du circuit et l'entrée inverseuse de l'amplificateur A. L'amplificateur est dans la configuration suiveur : la différence de potentiel aux bornes de la capacité est donc égale à la tension  $V_{IN}$  appliquée en entrée du circuit (diminuée de la tension de décalage  $V_{offA}$  de A).
- En basculant en mode de maintien, les phases  $\phi_1$  (et  $\phi_{1a}$ ) et  $\phi_2$ , complémentaires, basculent ( $S_1$  et  $S_{1a}$  ouverts,  $S_2$  fermé), et l'armature « haute » de la capacité de stockage  $C_H$  est alors appliquée en sortie du circuit.

En mode échantillonnage, le fonctionnement de ce circuit est semblable au circuit présenté (Fig. 4.8). Néanmoins, la sortie n'est pas connectée sur l'armature haute de la capacité  $C_H$ , diminuant ainsi le couplage entre les deux nœuds d'entrée et de sortie du circuit. Par contre, le passage en mode de maintien demande à A une réponse rapide en régime de forts signaux, la sortie de l'amplificateur devant recouvrir à chaque période point la valeur du signal échantillonné depuis la tension de décalage ramenée en entrée de A.

L'utilisation d'une seule phase de commande ( $\phi_1 = \phi_{1a} = \neg\phi_2$ ) n'est pas optimale pour la compensation des phénomènes d'injections de charges des interrupteurs de commande du circuit [Yotsuyanagi,1993]. Il est intéressant d'utiliser trois phases distinctes ( $\phi_1, \phi_{1a}, \phi_2$ ) afin de minimiser leur impact [Säll,2002][Hsu,2202]. En ouvrant le commutateur  $S_{1a}$  ( $\phi_{1a} = 1 \rightarrow 0$ ), l'armature basse de la capacité  $C_H$  se retrouve en haute impédance, annihilant partiellement l'injection de charges de l'interrupteur de commande principal. L'injection effective sera réduite dès lors que la phase  $\phi_2$  sera toujours à l'état bas. La stabilité temporelle du circuit étant acquise ( $S_1$  ouvert), la phase  $\phi_2$  peut alors basculer ( $S_2$  fermé) pour rendre la donnée disponible en sortie du circuit. L'erreur restante étant une erreur constante, une architecture différentielle permet de la supprimer partiellement [Säll,2002][Hsu,2202].

### 1.3.2 Circuit E/B à capacité commutée et sortie intégratrice

Dans la structure précédente, la donnée en sortie du circuit n'est plus valide lorsque le circuit rebascule en mode échantillonnage. Pourtant, le principe même de la structure, isolant les nœuds d'entrée et de sortie du circuit, laisse envisager une amélioration par laquelle la donnée serait toujours disponible même lorsque le circuit rebascule en mode échantillonnage. On peut, à cet effet, utiliser un étage de sortie constitué d'un circuit intégrateur (Fig. 4.12) [Gatti,1992].

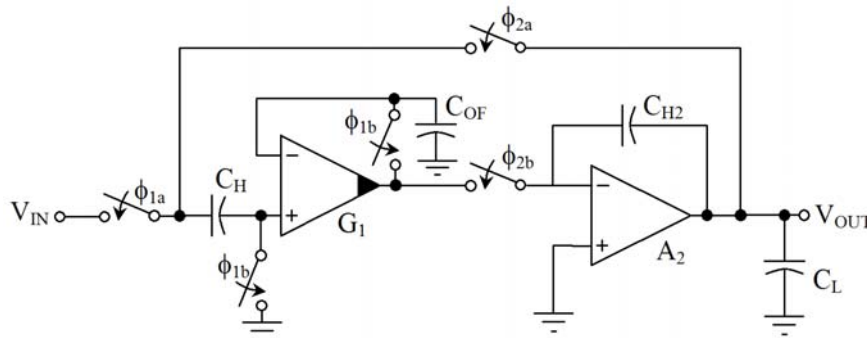


Fig. 4.12 : Schéma de principe du circuit E/B à capacité commutée et sortie intégratrice

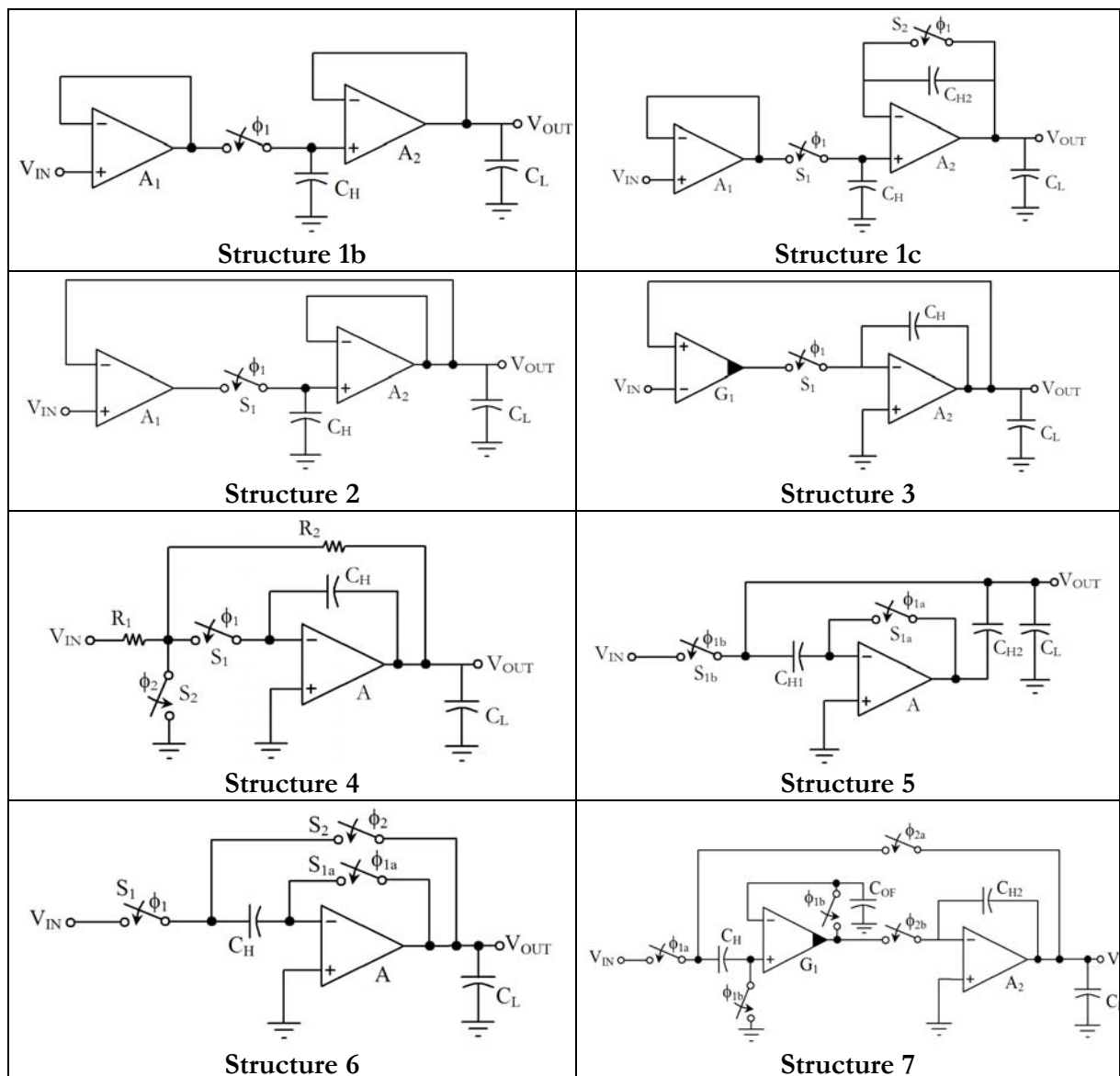
Durant le mode échantillonnage, la tension de décalage ramenée en entrée de  $G_1$  est stockée dans la capacité  $C_{OF}$ . La tension de référence du circuit est appliquée sur l'armature « basse » de la capacité  $C_H$  (sur le schéma ci-dessus, cette tension est représentée dynamiquement, soit, par un symbole de masse). La différence de potentiel aux bornes de la capacité  $C_H$  est ainsi la valeur de la tension  $V_{IN}$  appliquée en entrée du circuit. En basculant en mode de maintien, l'armature haute de la capacité  $C_H$  est connectée en sortie du circuit. Dans le même temps, la capacité  $C_{H2}$  est chargée à la tension échantillonnée aux bornes de  $C_H$ . En rebasculant en mode échantillonnage, la sortie du circuit demeure au potentiel échantillonné au pixel précédent tandis que la nouvelle valeur pixel du signal d'entrée est stockée aux bornes de la capacité  $C_H$ .

## 1.4 Tableau récapitulatif des architectures

Nous avons décrit un certain nombre d'architectures de circuits d'échantillonnage que nous pouvons regrouper dans un tableau récapitulatif (Tab. 4-1). Ces architectures sont organisées par principe de fonctionnement, et par ordre croissant de complexité. Leur première présentation, à travers des publications, répond en effet à des caractéristiques en termes de précision et de rapidité toujours plus contraignantes. Conjuguées à l'évolution des technologies, on assiste ainsi à une complexification des architectures afin de réduire les erreurs résiduelles amenées par des phénomènes telles que les injections de charges, ou les tensions de décalage des amplificateurs utilisés.

Nous pouvons en déduire une première conclusion quant à leur utilisation pour notre instrumentation :

- **Structures 1b et 1c** : ces structures sont une variante de la structure S/B de principe (structure 1). Bien que très rapides, ces architectures ne peuvent pas être retenues pour une instrumentation précise en raison de l'erreur générée par les injections de charges du commutateur ([chapitre 3](#)). Ces erreurs sont dépendantes de la valeur de l'amplitude du signal en entrée et introduisent une non-linéarité. De plus, dans un environnement basse tension, l'excursion en tension du commutateur est très élevée, ce qui pose le problème de la possibilité en courant de charge.



Tab. 4-1 : Tableau récapitulatif des architectures de circuits d'échantillonnage

- **Structure 2** : bien que cette architecture profite d'une boucle de contre-réaction globale, et ainsi présente une précision accrue, il se pose tout d'abord le problème de la stabilité en

fréquence de la structure (point que nous aborderons à travers la structure 3). Les erreurs liées aux injections de charges demeurent dépendantes de l'amplitude du signal en entrée et l'excursion en tension du commutateur est identique à celle des structures 1b) et 1c).

- **Structures 3 et 4** : ces deux architectures bien que très différentes reposent elles aussi sur le principe de contre-réaction globale. Nous soulignons leur intérêt en raison de la position de la capacité de stockage qui permet de s'affranchir de la dépendance de l'erreur générée par injection de charges vis-à-vis de l'amplitude du signal en entrée. Relié à l'entrée inverseuse, le commutateur analogique fonctionne en « voyant » une masse dynamique. La précision atteignable peut, à priori, répondre à notre instrumentation, sous réserve de confirmer la vitesse d'échantillonnage de ces structures en raison de la nécessaire stabilité en fréquence (nombreux pôles). Ce point sera analysé dans le paragraphe suivant.
- **Structure 5** : cette structure est séduisante pour notre application car elle combine de nombreux avantages. En mode échantillonnage, nous retrouvons le comportement de la structure S/B de principe, ce qui permet d'obtenir une fréquence élevée de fonctionnement. L'amplificateur ne sert qu'à réduire l'erreur générée par injection de charges en raison de l'effet Miller sur la capacité de stockage. Nous préciserons ainsi le fonctionnement de cette architecture dans le paragraphe suivant qui semble optimale pour une instrumentation précise et rapide. Le seul inconvénient de la structure repose sur le couplage entre entrée et sortie du circuit.
- **Structures 6 et 7** : ces architectures ont un fonctionnement de type « échantillonneur-bloqueur ». Dans le cas d'une instrumentation rapide, ces structures peuvent s'avérer intéressantes puisqu'elles permettent de conserver la donnée en sortie du circuit lorsque l'échantillonnage de la nouvelle donnée est en cours. Malheureusement, il est à remarquer que la participation du ou des amplificateurs nécessite une stabilisation lors du passage en mode maintien. La donnée effective en sortie du circuit doit donc tenir compte du temps d'échantillonnage classique auquel il est nécessaire d'ajouter le temps de stabilisation nécessaire en mode de maintien.

A partir de cette étude comparative des architectures des circuits d'échantillonnage, nous sommes intéressés à l'étude plus approfondie de structures pouvant répondre au besoin de notre instrumentation.

Nous avons, dans un premier temps, analysé les structures en boucle fermée car celles-ci sont précises. Cependant, leurs limitations dynamiques introduites par la nécessaire stabilité fréquentielle peuvent réduire la vitesse de fonctionnement du circuit. Ce point est abordé dans le paragraphe suivant à travers l'étude dynamique de deux architectures : le circuit S/B en boucle fermée à intégrateur de Miller (Structure 3, Fig. 4.6) et le circuit S/B inverseur en boucle fermée à intégrateur de Miller (Structure 4, Fig. 4.7).

L'architecture la plus séduisante pour notre instrumentation, le circuit S/B à double capacité compensé par effet Miller, Fig. 4.8, fera l'objet du paragraphe suivant, par lequel nous présenterons les avantages certains de ce type d'architecture.

## 2. Analyse de circuits S/B rebouclés

Afin d'analyser les limitations dynamiques des circuits S/B rebouclés, nous allons qualifier le comportement dynamique de deux circuits durant le mode d'échantillonnage. Ces architectures utilisant, dans leur principe, des sources de tension et de courant, il est nécessaire de prendre en compte les caractéristiques des amplificateurs et des circuits transconductance dans l'étude dynamique, notamment afin d'étudier la stabilité en fréquence en mode échantillonnage.

Par conséquent, nous analyserons les différentes architectures en mode échantillonnage à l'aide de leur fonction de transfert en régime petit signal (fonction de Laplace), en prenant en compte la stabilité fréquentielle sur les temps de réponse mis en jeu dans le circuit.

Nous en profiterons ensuite, et lorsque cela s'avèrera nécessaire, pour qualifier les injections de charges durant le mode de transition.

### 2.1 Circuit S/B en boucle fermée à Intégrateur de Miller (Structure 3)

L'étude dynamique des circuits S/B en boucle fermée doit être considérée avec rigueur. La figure 4.13 présente le schéma petits signaux en mode échantillonnage du circuit S/B en boucle fermée subissant une attaque en tension en entrée, de force électromotrice  $e$  et de résistance interne  $R_s$ , chargé en sortie par une impédance  $Z_L$ .

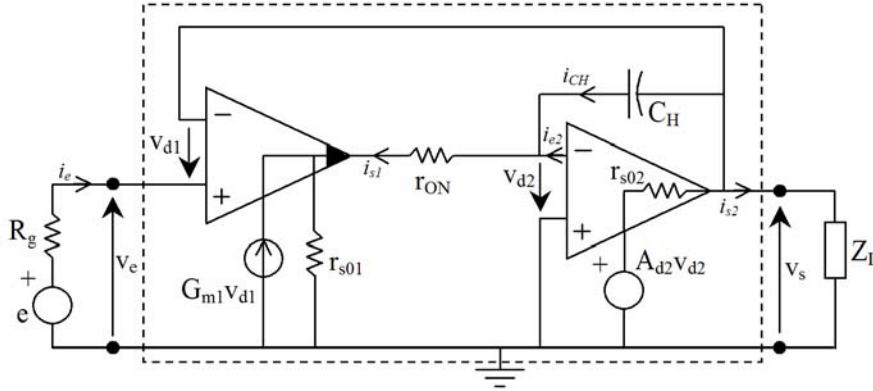


Fig. 4.13 : Schéma petits signaux du circuit S/B asymétrique en boucle fermée en mode échantillonnage

La présence de la contre-réaction donne un gain unitaire dans ce circuit. Nous proposons une analyse dynamique précise afin d'identifier la participation et la limitation introduite par chacune des constantes de temps du circuit. En considérant deux constantes de temps pour chacun des blocs analogiques élémentaires (circuit transconductance d'entrée  $G_1$  et amplificateur opérationnel  $A_2$ ), la fonction de transfert  $v_s/v_e$  du circuit donne un polynôme d'ordre 5, et ne permet donc pas directement de déduire une hiérarchie des constantes de temps.

## 2.1.1 Conditions idéales

Afin d'identifier les facteurs dimensionnant du circuit, nous allons tout d'abord considérer que les blocs analogiques  $G_1$  et  $A_2$  n'ont pas de limitation fréquentielle. Nous considérerons la seule participation de la résistance de sortie  $r_{s01}$  non infinie du circuit transconductance  $G_1$  ainsi que la capacité de stockeage  $C_H$ . La résistance  $r_{ON}$  est alors négligée dans un premier temps.

Le gain en tension différentiel intrinsèque du circuit en boucle ouverte peut, dans ses conditions, s'écrire sous la forme d'un passe-bas du 1<sup>er</sup> ordre :

$$\frac{v_s}{v_{d1}} = \frac{A_{d02} G_{m01} r_{s01}}{1 + p[r_{s01} C_H (A_{d02} + 1)]} \quad \text{de la forme} \quad \frac{v_s}{v_{d1}} = \frac{G_{i0BO}}{1 + p\tau_{BO1}} \quad (4-1)$$

Le pôle du circuit en boucle ouverte, et ainsi, la constante de temps  $\tau_{BO1}$  dimensionnante du circuit s'exprime en fonction de la résistance de sortie  $r_{s01}$  du circuit transconductance  $G_1$  en boucle ouverte, de la capacité de stockeage  $C_H$  et du gain statique  $A_{d02}$  de l'amplificateur  $A_2$  en boucle ouverte  $\tau_{BO1} = r_{s01} C_H (A_{d02} + 1) \approx A_{d02} r_{s01} C_H$ .

L'expression du gain en tension intrinsèque  $G_i$  en boucle fermée du circuit s'en déduit alors :

$$G_i(p) = \frac{v_s}{v_e}(p) = \frac{G_{m01} A_{d02} r_{s01}}{1 + G_{m01} A_{d02} r_{s01}} \cdot \frac{1}{1 + p \frac{r_{s01} (A_{d02} + 1) C_H}{1 + G_{m01} A_{d02} r_{s01}}} = \frac{G_{i0BO}}{1 + G_{i0BO}} \cdot \frac{1}{1 + \frac{p \cdot \tau_{BO1}}{1 + G_{i0BO}}} = \frac{G_{i0}}{1 + p\tau_1} \quad (4-2)$$

Le gain différentiel  $A_{d02}$  de l'amplificateur  $A_2$  étant très grand devant l'unité ( $A_{d02} \gg 1$ ) et par la-même le gain différentiel global du circuit en boucle ouverte étant très grand devant l'unité ( $G_{m01}A_{d02}r_{s01} \gg 1$ ), l'expression du gain en tension intrinsèque  $G_i$  en boucle fermée du circuit peut s'exprimer simplement sous la forme (Fig. 4.14) :

$$G_i(p) \approx \frac{1}{1 + p(C_H/G_{m01})} \quad (4-3)$$

La constante de temps dominante  $\tau_1 \approx C_H/G_{m01}$  du circuit en boucle fermée est donc déterminée à partir du transfert du circuit transconductance d'entrée et de la capacité de stockage  $C_H$ . Nous pouvons alors remarquer que les contraintes de conception semblent faciles à satisfaire. En effet, pour  $\tau_1 = 1\text{ns}$  et  $C_H = 1\text{pF}$ , il suffit que la transconductance soit  $G_{m01} = 1\text{mA/V}$ .

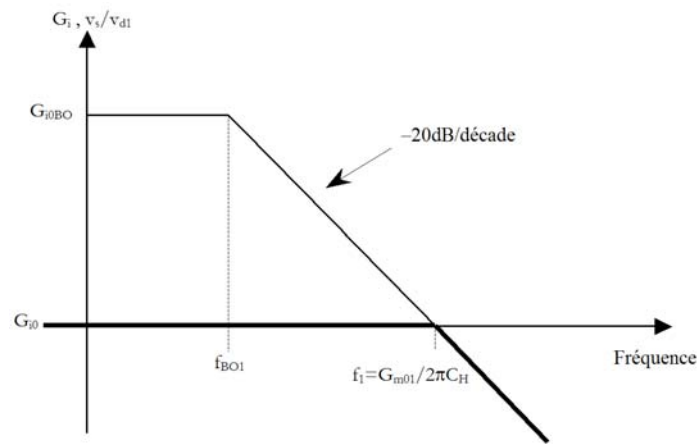


Fig. 4.14 : Fonction de transfert en boucle ouverte et fermée du circuit

## 2.1.2 Contribution du commutateur analogique

En introduisant la participation de la résistance  $r_{ON}$  du commutateur analogique, l'expression de la constante de temps dominante  $\tau_{BO1}$  du circuit en boucle ouverte est très

$$\text{légèrement modifiée : } \tau_{BO1} = \frac{r_{s01} C_H (A_{d02} + 1)}{1 + r_{ON}/r_{s01}} \approx \frac{A_{d02} r_{s01} C_H}{1 + r_{ON}/r_{s01}}.$$

Néanmoins, puisque le circuit d'entrée est un circuit transconductance,  $r_{s1} \gg r_{ON}$ , et ainsi sa valeur  $\tau_{BO1} \approx A_{d02} r_{s01} C_H$  demeure inchangée. Le gain en tension intrinsèque  $G_i$  du circuit en boucle fermée présente alors la même modification sur sa constante de temps dominante  $\tau_1$  (produit gain-bande du circuit en boucle ouverte) :

$$G_i(p) \approx \frac{1}{1 + p \frac{C_H}{(1 + r_{ON}/r_{s01}) G_{m01}}} \quad (4-4)$$



La résistance  $r_{ON}$  n'a donc que peu d'influence sur la fréquence de coupure haute  $f_1$  ( $=1/2\pi\tau_1$ ) du circuit en boucle fermée.

### 2.1.3 Contribution des limitations fréquentielles de l'amplificateur et du circuit transconductance

Considérons désormais l'influence de la limitation fréquentielle au premier ordre de l'amplificateur opérationnel  $A_2$  de sortie, de gain en tension quasi-statique  $A_{d02}$ , caractérisé par la constante de temps dominante  $\tau_{AO1}$ .

En boucle ouverte, le circuit S/B présente deux pôles réels :

$$\frac{v_s}{v_{dt}} = \frac{A_{d02} G_{m01} r_{s01}}{[1 + p\tau_{AO1}] \left[ 1 + p \frac{r_{s01} C_H (A_{d02} + 1)}{(1 + r_{ON}/r_{s01})} \right]} = \frac{G_{i0BO}}{[1 + p\tau_{BO1}] [1 + p\tau_{AO1}]} \quad (4-5)$$

Le rebouclage au gain unitaire du circuit donne un filtre passe-bas du second ordre, de fonction de transfert :

$$G_i(p) = \frac{v_s}{v_e}(p) = \frac{G_{i0BO}}{1 + G_{i0BO}} \cdot \frac{1}{1 + p \frac{\tau_{BO1} + \tau_{AO1}}{1 + G_{i0BO}} + p^2 \frac{\tau_{BO1} \tau_{AO1}}{1 + G_{i0BO}}} = \frac{1}{1 + 2 \frac{\xi}{\omega_n} p + \frac{p^2}{\omega_n^2}} \quad (4-6)$$

Introduisons la fréquence de coupure  $G_{m01}/2\pi C_H$  du circuit idéal et le produit gain-bande au premier ordre  $GBW_{AO} = A_{d02} f_{AO1}$  (avec  $f_{AO1} = 1/2\pi\tau_{AO1}$ ) de l'amplificateur opérationnel  $A_2$ . La fréquence propre  $f_n$  et le facteur d'amortissement  $\xi$  sont alors :

$$f_n = \frac{\omega_n}{2\pi} = \sqrt{f_1 \cdot GBW_{AO}} \quad \text{et} \quad \xi \approx \frac{1}{2} \sqrt{\frac{GBW_{AO}}{f_1}}$$

Nous pouvons remarquer que le terme  $f_n$  est directement lié à la bande-passante ou temps de réponse du dispositif. De plus, le deuxième terme  $\xi$  donnera le critère de stabilité en fréquence.

Dans le cas où  $G_{i0BO} \gg 1$ , nous montrons alors que pour une marge de phase souhaitée, c'est-à-dire pour une valeur donnée minimale  $\xi_{min}$  du facteur d'amortissement, les constantes de temps doivent vérifier la condition :

$$\frac{GBW_{AO}}{f_1} > 4\xi_{min}^2 \quad (4-7)$$

Avec les hypothèses précédentes, le circuit sera inconditionnellement stable ( $\xi_{min} > 1/\sqrt{2}$ ) dès lors que le produit gain-bande  $GBW_{AO}$  de l'amplificateur opérationnel sera deux fois

supérieur à  $f_1$ . La fréquence propre du circuit est déterminée comme étant la moyenne géométrique de ces deux fréquences. Ce critère permet ainsi de fixer simplement une première hiérarchie de design (Fig. 4.15).

Cependant, si nous prenons  $\xi_{\min}=1$  afin d'augmenter la marge de phase et ainsi prendre en compte les autres pôles non dominants du circuit, nous pouvons en déduire une condition plus sévère mais plus proche de la réalité :  $GBW_{AO} \geq 4 f_1$ .

$\xi_{\min}$	$1/\sqrt{2}$	1
$GBW_{AO}$	$\geq 2. f_1$	$\geq 4. f_1$

Tab. 4-2 : Dimensionnement du produit GBW de l'amplificateur  $A_2$

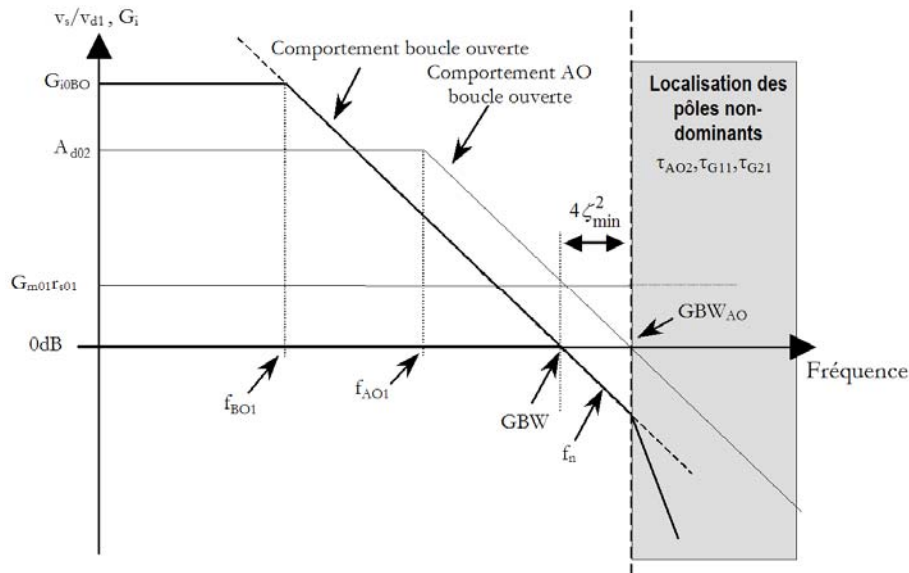


Fig. 4.15 : Participation des constantes de temps dominantes dans la fonction de transfert du circuit en boucle fermée

Une condition nécessaire étant fixée sur le produit gain-bande  $GBW_{AO}$  de l'amplificateur opérationnel, nous devons alors considérer la participation du pôle non-dominant de constante de temps  $\tau_{AO2}$ . Or, en mode de maintien, l'amplificateur fonctionnant en intégrateur, il peut-être vu comme rebouclé avec un gain unitaire par la capacité de stockage  $C_H$ . Ainsi, le produit non-dominant  $A_{d02}\tau_{AO2}$  doit assurer une stabilité inconditionnelle de l'amplificateur rebouclé au gain unitaire, ce que nous pouvons exprimer sous la forme de condition nécessaire suivante :

$$\xi_{AO} > \xi_{AO\min}, \text{ soit } \frac{f_{AO2}}{GBW_{AO}} > 4\xi_{AO\min}^2 \text{ avec } f_{AO2}=1/2\pi\tau_{AO2} \quad (4-8)$$

Si nous considérons, de plus, la limitation fréquentielle introduite par le circuit transconductance d'entrée  $G_1$  dans le circuit S/B en boucle ouverte, c'est-à-dire le pôle supplémentaire de constante de temps  $\tau_{G11}$  associé à sa sortie, la fonction de transfert en boucle ouverte du circuit s'exprime alors sous la forme :

$$\frac{v_s}{v_{d1}} = \frac{G_{BO}}{[1 + p\tau_{BO1}][1 + p\tau_{AO1}][1 + p\tau_{G11}]} \quad (4-9)$$

Chaque pôle supplémentaire dégradant la marge de phase du circuit, ceux-ci doivent être rejetés à très hautes fréquences afin d'obtenir une marge de phase suffisante du circuit en boucle ouverte.

Cette condition limite de façon drastique l'utilisation de cette structure pour des applications à hautes fréquences.

## 2.2 Circuit S/B Inverseur en boucle fermée à Intégrateur de Miller (Structure 4)

Les architectures de circuit suiveur-bloqueur en boucle fermée démontrent des limitations importantes à hautes fréquences en raison de la participation des différentes constantes de temps mises en jeu dans les sous-circuits. Afin de garder l'intérêt d'une structure rebouclée en terme de précision, une structure intéressante tire profit d'un rebouclage réalisé à l'aide de composants passifs [Ishikawa,1989] (Fig. 4.16).

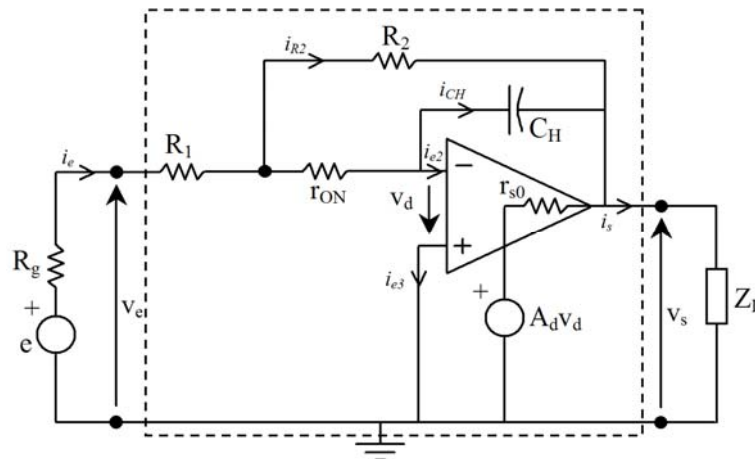


Fig. 4.16 : Schéma petits signaux du circuit S/B Inverseur en boucle fermée à Intégrateur de Miller en mode échantillonnage

Afin de comprendre les paramètres fréquentiels limitants de cet architecture, nous nous proposons dans un premier temps d'analyser le comportement du circuit en ne considérant que les éléments passifs du circuit ( $R_1, R_2, C_H$ ) ainsi que les paramètres quasi-statiques de l'amplificateur

A afin de déterminer les propriétés intrinsèques de l'architecture. L'introduction des éléments parasites et des limitations fréquentielles de l'amplificateur introduit une dégradation du comportement fréquentiel tout en complexifiant l'obtention de sa stabilité fréquentielle. Ces limitations vont nous permettre de définir un gabarit.

### 2.2.1 Conditions idéales

Considérons l'architecture (Fig. 4.16), en supposant un gain différentiel infini pour l'amplificateur et en négligeant la résistance  $r_{ON}$  de l'interrupteur de commande en mode échantillonnage. En mode échantillonnage, le gain en tension intrinsèque du circuit peut alors se mettre sous la forme :

$$G_i(p) = \frac{v_S}{v_d} = \frac{G_{i0}}{1 + p\tau_1} \quad (4-10)$$

Le comportement fréquentiel du circuit est alors celui d'un filtre passe-bas du premier ordre dont le gain quasi-statique  $G_{i0} = (-R_2/R_1)$  et dont la fréquence de coupure haute est donnée par la constante de temps  $\tau_1 = R_2 C_H$ .

Typiquement, pour notre application, la constante de temps  $\tau_1$  du circuit devant être voisine de 1ns (chapitre 3), et la capacité de stockage  $C_H$  supérieure ou égale à 1pF, la valeur de la résistance  $R_2$  doit être prise égale à 1k $\Omega$ . Pour obtenir un circuit S/B inverseur de gain unitaire, la valeur de la résistance  $R_1$  doit être égale à celle de  $R_2$ . La figure 4.17 représente le diagramme asymptotique de Bode  $|G_i|$  sous ces conditions à partir d'une simulation comportementale Spice. La fréquence de coupure haute à -3dB est alors de 160MHz.

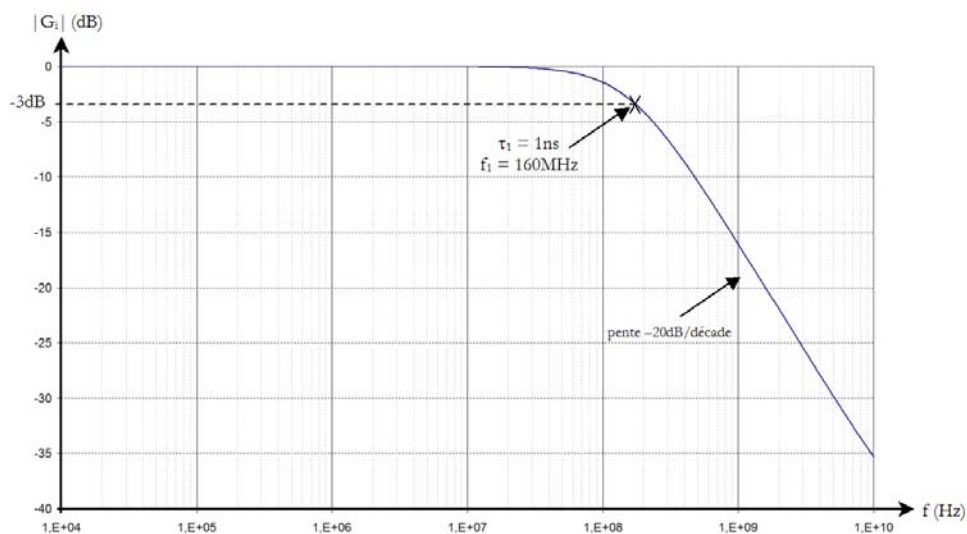


Fig. 4.17 : Diagramme asymptotique de Bode  $|G_i|$  du circuit à partir d'une simulation comportementale Spice pour laquelle  $R_1=R_2=1k\Omega$ ,  $C_H=1pF$ ,  $r_{ON}=0$  et où l'amplificateur est supposé idéal (gain infini et sans limitation fréquentielle).

## 2.2.2 Contribution du commutateur analogique

Intéressons-nous à la participation de la résistance  $r_{ON}$  dans le comportement dynamique du circuit. En effet, la valeur de  $r_{ON}$  est du même ordre de grandeur que celles de  $R_1$  et  $R_2$ . La constante de temps associée au pôle dominant est dégradée :

$$G_i(p) = \frac{G_{i0}}{1 + p\left(1 + r_{ON}/R_{eq}\right)\tau_1} \quad (4-11)$$

où  $R_{eq}$  représente la résistance résultante de la mise en parallèle des deux résistances  $R_1$  et  $R_2$ .

Afin de ne pas alourdir ces équations représentatives, et afin de garder une corrélation des grandeurs sous-jacentes au comportement dynamique, nous nous proposons de réécrire l'équation (4-11) sous la forme :

$$G_i(p) = \frac{G_{i0}}{1 + p\left[1 + \eta_{\tau_1 R_{on}}\right]\tau_1} \quad (4-12)$$

où  $\eta_{\tau_1 R_{on}} = \frac{r_{ON}}{R_2} \left(1 + |G_{i0}|\right)$  représente le facteur correctif de la constante de temps dominante introduit par la résistance  $r_{ON}$ .

Ce facteur correctif ne doit pas être négligé car comme nous l'avons montré dans le chapitre 3, la résistance  $r_{ON}$  équivalente du commutateur analogique est de l'ordre de  $1k\Omega$  en raison des dimensions géométriques nécessaires du commutateur afin de pouvoir fournir le courant de charge.

Si nous appliquons ce terme correctif au circuit comportemental défini précédemment ( $r_{ON}=1k\Omega$ ), la fréquence de coupure haute  $f_1$  du circuit est dégradée d'un facteur  $(1+\eta_{\tau_1 R_{on}})=3$ . Par conséquent, la fréquence de coupure haute du circuit n'est plus que de 52MHz, ce qui dégrade d'un facteur 3 la réponse temporelle du circuit en mode échantillonnage.

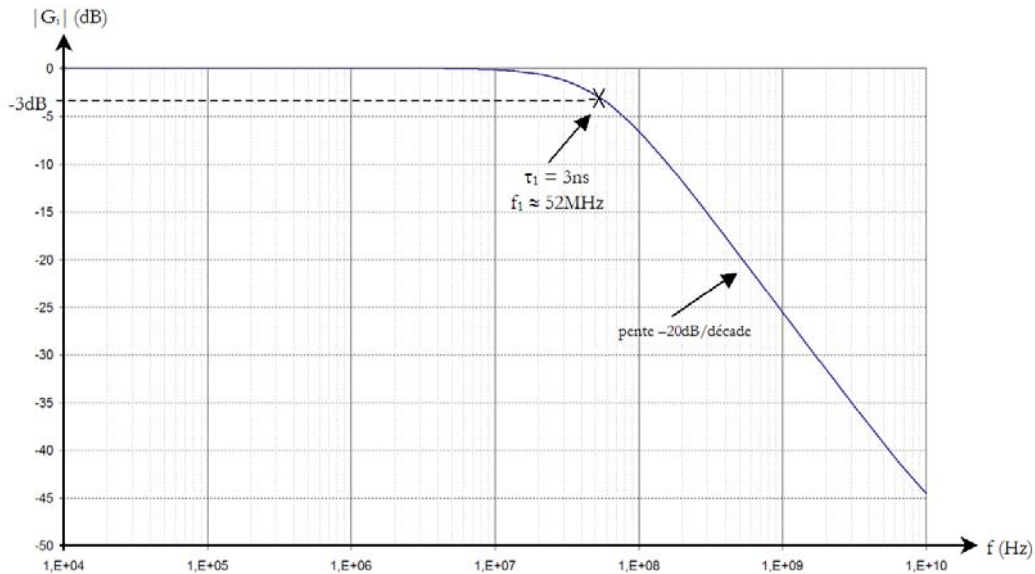


Fig. 4.18 : Diagramme asymptotique de Bode  $|G_i|$  du circuit à partir d'une simulation comportementale Spice pour laquelle  $R_1=R_2=1k\Omega$ ,  $CH=1pF$ ,  $rON=1k\Omega$  et où l'amplificateur est supposé idéal.

### 2.2.3 Contribution du gain différentiel en boucle ouverte de l'amplificateur

#### a) Gain de plateau $A_{d0}$

L'introduction du gain différentiel fini  $A_{d0}$  de l'amplificateur  $A$  dans les équations précédentes va bien entendu modifier le gain en tension intrinsèque quasi-statique  $G_{i0}$  de l'architecture ainsi que la constante de temps dominante de l'architecture :

$$G_i(p) = \frac{G_{i0} \left[ 1 - \eta_{Gi\_Ad0} \right]}{1 + p \left[ 1 + \eta_{\tau1Ron} \right] * \left[ 1 - \eta_{\tau1Ad0} \right] * \tau_1} \quad (4-13)$$

où :

- $\eta_{Gi\_Ad0} = \frac{|G_{i0}| + 1}{|G_{i0}| + 1 + A_{d0}} \approx \frac{|G_{i0}|}{A_{d0}} + \frac{1}{A_{d0}}$ ,
- $\eta_{\tau1Ad0} = \frac{|G_{i0}|}{|G_{i0}| + 1 + A_{d0}} \approx \frac{|G_{i0}|}{A_{d0}}$ .

En considérant une précision quasi-statique du circuit de 0.1%, et en reprenant le circuit comportemental utilisé précédemment, nous en déduisons que le gain quasi-statique  $A_{d0}$  de l'amplificateur doit être de 66dB. Le circuit comportemental prenant en compte ce gain quasi-statique  $A_{d0}=66dB$  donne un gain quasi-statique  $G_{i0}$  du circuit S/B égal à  $-8.68m dB$ , soit une précision équivalente de 0.1%, comme estimé théoriquement.

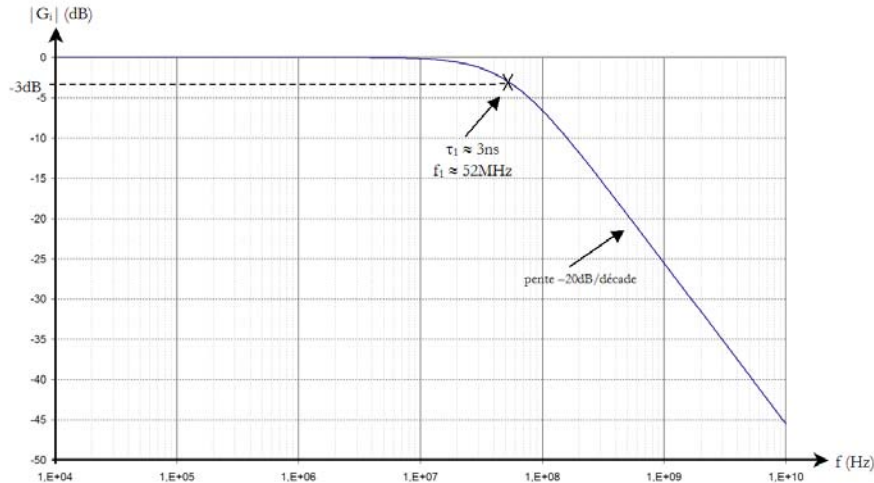


Fig. 4.19 : Diagramme asymptotique de Bode  $|G_i|$  du circuit à partir d'une simulation comportementale Spice pour laquelle  $R_1=R_2=1k\Omega$ ,  $C_H=1pF$ ,  $r_{ON}=1k\Omega$ ,  $A_{d0}=66dB$ .

A partir de ces équations, nous pouvons donc en déduire le premier gabarit intrinsèque de l'architecture qui ne prend pas en compte les limitations fréquentielles introduites par l'amplificateur.

Nous en déduisons donc, qu'au premier ordre, le gain en tension intrinsèque quasi-statique  $G_{i0}$  de l'architecture est qualifié par le rapport des résistances implantées ( $R_1$  et  $R_2$ ). Puisque nous nous plaçons dans le cadre d'une architecture à gain unitaire, nous en déduisons bien entendu que les valeurs des deux résistances doivent être rigoureusement égales ( $R_1=R_2$ ).

Le comportement dynamique de l'architecture est, au premier ordre, celui d'un filtre passe-bas du premier ordre dont la constante de temps dominante associée à la fréquence de coupure basse est déterminée par le couple ( $R_2$ ,  $C_H$ ). Il faut néanmoins tenir compte de la participation de la résistance équivalente  $r_{ON}$  du switch en conduction et de l'impact du gain différentiel quasi-statique  $A_{d0}$  de l'amplificateur.

## b) Produit Gain Bande Passante GBW au 1er ordre

Prenons en compte la limitation fréquentielle au premier ordre de l'amplificateur, soit sa constante de temps dominante  $\tau_{AO1}$ . Le gain en tension intrinsèque  $G_i$  de l'architecture présente alors un ordre deux à son dénominateur :

$$G_i(p) = \frac{G_{i0} [1 - \eta_{G_i A_{d0}}]}{1 + p \left\{ \tau_1 (1 + \eta_{\tau_1 R_{on}}) (1 - \eta_{\tau_1 A_{d0}}) + \tau_{AO1} \eta_{G_i A_{d0}} \right\} + p^2 \frac{\tau_{AO1}}{A_{d0}} |G_{i0}|^2 \tau_1 (1 + \eta_{\tau_1 R_{on}})} \quad (4-14)$$

L'étude du dénominateur de la fonction de transfert fait alors apparaître deux racines réelles, soit la simplification suivante :

$$G_i(p) = \frac{G_{i0} [1 - \eta_{Gi\_Ad0}]}{(1 + p\tau_1 (1 + \eta_{\tau1Ron}) (1 - \eta_{\tau1Ad0})) * (1 + p\tau_{GBWA} |G_{i0}|)} \quad (4-15)$$

Nous retrouvons ainsi l'expression de la constante de temps dominante exprimée par l'équation (4-13), ainsi qu'une constante de temps supplémentaire qui correspond au produit du gain en tension intrinsèque  $|G_{i0}|$  quasi-statique du circuit et de la constante de temps  $\tau_{GBWA}$  associée au produit gain-bande au premier ordre  $GBW_A$  de l'amplificateur.

Le diagramme asymptotique de Bode  $G_i$  (Fig. 4.20) comprend donc deux pôles. En reprenant le circuit S/B comportemental, nous introduisons une limitation fréquentielle à l'amplificateur, à partir de son pôle dominant :  $f_{AO1}=200\text{kHz}$  soit  $\tau_{AO1}=0.8\mu\text{s}$ . Le produit gain bande passante de l'amplificateur est donc  $GBW=A_{d0}f_{AO1}=400\text{MHz}$ , et constitue le second pôle du circuit S/B, en accord avec (4-15) puisque  $|G_{i0}|=1$ .

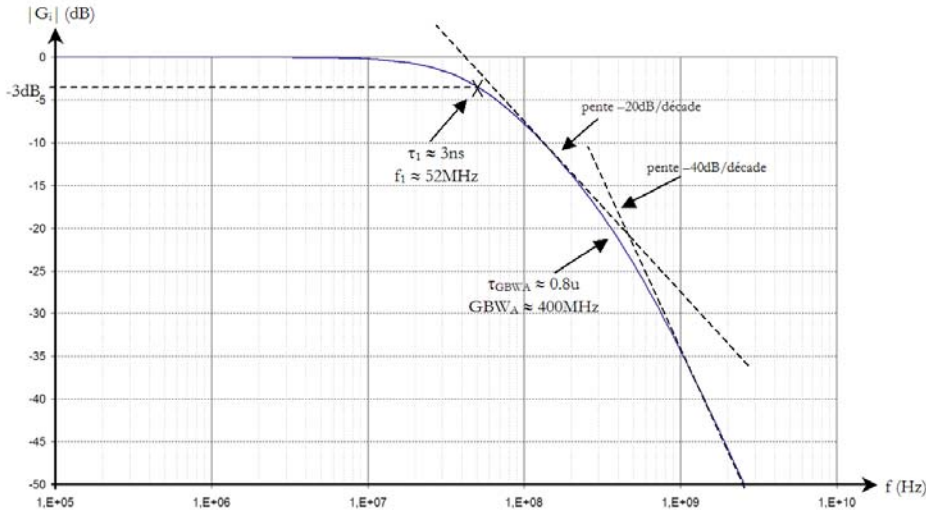


Fig. 4.20 : Diagramme asymptotique de Bode  $|G_i|$  du circuit à partir d'une simulation comportementale Spice pour laquelle  $R_1=R_2=1\text{k}\Omega$ ,  $C_H=1\text{pF}$ ,  $r_{ON}=1\text{k}\Omega$ ,  $A_{d0}=66\text{dB}$ ,  $\tau_{GBWA}=0.8\mu\text{s}$ .

### c) Contribution du 2nd ordre

La limitation fréquentielle du second ordre de l'amplificateur, c'est-à-dire la constante de temps  $\tau_{AO2}$  associée au second pôle de l'amplificateur, introduit un dénominateur plus complexe comprenant un 1<sup>er</sup> ordre et une fonction du 2<sup>nd</sup> ordre dans l'expression du gain en tension intrinsèque du circuit :

$$G_i(p) = \frac{G_{i0} [1 - \eta_{Gi\_Ad0}]}{(1 + p\tau_1 (1 + \eta_{\tau1Ron}) (1 - \eta_{\tau1Ad0})) * (1 + p|G_{i0}|(\tau_{GBWA} + A_{d0}\tau_{AO2}) + p^2|G_{i0}|\tau_{GBWA}\tau_{AO2})} \quad (4-16)$$



Afin de simplifier l'écriture de cette expression, nous assimilons la constante de temps dominante du circuit à la constante de temps  $\tau_1' = [ \tau_1 * (1 + \eta_{\tau_{1Ron}}) * (1 - \eta_{\tau_{1Ad0}}) ]$  de fréquence correspondante  $f_1' = 1/2\pi\tau_1'$  :

$$G_1(p) = \frac{G_{i0} [1 - \eta_{Gi\_Ad0}] * F_2(p)}{(1 + p\tau_1')} \quad (4-17)$$

$F_2$  représente la fonction de transfert du second ordre :

$$F_2(p) = \frac{1}{1 + p|G_{i0} + 1| \left[ \tau_{GBWA} + \frac{\tau_{AO2}}{A_{d0}} \right] + p^2 |G_{i0} + 1| \tau_{GBWA} \tau_{AO2}} \equiv \frac{1}{1 + 2 \frac{\xi}{\omega_n} p + \frac{p^2}{\omega_n^2}} \quad (4-18)$$

avec :

- $\xi = \frac{\sqrt{|G_{i0}| + 1}}{2} * \left[ \sqrt{\frac{f_{AO2}}{GBW_A}} + \sqrt{\frac{GBW_A}{A_{d0} f_{AO2}}} \right]$ , coefficient d'amortissement du filtre ;
- $\omega_n = \frac{1}{\sqrt{\tau_{GBWA} \tau_{AO2} |G_{i0} + 1|}}$ , pulsation propre du filtre ;
- $f_n = \frac{\omega_n}{2\pi} = \sqrt{\frac{GBW_A f_{AO2}}{|G_{i0} + 1|}}$ , fréquence propre du filtre.

La fréquence de résonance de ce filtre du second ordre est alors donnée par :

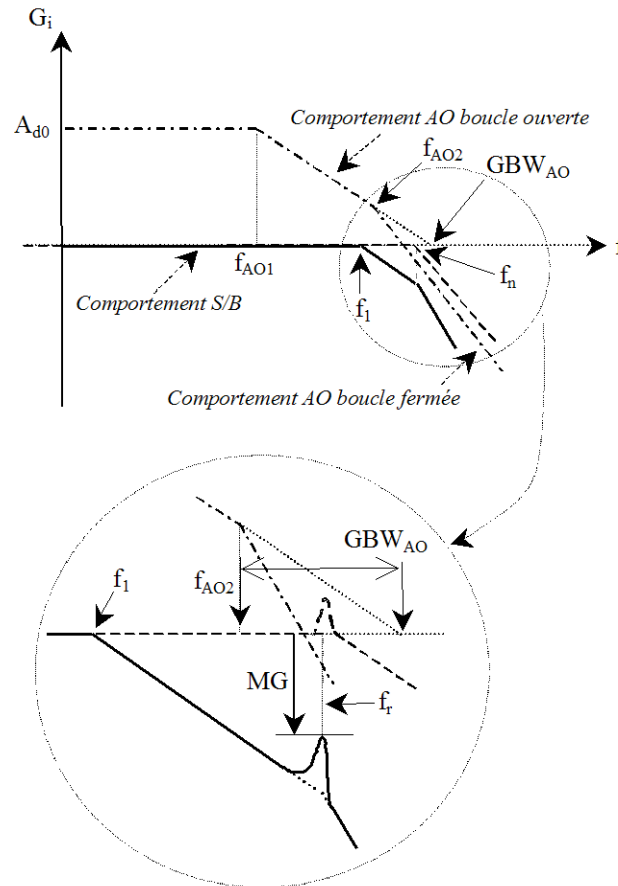
$$f_r = f_n \sqrt{1 - \xi^2} = \sqrt{\frac{GBW_A f_{AO2}}{|G_{i0} + 1|}} * \sqrt{1 - \frac{1}{4} |G_{i0} + 1| * \left[ \sqrt{\frac{f_{AO2}}{GBW_A}} + \sqrt{\frac{GBW_A}{A_{d0} f_{AO2}}} \right]^2} \quad (4-19)$$

Nous retrouvons, en fait, les expressions connues correspondant à l'amplificateur opérationnel en configuration inverseur. Le comportement au premier ordre de ce circuit S/B est celui d'un filtre passe-bas de constante de temps  $R_2 C_H$ . Le terme  $F_2(p)$  contenu dans (4-17) représente le comportement au second ordre de l'amplificateur en configuration inverseur.

#### d) Critère de stabilité en fréquence

La participation des deux constantes de temps  $\tau_{AO1}$  et  $\tau_{AO2}$  de l'amplificateur A peut donc introduire une éventuelle instabilité dans le circuit. La représentation du diagramme de Bode

$|G_i|$  du circuit (Fig. 4.16) est présentée (Fig. 4.21) et correspond au cas où le filtre  $F_2$  n'est pas suffisamment amorti.



**Fig. 4.21 : Participation des constantes de temps de l'amplificateur opérationnel dans la fonction de transfert du circuit en boucle fermée**

Il est donc nécessaire de s'assurer que cette résonance du filtre  $F_2$  n'introduise pas de résonance dans le circuit S/B. Pour cela, nous pouvons déterminer l'expression du paramètre MG permettant de qualifier la stabilité du circuit S/B. Ce paramètre quantifie la « marge de gain » disponible à la fréquence de résonance  $f_r$  du filtre  $F_2$  lorsque le facteur d'amortissement  $\xi$  est inférieur à  $1/\sqrt{2}$ . La valeur maximale du module du gain en tension du filtre  $F_2$  s'exprime par :

$$\left|F_2(p)\right|_{\max} = \frac{F_{20}}{2\xi\sqrt{1-\xi^2}} \quad (4-20)$$

A la fréquence de résonance  $f_r$ , on détermine le gain en tension  $|G_i(f_r)|$  du circuit S/B en utilisant le fait que le produit du module du gain par la bande passante sur l'asymptote de pente (-20dB/décade) est constant :

$$\left| G_i(f_r) \right| = \frac{G_{i0} f_1}{f_r} \quad (4-21)$$

D'où nous en déduisons le facteur MG :

$$MG = G_{i0} - \left( \left| F_2(p) \right|_{\max} \left| G_i(f_r) \right| \right) = G_{i0} \left( 1 - \frac{f_1}{f_r 2\xi \sqrt{1 - \xi^2}} \right) \geq 0 \quad (4-22)$$

En prenant le cas où  $G_{i0}=1$ , l'expression de MG se simplifie :

$$MG = 1 - \frac{f_1}{f_n 2\xi (1 - \xi^2)} \geq 0 \quad (4-23)$$

A partir de cette expression, nous pouvons tracer des abaques permettant de déterminer la fréquence propre minimale  $f_n$  du filtre en fonction de la fréquence de coupure  $f_1$  du circuit S/B et du facteur d'amortissement  $\xi$  de la fonction  $F_2$  (Fig. 4.22).

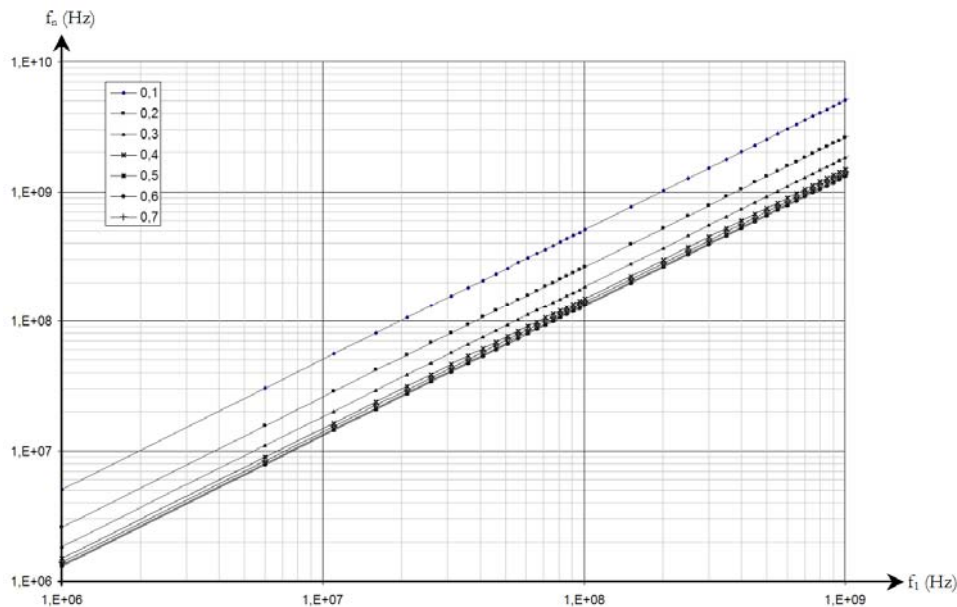


Fig. 4.22 : Fréquence propre minimale  $f_n$  du filtre  $F_2$  en fonction de la fréquence de coupure  $f_1$  du circuit S/B et pour différentes valeurs du facteur d'amortissement  $\xi$  du filtre  $F_2$  pour  $|G_{i0}|=1$ .

La fréquence propre  $f_n$  attribuée aux deux pôles de l'amplificateur opérationnel A en boucle ouverte doit être d'autant plus élevée devant  $f_1' \approx f_1$  que le facteur d'amortissement  $\xi$  est faible. Alors, la fréquence  $f_1'$  donnera le temps de réponse souhaitée du circuit S/B.

A partir de ces expressions, nous pouvons déterminer les caractéristiques de l'amplificateur. Connaissant la fréquence  $f_1$ , on détermine la fréquence propre  $f_n$  en fonction du facteur d'amortissement  $\xi$  désiré. La gain  $A_{d0}$  étant déterminé à partir de l'erreur générée par injection de

charges, on peut déterminer le produit gain bande passante  $GBW_A$  de l'amplificateur et la fréquence de son pôle non-dominant  $f_{A02}$ .

Sur notre circuit d'exemple dont la fréquence  $f_1$  était de 52MHz et le gain  $A_{d0}$  de l'amplificateur était de 66dB lors de notre dernière analyse, nous pouvons ainsi déterminé la fréquence propre du filtre en fonction du facteur d'amortissement (Fig. 4.23). Ainsi, lorsque  $\xi \geq 1/\sqrt{2}$ , nous obtenons bien  $f_n$  qui tend vers  $f_1$ .

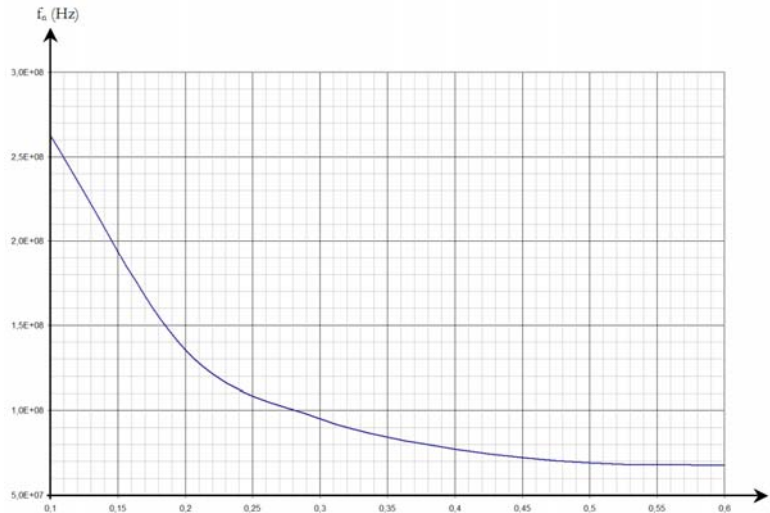


Fig. 4.23 : Fréquence propre minimale  $f_n$  du filtre  $F_2$  en fonction du facteur d'amortissement  $\xi$  du filtre  $F_2$  pour  $|G_{i0}|=1$  et  $f_1=52\text{MHz}$ .

### 2.2.4 Analyse du phénomène d'injection de charges

Les deux architectures présentées précédemment peuvent être regroupées au sein d'une même analyse du phénomène d'injection de charges

Lors du basculement en mode de maintien, le commutateur analogique  $S_1$  injecte une partie des charges accumulées dans son canal dans la capacité de stockage  $C_H$  (Fig. 4.24).

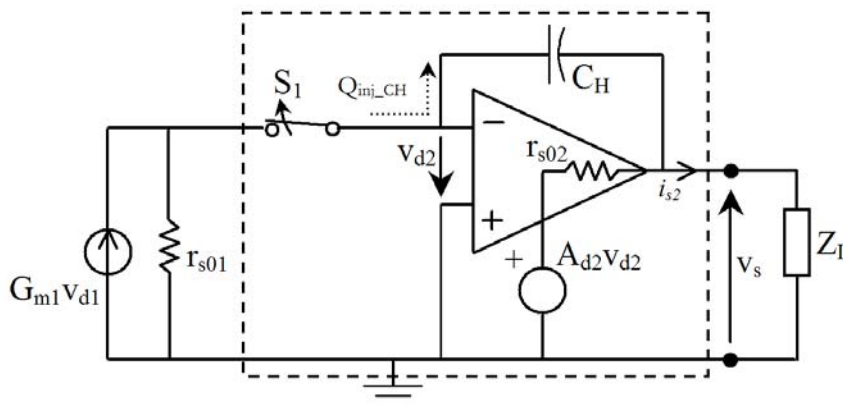


Fig. 4.24 : Injection de charges dans la capacité  $C_H$  au moment du basculement en mode de maintien

A la différence de l'étude menée dans le [chapitre 3](#) sur l'injection de charges par le commutateur analogique, la capacité de stockage  $C_H$  est ici en position intégratrice avec l'amplificateur  $A_2$ . Ce type de circuit limite l'erreur générée par l'injection des charges accumulées dans le canal, car le commutateur analogique « voit » une pseudo masse dynamique.

Evaluons, par conséquent l'erreur générée par cette injection de charges. Nous réutilisons les notations du [chapitre 3](#). Nous supposons que la sortie de l'amplificateur est une source de tension parfaite ( $r_{s02}=0$ ) ce qui permet de considérer que l'armature basse est à une masse dynamique de manière transitoire. Soit  $\alpha_{inj\_CH}$  le rapport de charges accumulées dans le canal et injectées sur l'armature haute de la capacité de stockage  $C_H$ . Dans ce cas, la quantité de charges injectées  $Q_{inj\_CH}$  sur l'armature haute de la capacité est exprimée par :

$$Q_{inj\_CH} = -\alpha_{inj\_CH} C_{canal} (\phi_H - V_{mc} - V_{th}) \quad (4-24)$$

Où  $V_{mc}$  représente la tension statique appliquée sur l'entrée non inverseuse de l'amplificateur (tension de mode commun). La différence de potentiel qui correspond à l'erreur provoquée par cette injection de charges est alors :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj\_CH}}{C_H + C_{DB}} = -\alpha_{inj\_CH} \frac{C_{canal}}{C_H + C_{DB}} (\phi_H - V_{mc} - V_{th}) \quad (4-25)$$

que nous pouvons réécrire sous la forme :

$$\Delta V_{CH}^{(canal)} = V_{offset} \approx \alpha_{inj\_CH} \frac{W_{eff} L_{eff} C_{ox}}{C_H} (\phi_H - V_{mc} - V_{th0}) \quad (4-26)$$

L'injection de charges introduit donc une erreur de tension constante  $V_{offset}$  aux bornes de la capacité de stockage  $C_H$ . Il faut bien entendu comprendre que cette erreur de tension est du même ordre de grandeur que pour une architecture S/B dont la capacité de stockage est « en parallèle ». Mais l'avantage crucial de ce dispositif repose sur le fait que l'injection de charges ne doit alors plus être considérée comme à l'origine d'une non-linéarité (en fonction de la valeur de l'amplitude du signal en entrée) mais comme une tension de décalage supposée constante. Il peut alors être possible de compenser facilement cette erreur par un système de calibration, ou bien, comme nous le verrons par la suite, par l'utilisation d'une architecture différentielle.

### 3. Etude du circuit S/B à double capacité compensé par effet Miller (Structure 5)

Les architectures de circuit S/B utilisant une boucle de contre-réaction locale ou globale présentent, comme nous venons de le montrer, des inconvénients d'instabilité en fréquence dès lors que ceux-ci doivent être utilisés dans des applications rapides. Pour tirer profit d'un circuit rapide, il est alors logique d'assurer le fonctionnement d'une architecture en boucle ouverte pendant le mode d'échantillonnage. Nous allons voir, de façon originale, qu'il est ainsi possible de profiter d'un comportement d'un circuit S/B classique, à priori le plus rapide, tout en combinant un circuit de compensation d'erreurs notamment introduites lors du basculement du circuit S/B en mode de maintien par un classique effet Miller sur une capacité de stockage.

#### 3.1 Avantages

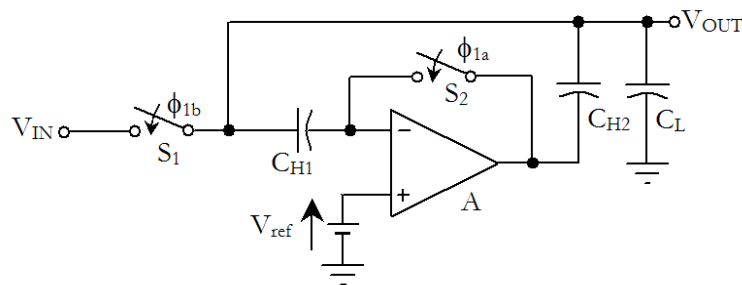


Fig. 4.25 : Schéma du circuit S/B à double capacité compensé par effet Miller

Le circuit S/B représentatif qui offre le temps d'acquisition le plus rapide à valeur de capacité de stockage fixée est le circuit S/B de principe. Une architecture performante en terme de rapidité doit utiliser ce principe en mode d'échantillonnage. Avec une seule capacité de stockage  $C_{H1}$ , l'armature basse de celle-ci doit être en haute impédance lors de la transition en mode de maintien afin de minimiser le phénomène d'injection de charges. Cela peut notamment être réalisé en connectant cette armature basse à l'entrée d'un amplificateur (Fig. 4.25). Néanmoins, l'entrée d'un amplificateur présentant une capacité parasite d'entrée, une injection de charges résiduelle et non négligeable est toujours à l'origine d'une erreur d'échantillonnage. Il peut alors être profitable d'utiliser ce même amplificateur pour réaliser un circuit intégrateur. La capacité  $C_{H2}$  s'ajoute à la capacité de stockage  $C_{H1}$  originelle et ce afin que l'injection de charges issue du commutateur analogique soit intégrée vers cette capacité [Lim,1991].

## 3.2 Comportement du circuit en mode d'échantillonnage

Considérons la participation des différents éléments passifs de l'architecture tout en supposant une valeur nulle de résistance équivalente du commutateur analogique  $S_2$  en mode de conduction (rebouclage au gain unitaire de l'amplificateur  $A$ ). La [figure 4.26](#) représente le schéma équivalent du circuit en mode échantillonnage.

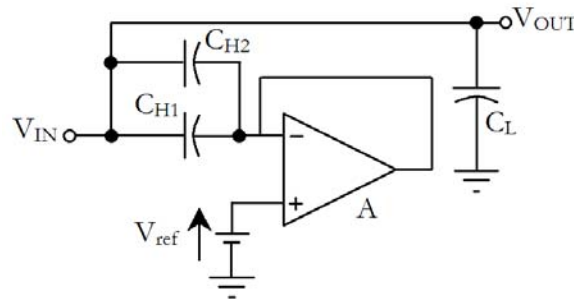


Fig. 4.26 : Schéma du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage

En mode échantillonnage, l'amplificateur  $A$  est configuré en mode suiveur. Il joue donc le rôle de buffer pour la tension de mode commun  $V_{ref}$ . Ainsi l'armature basse de la capacité de stockage  $C_{H1}$  et de  $C_{H2}$  sont reliées à une source de tension. En régime dynamique, ces deux armatures sont reliées à une masse dynamique.

Nous pouvons remarquer dans un premier temps que la tension stockée aux bornes des capacités  $C_{H1}$  et  $C_{H2}$  ne correspond pas exactement à la valeur  $V_{IN}$  du signal en entrée. En raison de la présence de l'amplificateur  $A$  en configuration de suiveur, la tension  $V_{CHbasse}$  appliquée sur l'armature basse de ces capacités est :

$$v_{CHbasse} = \frac{A_{d0}}{1 + A_{d0}} V_{ref} \approx V_{ref} \left( 1 - \frac{1}{A_{d0}} \right) \quad (4-27)$$

Il faut ainsi tenir compte de la tension de décalage de l'amplificateur ramenée en entrée ( $V_{ref}/A_{d0}$ ). Par exemple, avec  $V_{ref}=1.65V$  et  $A_{d0}=2000$ , la tension de décalage est d'environ  $0.8mV$ .

### 3.2.1 Réponse fréquentielle

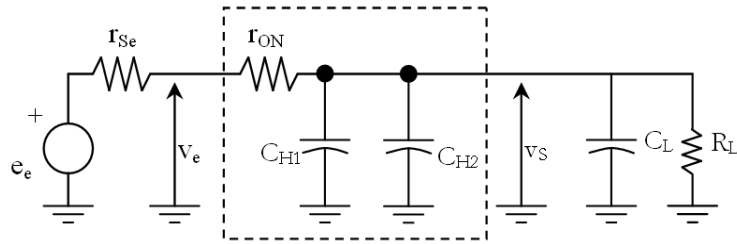


Fig. 4.27 : Schéma petits signaux du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage

La figure 4.27 représente le schéma petit signal équivalent du circuit en mode échantillonnage, lorsque nous supposons que la résistance de sortie  $r_s$  de l'amplificateur configuré en mode suiveur est nulle ( $r_s \approx r_{s0}/A_{d0}$ ). Nous retrouvons alors le schéma équivalent de la cellule S/B de principe pour laquelle la capacité de stockage est donnée par la mise en parallèle des capacités  $C_{H1}$ ,  $C_{H2}$  et  $C_L$  (représentant la capacité parasite d'entrée de l'étage suivant).

Le gain en tension intrinsèque  $G_i$  du circuit en mode échantillonnage est alors donné par :

$$G_i(p) = \frac{v_s}{v_e} = \frac{R_L}{R_L + r_{ON}} * \frac{1}{1 + p(r_{ON} // R_L)(C_{H1} + C_{H2} + C_L)} = \frac{G_{i0}}{1 + p\tau_{ech}} \quad (4-28)$$

Le comportement dynamique de l'architecture est, au premier ordre, celui d'un filtre passe-bas du premier ordre (comparable à la structure S/B de principe) dont la constante de temps dominante associée  $\tau_{ech}$  à la fréquence de coupure haute est déterminée par la résistance équivalente  $r_{ON}$  du commutateur analogique (avec  $R_L \gg r_{ON}$ ) et la mise en parallèle des deux capacités de stockage  $C_{H1}$  et  $C_{H2}$  ( $C_{eq} = C_{H1} + C_{H2}$ ) et de la capacité de charge  $C_L$  du circuit. Le gain en tension intrinsèque quasi-statique  $G_{i0}$  est, quant à lui, donné par le pont résistif formé par les résistances  $r_{ON}$  et  $R_L$ . En d'autres termes, afin de limiter l'erreur de gain du circuit en mode échantillonnage, il sera nécessaire que le nœud de sortie soit d'impédance résistive  $R_L$  de valeur élevée, comme, par exemple, la grille d'un transistor MOS (étage d'entrée d'un buffer).

Toutes les remarques concernant le commutateur analogique faites au chapitre 3 s'appliquent donc à cette architecture. Les abaques de conception s'appliquent donc aussi à cette structure.

En mode échantillonnage, l'amplificateur A est configuré en mode suiveur. Il est donc nécessaire de garantir sa stabilité en fréquence lorsqu'il est rebouclé au gain unitaire. Cet amplificateur doit de plus avoir la possibilité de fournir (ou d'absorber) le courant de charge de la capacité équivalente de stockage  $C_{H1} + C_{H2} + C_L$  durant le mode échantillonnage. Par conséquent, l'étage de sortie de cet amplificateur sera dimensionné afin que son courant de sortie maximum



fort signal soit équivalent au courant de charge maximum fort signal de la capacité équivalente de stockage.

Lorsque ce circuit est utilisé dans une configuration asymétrique, la tension de référence  $V_{ref}$  doit alors être choisie en milieu de bande de tension de mode commun admissible en entrée afin de limiter le temps d'acquisition  $t_{ac}$  dans les capacités de stockage.

Cette architecture de circuit présente ainsi des avantages certains pour une application très rapide. A partir de la spécification du temps d'acquisition  $t_{ac}$  disponible, il est ainsi possible de fixer simplement un couple  $(r_{ON}, C_{H1} + C_{H2} + C_L)$  correspondant.

### 3.2.2 Dimensionnement de l'étage précédent

Cette architecture de circuit S/B semble, dans le principe, n'être limitée en terme de rapidité que par le dimensionnement du filtre RC. Nous devons néanmoins remarquer que cette conclusion n'est vraie qu'en supposant les conditions proches d'une attaque en tension en entrée du circuit. La réalisation de cette attaque nécessite donc l'utilisation un suiveur de tension ( $e_{Se}, r_{Se}$ ) en entrée du circuit (Fig. 4.28).

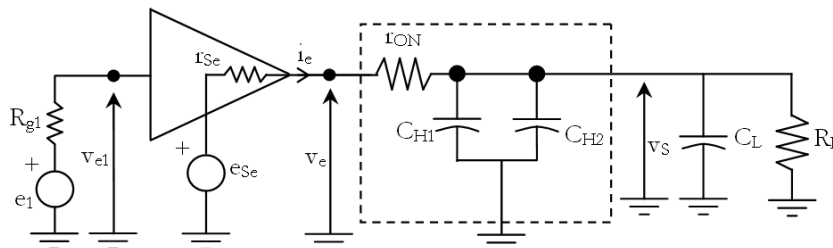


Fig. 4.28 : Schéma petits signaux du circuit S/B à double capacité compensé par effet Miller en mode échantillonnage précédé de son étage suiveur

L'amplitude du courant maximal  $I_{emax}$  que doit fournir cet étage est donc dimensionnable comme défini au chapitre 3. La résistance de sortie  $r_{Se}$  de l'amplificateur  $A_e$  en boucle fermée participe à la constante de temps  $\tau_{ech}$  du circuit à travers l'expression du transfert en tension composite  $G_c$  du circuit :

$$G_c(p) = \frac{v_s}{v_{e1}} \approx \frac{v_s}{e_{Se}} \approx \frac{R_L}{R_L + r_{ON} + r_{Se}} * \frac{1}{1 + p(R_L // (r_{ON} + r_{Se}))(C_{H1} + C_{H2} + C_L)} = \frac{G_{e0}}{1 + p\tau_{ech}} \quad (4-29)$$

Au delà du courant de sortie minimum nécessaire pour cet étage, une limitation fréquentielle est imposée du fait de la configuration en mode suiveur. Les inconvénients de stabilité fréquentielle nécessaire en boucle fermée évoqués au paragraphe précédent sont en fait rejetés sur cet étage dans cette architecture de circuit S/B. Néanmoins, il s'agit ici d'un amplificateur opérationnel et les méthodes connues de conception s'appliquent directement à cet étage. En terme de précision quasi-statique, cet étage sera très certainement l'étage limitant

puisque dans le cas de notre instrumentation rapide et précise dans un environnement basse-tension, le suiveur devra être rail-to-rail en entrée et en sortie, avoir un fort gain différentiel quasi-statique en boucle ouverte, mais principalement un produit gain-bande passante au premier ordre très élevé afin de ne pas limiter la rapidité du circuit S/B à proprement parler. Ce point sera analysé au [chapitre 7](#).

### 3.2.3 Injections de charges

Nous venons de montrer l'intérêt de cette architecture en mode échantillonnage en raison de sa bande passante élevée. Nous allons désormais nous intéresser aux phénomènes d'injection de charges.

La gestion des phases contrôlant les commutateurs analogiques doit être considérée avec précaution dans cette architecture. L'intérêt repose sur l'utilisation de l'effet Miller sur la capacité de stockage  $C_{H2}$  par l'amplificateur A. Il est donc nécessaire d'ouvrir le commutateur analogique  $S_2$  avant l'ouverture du commutateur analogique principal  $S_1$  (Fig. 4.25) afin d'annuler le rebouclage au gain unitaire de l'amplificateur. L'ouverture du commutateur  $S_2$  est alors à l'origine d'une injection de charges.

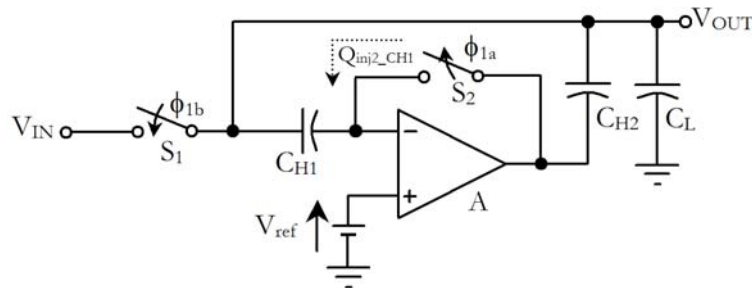


Fig. 4.29 : Injection de charges du commutateur analogique  $S_2$  dans la capacité de stockage  $C_{H1}$

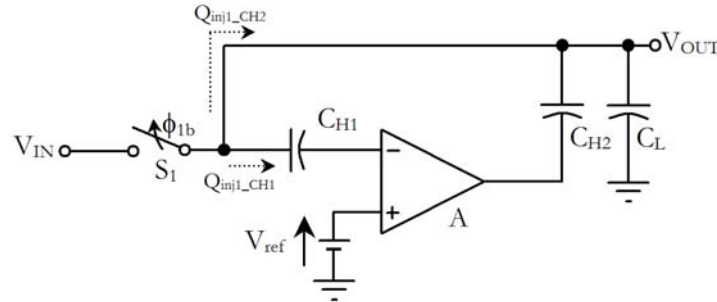
Soit  $\alpha_{inj2\_CH1}$  le rapport de charges accumulées dans le canal de  $S_2$  et injectées sur l'armature haute de la capacité de stockage  $C_{H1}$ . En supposant une attaque en tension en sortie de l'amplificateur, les charges injectées sur l'armature basse de la capacité  $C_{H2}$  ne modifient pas le potentiel sur cette armature. Dans ce cas, la quantité de charges injectées  $Q_{inj2\_CH1}$  sur l'armature haute de la capacité  $C_{H1}$  provoque une variation de potentiel sur l'armature basse :

$$\Delta V_{CH1basse} = \frac{Q_{inj2\_CH1}}{C_{H1} + C_{DB2}} = -\alpha_{inj2\_CH1} \frac{C_{canal2}}{C_{H1} + C_{DB2}} (\phi_H - V_{ref} - V_{th}) \quad (4-30)$$

Cette variation de potentiel sur l'entrée inverseuse de l'amplificateur modifie la tension différentielle en entrée de l'amplificateur ; en supposant que le circuit est dans son régime de fonctionnement linéaire, la sortie va quitter le point de repos correspondant aux conditions du

gain unitaire. Le gain quasi-statique en boucle ouverte  $A_{d0}$  de l'amplificateur ne doit donc pas être trop élevé afin d'éviter que l'injection de charges en entrée de l'amplificateur ne fasse entrer celui-ci en régime de saturation. Le circuit ne profiterait alors pas de l'effet Miller sur la capacité  $C_{H2}$ .

Peu après l'ouverture du commutateur analogique  $S_2$ , il est alors possible de basculer le circuit S/B en mode de maintien en ouvrant le commutateur analogique  $S_1$  (Fig. 4.30).



**Fig. 4.30 : Injection de charges du commutateur analogique  $S_1$  dans la capacité de stockage  $C_{H1}$  au moment du basculement en mode de maintien.**

Soit  $\alpha_{inj1\_Ceq}$  le rapport de charges accumulées dans le canal de  $S_1$  et injectées sur les armatures hautes des capacités de stockage  $C_{H1}$  et  $C_{H2}$ . L'armature basse de  $C_{H1}$  est à un nœud de haute impédance (entrée inverseuse en boucle ouverte de l'amplificateur). En considérant un amplificateur idéal, d'impédance d'entrée infinie, les charges injectées ne peuvent pas s'accumuler sur l'armature haute de  $C_{H1}$  ( $\alpha_{inj1\_CH1} = 0$ ), l'équilibre des charges sur les armatures ne pouvant pas être respecté (en toute rigueur, la présence d'une capacité parasite en entrée de l'amplificateur sera tout de même à l'origine d'une faible variation de tension aux bornes de cette capacité). Les charges sont alors injectées dans la capacité  $C_{H2}$  ( $\alpha_{inj1\_CH2} = \alpha_{inj1\_Ceq}$ ). Une source de tension étant supposée en sortie de l'amplificateur, l'erreur en tension introduite par les charges injectées dans  $C_{H2}$  est directement appliquée en sortie du circuit :

$$\Delta V_{CH2haute} = \Delta V_{OUT} = \frac{Q_{inj1\_Ceq}}{C_{H2} + C_{DB2} + C_L} = -\alpha_{inj1\_Ceq} \frac{C_{canal1}}{C_{H2} + C_{DB2} + C_L} (\phi_H - V_{IN} - V_{th}) \quad (4-31)$$

Mais cette variation modifie la tension en entrée non-inverseuse de l'amplificateur et crée une tension différentielle de valeur équivalente ( $V_d = \Delta V_{CH2haute}$ ). L'amplificateur va alors retrouver son nouveau point d'équilibre. Pour comprendre ce nouvel équilibre, nous négligeons l'injection de charges du commutateur  $S_2$  et nous supposons que l'ouverture de  $S_1$  est suffisamment proche de l'ouverture de  $S_2$  pour négliger le point de fonctionnement intermédiaire de l'amplificateur (vrai en pratique).

Avant l'injection de charges de  $S_1$  :

$$\begin{aligned}
 V_{A+} &= V_{\text{ref}} \\
 V_{A-} &= V_{\text{CH1basse}} = V_{\text{CH2basse}} = V_{\text{ref}} (1 - 1/A_{d0}) \\
 V_{\text{CH1haute}} &= V_{\text{CH2haute}} = V_{\text{OUT}} \approx V_{\text{IN}}
 \end{aligned} \tag{4-32}$$

Après l'injection de charges de  $S_2$  :

$$\begin{aligned}
 V_{\text{OUT}} &= V_{\text{CH2basse}} + V_{\text{CH2}} = A_{d0} V_d + V_{\text{CH2}} = A_{d0} (V_{A+} - V_{A-}) \\
 V_{\text{OUT}} &= V_{A-} + V_{\text{CH1}}
 \end{aligned} \tag{4-33}$$

D'où :

$$\begin{aligned}
 V_{A-} &= V_{\text{ref}} \left\{ 1 - 1/A_{d0} \right\} + \Delta V_{\text{CH2haute}} / (1 + A_{d0}) \\
 V_{\text{OUT}} &= V_{\text{ref}} \left\{ 1 - 1/A_{d0} \right\} + \Delta V_{\text{CH2haute}} / (1 + A_{d0}) + V_{\text{IN}} - V_{\text{ref}} \left\{ 1 - 1/A_{d0} \right\} \\
 V_{\text{OUT}} &= \Delta V_{\text{CH2haute}} / (1 + A_{d0}) + V_{\text{IN}}
 \end{aligned} \tag{4-34}$$

L'erreur de tension introduite par l'injection de charges du commutateur  $S_1$  est donc, lorsque l'amplificateur opérationnel est stabilisé :

$$\Delta V_{\text{OUT}} = \frac{\Delta V_{\text{CH2haute}}}{1 + A_{d0}} = \frac{-\alpha_{\text{inj1\_Ceq}} C_{\text{canal1}}}{(1 + A_{d0})(C_{\text{H2}} + C_{\text{DB2}} + C_{\text{L}})} (\phi_{\text{H}} - V_{\text{IN}} - V_{\text{th}}) \tag{4-35}$$

L'erreur de tension générée par l'injection de charges est donc divisée par le gain quasi-statique  $A_{d0}$  en boucle de l'ouverte de l'amplificateur, comparée à la structure S/B de principe.

Cette architecture de circuit est donc très intéressante puisqu'elle allie le principe de fonctionnement le plus simple en mode échantillonnage tout en limitant l'erreur générée par injections de charges. Nous devons néanmoins préciser que l'amplificateur doit être stabilisé avant d'obtenir la donnée disponible en sortie du circuit, raison pour laquelle l'amplificateur utilisé devra être d'architecture simple (le rail-to-rail n'est pas nécessaire), devra avoir un gain raisonnable ( $\sim 60\text{dB}$ ) avec un produit gain bande très élevé.

## 4. Comparatif Performances/Architectures

Nous avons présenté, à travers les paragraphes précédents, les architectures de circuits S/B qui au regard de notre étude, pouvaient répondre au besoin d'une instrumentation rapide et précise. Nous avons détaillé trois de ces architectures afin de déterminer leurs limitations.

Il peut être aussi intéressant de tracer un tableau de caractéristiques Précision/Vitesse de circuits d'échantillonnage précédemment intégrées et proposées dans la bibliographie (Fig. 4.31). Nous pouvons, en cela, remarquer qu'une majeure partie des besoins se concentre sur des

précisions autour de 10-12bits pour des fréquences échantillonnage de quelques dizaines de Méchs/s. Nous rappelons que nous souhaitons atteindre, dans le cadre de notre instrumentation spatiale, des performances autour de 10-30Mechs/s pour une précision de 12-14 bits. Ce lieu des performances attendues est un domaine nouveau, qui plus est en prenant en compte les contraintes de l'environnement de fonctionnement de l'électronique. Nous devons, en effet, combiner la prise en compte de l'environnement spatial ainsi que la contrainte de technologies CMOS submicroniques basse-tension.

A partir des architectures que nous avons définies en début de chapitre, nous pouvons dresser un tableau comparatif en fonction de plusieurs critères que nous avons jugé sélectif (Tab. 4.4).

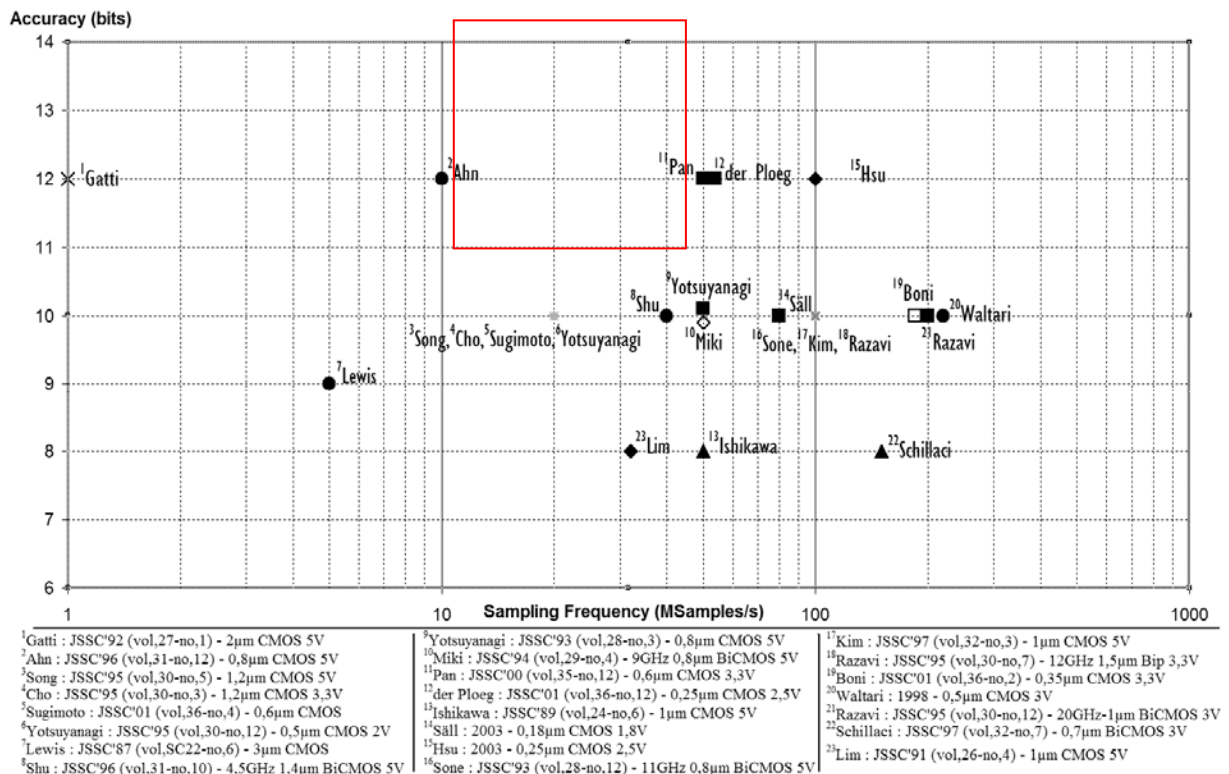


Fig. 4.31 : Caractéristiques Précision/Vitesse des circuits d'échantillonnage implémentés à travers la littérature

A partir de ce tableau comparatif, il est alors possible de qualifier chaque critère en fonction des architectures. C'est le principe du tableau 4-3 dans lequel est utilisé un système de notation (++ : excellent, + : bien, 0 : normal, - : mauvais, -- : très mauvais).

En fonction de l'instrumentation visée, le choix s'effectuera en fonction des critères dominants. Dans notre instrumentation, l'étude complète des architectures nous a ainsi montré que la structure S5 (Tab. 4-1) était la structure la plus appropriée à nos besoins, notamment en

raison de stabilité en fréquence de l'architecture, de la bande passante, mais aussi de la compensation du phénomène d'injection de charges.

	S1	S1b	S1c	S2	S3	S4	S5	S5b	S6	S7	S7b	
<b>Bande Passante</b>	++	+	+	-	-	0	++	+	+	-	-	
<b>Stabilité</b>	++	+	+	--	--	-	++	-	+	+	+	
<b>Injection de Charges</b>	--	--	+	--	+	+	+	+	+	-	++	
<b>Feedthrough</b>	0	0	0	-	-	-	0	0	0	0	0	
<b>Caract, AOs</b>		--	--	--	-	-	+	+	-	-	-	
<b>Compensation d'Offset</b>	-	-	-	-	-	-	+	+	+	+	+	
<b>Comportement de la sortie</b>	0	+	+	+	+	+	0	+	0	0	0	
<b>Droop Rate</b>												
<b>Encombrement</b>	++	+	+	--	--	0	+	-	+	--	--	
<b>Impédance d'entrée</b>	0	0	0	++	++	-	0	++	0	0	0	
<b>Impédance de Sortie</b>	0	++	++	++	++	-	0	++	++	++	++	

Tab. 4-3: Evaluation des caractéristiques des différentes architectures des circuits d'échantillonnage

	S1	S1b	S1c	S2	S3	S4	S5	S5b	S6	S7	S7b
<b>Injection de Charges</b>	Dépendante de $V_{IN}$ Non Compensée		Indépendante de $V_{IN}$ Compensée	Dépendante de $V_{IN}$ Non Compensée	Indépendante de $V_{IN}$ Non Compensée	Indépendante de $V_{IN}$ Compensable	Indépendante de $V_{IN}$ Non Compensée mais très faible (effet Miller)		Indépendante de $V_{IN}$ Compensable et très faible	Dépendante de $V_{IN}$ Partie constante compensée	Indépendante de $V_{IN}$ Compensée
<b>Compensation d'Offset</b>	Non Offset de A			Non =Offset de A1 (Offset de A2/gain de A1)	Non =Offset de A1 (critique) (Offset de A2/gain de A1)	Non =Offset de A1	Oui				
<b>Comportement de la sortie</b>	S/B Faible Impédance	S/B Faible Impédance (AOP)				S/B (inverseur) Faible Impédance (AOP)	S/B	S/B Faible Impédance (Buffer)	E/B Faible Impédance (AOP)	E/B (B/B) Faible Impédance (AOP)	
<b>Stabilité</b>	Boucle Ouverte	Boucle Ouverte AOP stable au gain 1		Boucle Fermée Critique (participation des pôles)		Boucle Fermée Critique (participation des pôles de A) AOP stable au gain 1	Boucle Ouverte AOP stable au gain 1	Boucle Ouverte B1 et B2 stables au gain 1 dans la boucle en mode de maintien	Boucle Ouverte AOP stable au gain 1	Boucle Ouverte AOPs stables au gain 1	
<b>Droop Rate</b>	1 diode					2 diodes					
<b>Encombrement</b>	Minimal	1AOP		2AOPs +Compensation		1AOP +2 résistances	1AOP	1AOP +2Buffers	1AOP	2AOPs +Compensation	2AOPs+Buffer +Compensation
<b>Bande Passante</b>	Bon fixé par $R_{ONCH}$	Bon fixé par ( $R_{ONCH}$   GBW de l'AO)		Faible		Bon fixé par ( $R_{2CH}$   $f_u$ de l'AO)	Bon fixé par $R_{ONCeq}$		Faible	Faible	
<b>Impédance d'entrée</b>	Entrée sur le switch			Haute		$R_i$	Entrée sur le switch	Haute	Entrée sur switch+capa		
<b>Impédance de Sortie</b>		Faible		Faible	Faible	$R_f$		Faible	Faible		
<b>Feedthrough</b>	Bon Roff du switch			Couplage capacitif Ajouter un interrupteur pour couper la boucle	Couplage capacitif Ajouter un interrupteur pour couper la boucle	Réglable par taille de S2	Bon Roff du switch				
<b>Caract, AOs</b>		Entrée : R/R Sortie : R/R		AO1 et AO2 Entrées : R/R Sorties : R/R	OTA1 Entrée R/R AO2 : Sortie R/R	Sortie R/R	pas de R/R		Sortie R/R Besoin d'un fort SR	AO2 Sortie R/R AO2 Besoin d'un fort SR	
<b>Notes</b>	Utiliser des portes de transmission (N&P)		Nécessite un bon appariement des switches et des capas	Bonne Linéarité Compensation de l'injection de charges possible (voir 1c)	Compensation de l'injection de charges sur A2 possible	Nécessite un bon appariement des résistances Consommation Elevée Compensation de l'injection de charges possible (voir 1c)	Profite de l'effet Miller sur les capas de maintien. Capa de charge sur l'entrée ! AOP en reset !	Profite de l'effet Miller sur les capas de maintien. Buffers isolent le circuit	Prolonge le temps de maintien durant la phase d'échantillonnage suivante		

Tab. 4-4: Evaluation des caractéristiques des différentes architectures des circuits d'échantillonnage

## Conclusion

Nous avons analysé, dans ce chapitre, différentes architectures de circuit d'échantillonnage. Ces structures sont représentatives des différents circuits que l'on peut trouver aujourd'hui à travers la bibliographie, et ont été regroupées par principe et ordre de complexité.

A partir d'une première comparaison fonctionnelle des différentes architectures, nous avons présenté, plus en détail, le comportement dynamique ainsi que l'erreur générée par les injections de charges dans ces architectures.

Nous avons ainsi montré que les structures en boucle fermée, bien que présentant une précision accrue en raison de la contre réaction globale, doivent être considérées avec précaution dès lors que l'instrumentation doit être rapide. Cela est notamment dû à la participation des différentes constantes de temps introduites par plusieurs fonctions analogiques telles que des amplificateurs ou circuit transconductance.

Nous avons insisté sur une architecture très intéressante, le circuit S/B à double capacité compensé par effet Miller, puisqu'il présente un comportement de circuit S/B de principe en mode échantillonnage, tout en limitant l'erreur générée par les phénomènes d'injection de charges lors du basculement en mode de maintien en raison d'un effet Miller.

De manière plus générale, nous avons conclu notre chapitre en dressant un tableau comparatif des différentes architectures de circuit, sur la base de plusieurs critères tels que la bande passante ou l'injection de charges.

Nous mettrons à profit cette étude dans le [chapitre 6](#) et [7](#), à travers lequel nous présenterons l'intégration de deux circuits S/B.

---



---

# Cellules analogiques en technologie CMOS basse tension

---

L'implémentation d'une instrumentation rapide et précise à l'aide d'une technologie CMOS submicronique basse tension (3.3V) nécessite l'utilisation de nouvelles architectures de circuits comparé à celles utilisables pour des technologies à tension d'alimentation supérieure (5V). Ayant retenu, dans le [chapitre 4](#), des structures de circuit S/B intéressantes pour s'intégrer dans notre instrumentation, nous devons développer l'aspect conception des cellules et des fonctions analogiques à l'intérieur de ces structures. L'étude précédente nous a permis de déterminer le besoin en termes de fonctions analogiques. La fonction analogique dominante du circuit S/B de principe est le commutateur analogique auquel nous avons dédié le [chapitre 3](#). Les circuits S/B plus complexes nécessitent des fonctions analogiques supplémentaires, en particulier des amplificateurs opérationnels et des circuits transconductance.

Nous présentons dans ce chapitre quelques cellules analogiques primordiales dans la réalisation de l'électronique pour notre instrumentation. Nous présenterons, tout d'abord, les miroirs de courant, permettant la polarisation des circuits. Puis nous analyserons les méthodes récentes de conception, que nous regrouperons sous la notion de rail-to-rail. Enfin, pour améliorer le dynamique, l'instrumentation dans son ensemble devra être différentielle. D'autre part, nous cherchons à concevoir un dispositif à liaison directe, c'est-à-dire sans condensateur de liaison, et alimenté en monotension ( $V_{SS}=0V$ ). Dans ce cadre, nous nous appliquerons à définir une fonction analogique supplémentaire importante dans la conception d'amplificateurs opérationnels symétriques : les circuits de contrôle de mode commun (CMFB).

## 1. Les miroirs de courant en basse tension

Le miroir de courant, qui est l'une des cellules de base des circuits intégrés analogiques doit satisfaire les caractéristiques :

- Un facteur de copie en courant précis et constant,
- Une plage en tension admissible en sortie la plus large possible,
- Une faible résistance dynamique d'entrée  $r_{in}$ ,

- Une faible conductance dynamique en sortie du miroir  $g_{out} = 1/r_{out}$ , afin de rendre la copie en courant indépendante des conditions de la tension de polarisation du nœud de sortie,
- Une réponse en fréquence élevée du courant de court-circuit en sortie.

## 1.1 Le miroir de courant simple

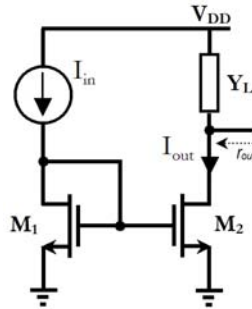


Fig. 5.1 : Miroir de courant simple

Le miroir de courant simple est présenté [figure 5.1](#). Le transistor  $M_1$  est câblé en « transdiode » et opère donc en zone de saturation car  $V_{DS} = V_{GS} > (V_{GS} - V_{th})$ . Afin d'assurer une recopie en courant fidèle, le transistor  $M_2$  doit aussi opérer en zone de saturation, d'où l'expression du transfert en courant du miroir :

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \quad (5-1)$$

En prenant en compte la modulation de la longueur du canal, le transfert en courant est dépendant des tensions de polarisation des nœuds d'entrée et de sortie du miroir (termes  $\lambda_1 V_{DS1}$  et  $\lambda_2 V_{DS2}$ ) et introduit une non-linéarité en fonction de la tension de sortie  $V_{DS2}$ . Le miroir de courant classique présente la plage de tension admissible en sortie la plus grande possible (seulement limitée par la nécessaire polarisation du transistor  $M_2$  en zone de saturation)  $V_{OUT} > V_{DSsat2}$ , mais au détriment de la linéarité du transfert en courant et avec une valeur relativement élevée de la conductance de sortie du miroir. Nous devons remarquer que la résistance dynamique « vue » par la grille de  $M_2$  est relativement faible ( $1/g_{m1}$ ), ce qui fait que  $M_2$  est proche, en régime dynamique petit signal, d'une « attaque » en tension. De cette considération, il en résulte l'expression de la conductance de sortie :

$$g_{out} = g_{DS2} = \lambda_2 I_{D2} \quad (5-2)$$

Afin de minimiser ces erreurs, il est nécessaire d'utiliser si possible des transistors à canal long (valeur de  $L$  élevée) afin de diminuer l'effet de modulation de longueur du canal. Ceci entraîne une réduction du paramètre  $\lambda$  et donc de la conductance  $g_{DS}$ . A titre d'exemple, la [figure](#)

5.2 représente l'évolution de la tension  $V_A=1/\lambda$  d'un transistor MOS à canal N en technologie AMS 0.35 $\mu\text{m}$ , pour trois longueurs de canal [Josse,2003]. Il est donc souhaitable d'imposer pour  $M_2$  des valeurs de  $V_{DS}$  relativement élevées pour garantir le fonctionnement en zone de « source de courant ». La figure 5.2 montre que  $V_A$  devient relativement importante seulement pour des tensions  $V_{DS} \geq 0.8\text{V}$ .

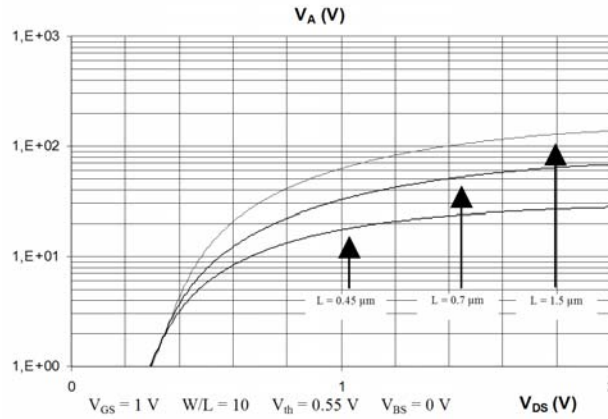


Fig. 5.2 : Tension "d'Early"  $V_A$  représentant la conductance  $g_{DS}$  en fonction de la tension  $V_{DS}$  pour 3 longueurs de canal avec un rapport  $W/L$  constant de 10 en technologie AMS0.35 $\mu\text{m}$ . [Josse,2003]

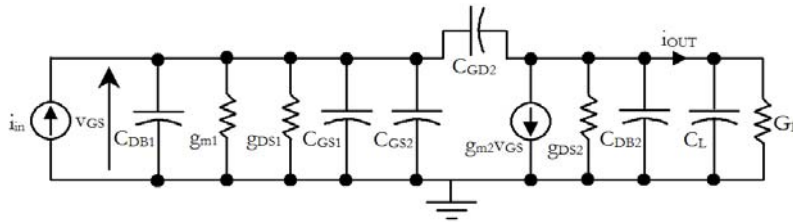


Fig. 5.3 : Schéma petit signal du miroir de courant simple

La figure 5.3 présente le schéma équivalent petit signal du miroir de courant simple. En régime petit signal, le transistor  $M_1$  câblé en transdiode, présente, grâce à la contre réaction parallèle entre drain et grille, une forte valeur de conductance dynamique ( $g_{m1}+g_{DS1}$ ). Cette conductance est « vue » par la grille de  $M_2$ . Nous pouvons associer à l'entrée, c'est-à-dire « vue » par la grille de  $M_2$ , une constante de temps  $\tau_1$  qui prend en compte l'effet Miller sur la capacité  $C_{GD2}$ . Avec l'hypothèse d'une attaque en courant idéale :

$$\tau_1 = \frac{C_{DB1} + C_{GS1} + C_{GD2} \left[ 1 + g_{m2} / (g_{DS2} + G_L) \right]}{g_{DS1} + g_{m1}} \quad (5-3)$$

La constante de temps  $\tau_2$  associée au nœud de sortie, est, quant à elle, exprimée par :

$$\tau_2 = \frac{C_{DB2} + C_{GS2} + C_L}{g_{DS2} + G_L} \quad (5-4)$$

Dans le cas pratique, le transistor  $M_2$  est proche d'une attaque en tension sur sa grille. Avec l'hypothèse  $g_{m1} \gg (g_{DS2} + G_L)$ , nous avons  $\tau_2 \gg \tau_1$ . Dans ce cas, l'effet Miller peut être négligé et la constante de temps associée à l'entrée est alors  $\tau_1 \approx (C_{DB1} + C_{GS1} + C_{GD2})/g_{m1}$ . La fréquence de coupure associée  $f_1 = (1/2\pi\tau_1) = [g_{m1}/2\pi(C_{DB1} + C_{GS1} + C_{GD2})]$  est alors à comparer avec le produit gain bande passante d'une source commune avec attaque en tension à l'entrée et une admittance de charge extérieure nulle :  $f_{BW} \approx [g_m/2\pi(C_{DB} + C_{GS})]$ .

Nous pouvons alors admettre que la valeur de  $f_1$  est une fraction de  $f_{BW}$  :  $f_1 = a \cdot f_{BW}$  avec  $a$  approximativement égal à 0.5. Cette remarque permettra de situer rapidement, en première approximation, les pôles associés aux circuits transdiodes, en particulier lors de la conception de circuits bouclés de type amplificateur opérationnel.

Avec des technologies submicroniques basse-tension, et avec une longueur de canal  $L$  proche de la valeur minimale, nous recherchons souvent à améliorer les caractéristiques de sortie de la source de courant, car le paramètre  $\lambda$  est souvent de trop forte valeur dans ces technologies. L'une des méthodes consiste à maintenir quasi constante la différence de potentiel  $V_{DS}$  du transistor qui donne le courant de sortie. Pour cela, un second transistor positionné en « série » reçoit la variation de la tension de sortie, alors que le premier impose le courant. Dans ce type de circuit, nous disposons principalement du miroir de courant Wilson (§1.2) et des miroirs de courant cascode (§1.3).

## 1.2 Le miroir de courant Wilson

### 1.2.1 Principe

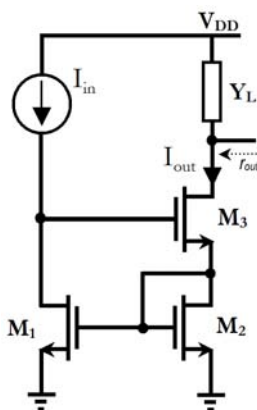


Fig. 5.4 : Miroir de courant Wilson

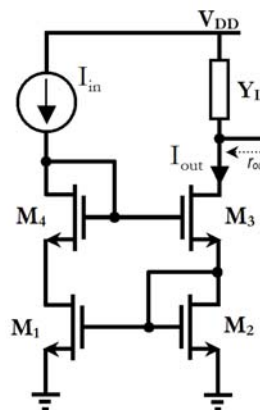


Fig. 5.5 : Miroir de courant Wilson amélioré

Afin de réduire la conductance de sortie du miroir de courant simple, la structure Wilson peut être utilisée (Fig.5.4). Le transfert en courant est identique au miroir de courant classique avec une erreur systématique générée puisque  $V_{DS1} = V_{GS2} + V_{GS3}$  :

$$\frac{I_{out}}{I_{in}} = \frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 (V_{GS2} + V_{GS3})} \quad (5-5)$$

La plage de tension admissible en sortie est dégradée d'une tension grille-source supplémentaire en comparaison avec le miroir de courant classique :  $V_{OUT} > V_{GS2} + V_{DSsat3}$ , soit  $V_{OUT} > 2V_{DSsat} + V_{th}$ .

La conductance de sortie du miroir Wilson est plus faible que celle du simple miroir de courant :

$$g_{out} \approx \frac{g_{m2} g_{DS3} g_{DS1}}{g_{m1} g_{m3}} \quad (5-6)$$

mais l'écart de polarisation  $V_{DS1} \approx 2V_{DS2}$  implique que les performances sont « moyennes ».

## 1.2.2 Miroir de courant Wilson amélioré

Afin de supprimer l'erreur systématique dans le transfert en courant du miroir et de réduire la conductance de sortie, il est souhaitable que  $M_1$  et  $M_2$  présentent les mêmes tensions  $V_{DS}$ . Cela peut-être réalisé avec l'ajout d'un transistor supplémentaire  $M_4$  (Fig. 5.5), ce qui constitue le miroir de courant Wilson amélioré. Ce miroir affranchit l'erreur de recopie en courant car  $V_{DS1} = V_{DS2} = V_{GS2}$  dès lors que  $V_{GS3} = V_{GS4}$ .

La plage de tension admissible en sortie demeure inchangée :  $V_{OUT} > V_{GS2} + V_{DSsat3}$ , soit  $V_{OUT} > 2V_{DSsat} + V_{th}$ .

La conductance de sortie du miroir est approximativement équivalente à celle du miroir de courant Wilson classique :

$$g_{out} \approx \frac{g_{m2} g_{DS3} (g_{DS1} + g_{m4})}{g_{m1} g_{m3}} \propto \frac{g_{DS}}{|a_{v0}|} \quad \text{avec} \quad |a_{v0}| = \frac{g_m}{g_{DS}} \quad (5-7)$$

Ce qui met en évidence que la conductance de sortie  $g_{out}$  correspond à celle de  $M_3$  divisée par le gain en tension intrinsèque quasi statique  $a_{v0}$  d'une source commune avec une conductance de charge extérieure nulle. Selon la géométrie (longueur du canal et rapport  $W/L$ ) et la valeur de

$I_D$ , nous pouvons remarquer que  $a_{v0}$  varie dans une gamme variant de 30 à 300 environ dans le régime de forte inversion (Fig. 2.12).

## 1.3 Les miroirs de courant cascode

### 1.3.1 Cascode simple

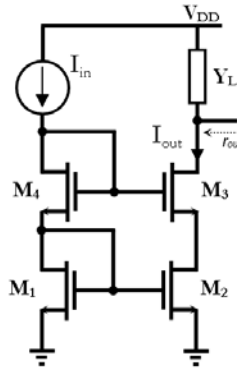


Fig. 5.6 : Miroir de courant cascode simple

Le miroir de courant cascode (Fig. 5.6) est une méthode alternative, plus largement utilisée, afin de réduire l'admittance de sortie des miroirs de courant. Cette caractéristique est réalisée grâce à une contre-réaction série appliquée sur la source du transistor de sortie.

Comme pour le miroir de courant Wilson amélioré, le miroir de courant cascode s'affranchit de la dépendance entre les deux tensions drain-source de  $M_1$  et  $M_2$  :  $V_{GS4} + V_{GS1} = V_{GS3} + V_{DS3}$ , d'où  $V_{DS1} = V_{GS1} = V_{DS2}$  dès lors que  $V_{GS3} = V_{GS4}$ . L'expression du transfert en courant est alors identique à celle du miroir de courant Wilson amélioré :

$$\frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \quad (5-8)$$

De même, la plage de tension admissible en sortie est limitée par la nécessaire polarisation du transistor  $M_3$  en zone de saturation :  $V_{OUT} > V_{GS2} + V_{DSsat3}$ , soit  $V_{OUT} > 2V_{DSsat} + V_{th}$ .

Le transistor  $M_3$  est proche d'une configuration dynamique grille commune. La source de  $M_3$  subit une quasi attaque en courant par  $M_2$  dont la conductance de sortie est  $g_{DS2}$ .

La figure 5.7 permet de déterminer l'expression de la conductance de sortie du miroir ( sans prendre en compte l'effet substrat ). La contre-réaction série donne une réduction de la conductance de sortie :

$$g_{out} \approx \frac{g_{DS3}}{1 + g_{m3} / g_{DS2}} \quad (5-9)$$

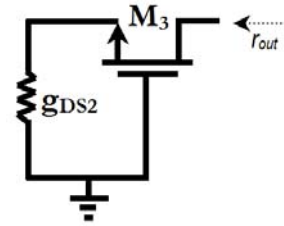


Fig. 5.7 : Schéma équivalent pour la détermination de la conductance de sortie du miroir cascode

Pour des structures dont les longueurs du canal sont voisines de la longueur minimale et selon la plage des intensités de courant  $I_{D3}$  de polarisation, nous avons un facteur  $g_m/g_{DS} \approx 30$  à 300 environ.

### 1.3.2 Principe des miroirs de courant cascode à large excursion

Afin d'améliorer la plage de tension admissible en sortie du miroir de courant cascode, la tension de polarisation de la grille de  $M_3$  doit être la plus faible possible mais suffisante pour assurer le fonctionnement en zone de saturation. En d'autres termes, il est nécessaire d'ajouter une source de tension  $\Delta V$  plus petite que la différence de potentiel  $V_{GS4}$  de la figure 5.6 (Fig. 5.8).

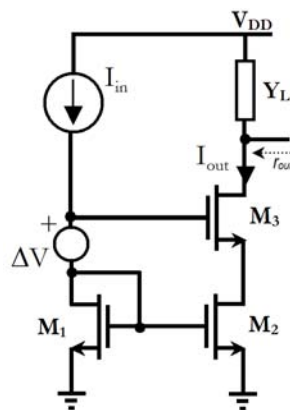


Fig. 5.8 : Schéma de principe du miroir de courant cascode à large excursion

Ces circuits seront alors considérés comme miroir de courant à « large excursion » en raison de leur plage de tension admissible en sortie ( $V_{OUT} > 2V_{DSSat}$ ). Les figures 5.9 et 5.10 sont des variantes d'implémentation du miroir de courant cascode à large excursion.

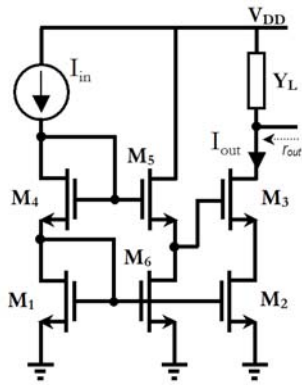


Fig. 5.9 : Miroir de courant cascode à large excursion (I)

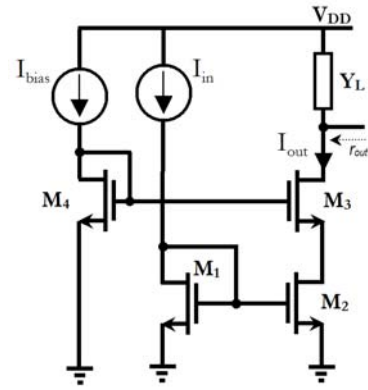


Fig. 5.10 : Miroir de courant cascode à large excursion (II)

### 1.3.3 Le miroir de courant cascode amélioré à grande excursion

Un miroir de courant très utilisé dans la conception de circuits intégrés analogiques dans un environnement basse tension est le miroir de courant cascode à large excursion [Sooch,1985] [Babanezhad,1987] (Fig. 5.11).

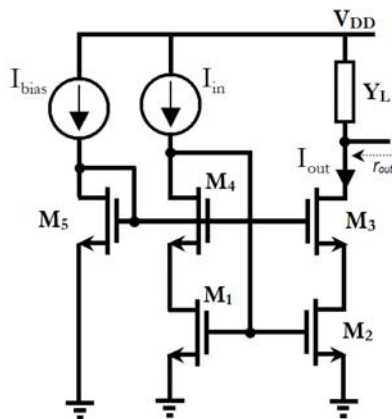


Fig. 5.11 : Miroir de courant cascode amélioré à large excursion

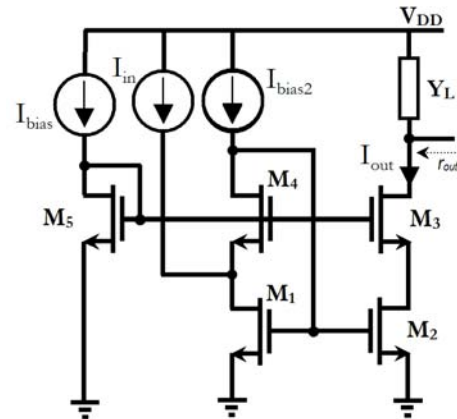


Fig. 5.12 : Miroir de courant cascode amélioré à large excursion à courant injecté

Afin que le circuit possède la plus grande excursion en tension en sortie, ce circuit exploite la limite de polarisation  $V_{DSsat}$  en zone de saturation des transistors  $M_1$  et  $M_2$ . Les transistors  $M_1$  et  $M_4$  sont câblés en configuration de « diode composite », dans le sens où la grille de  $M_1$  est reliée au drain de  $M_4$ . Le rôle du transistor  $M_4$  est alors d'assurer une tension drain-source de  $M_1$  plus faible que dans un circuit du type cascode simple (Fig. 5.6). Il permet surtout de rendre cette tension équivalente à la tension drain-source du transistor  $M_2$ , et ce, afin d'assurer une recopie en courant du miroir très peu dépendante du  $\lambda$ . Sans la présence du transistor  $M_4$  (Fig. 5.11), la recopie en courant serait alors dépendante du paramètre  $\lambda$ .



En partant de la polarisation des transistors  $M_1$  et  $M_2$  que nous voulons à la limite de la saturation,  $V_{DS1}=V_{DS2}=V_{DSsat}$ , nous pouvons exprimer une condition sur les tensions grille-source de  $M_3$  et  $M_4$ :

$$\begin{aligned} V_{G3,4} &= V_{GS5} = V_{DS1} + V_{GS4} = V_{DS2} + V_{GS3} \\ \text{d' où } V_{G3,4} &= V_{GS4} + V_{DSsat} = V_{GS3} + V_{DSsat} \\ \text{et ainsi } V_{GS3} &= V_{GS4} \end{aligned} \quad (5-10)$$

Posons  $V_{GS4}=V_{GS3}=V_{thN}+\alpha V_{DSsat}$ . La tension de grille commune  $V_{G3,4}$  des deux transistors  $M_3$  et  $M_4$  s'exprime alors sous la forme :

$$V_{G3,4} = V_{GS5} = V_{thN} + (\alpha + 1)V_{DSsat} \quad (5-11)$$

A partir de ces équations, nous pouvons écrire les expressions des courants drain des transistors  $M_1$  à  $M_5$ :

$$\begin{aligned} I_{D1,2} &= K_N \left( \frac{W}{L} \right)_{1,2} \left( V_{GS1,2} - V_{thN} \right)^2 = K_N \left( \frac{W}{L} \right)_{1,2} \left( V_{DSsat} \right)^2 \\ I_{D3,4} &= K_N \left( \frac{W}{L} \right)_{3,4} \left( V_{GS3,4} - V_{thN} \right)^2 = K_N \left( \frac{W}{L} \right)_{3,4} \left( \alpha V_{DSsat} \right)^2 \\ I_{D5} &= K_N \left( \frac{W}{L} \right)_5 \left( V_{GS5} - V_{thN} \right)^2 = K_N \left( \frac{W}{L} \right)_5 \left[ (\alpha + 1)V_{DSsat} \right]^2 \end{aligned} \quad (5-12)$$

Ainsi, pour obtenir les mêmes courants drain  $I_{D1}=I_{D2}$ , et en supposant que le courant de polarisation du transistor  $M_5$   $I_{bias}=I_{D5}$  s'exprime en fonction du courant de polarisation de  $I_{in}$ , nous pouvons en déduire une condition sur les rapports géométriques des transistors :

$$\begin{aligned} I_{bias} &= I_{D5} = I_{in} / n \\ I_{bias} &= K_N \left( \frac{W}{L} \right)_5 \left[ (\alpha + 1)V_{DSsat} \right]^2 = K_N \left( \frac{1}{n} \right) \left( \frac{W}{L} \right)_{1,2} \left( V_{DSsat} \right)^2 \\ I_{D1,2} &= I_{D3,4} = K_N \left( \frac{W}{L} \right)_{1,2} \left( V_{DSsat} \right)^2 = K_N \left( \frac{W}{L} \right)_{3,4} \left( \alpha V_{DSsat} \right)^2 \end{aligned} \quad (5-13)$$

Les rapports géométriques des transistors respectant les conditions ci-dessus sont résumés dans le tableau suivant (Tab. 5-1) :

	$M_1$	$M_2$	$M_3$	$M_4$	$M_5$
Rapport (W/L)	(W/L)	(W/L)	(W/L)/ $\alpha^2$	(W/L)/ $\alpha^2$	(W/L)/ $[n.(\alpha+1)^2]$

Tab. 5-1 : Rapports W/L des transistors MOS du circuit cascode amélioré à grande excursion en fonction des paramètres  $n$  et  $\alpha$ .

La recopie en courant est donc, dans son principe, insensible aux effets de modulation de longueur du canal, les deux transistors  $M_1$  et  $M_2$  présentant la même tension drain-source quasi-constante à leurs bornes. De cette tension, de valeur minimale  $V_{DSsat}$ , la plage en tension admissible en sortie du miroir s'en déduit :

$$V_{OUT} > V_{DSsat1} + V_{DSsat3} = (\alpha + 1)V_{DSsat} \quad (5-14)$$

La valeur de  $\alpha$  permettant d'obtenir la plus grande plage en tension en sortie est alors  $\alpha=1$ , pour laquelle  $V_{OUT} > 2V_{DSsat}$ .

La conductance de sortie du miroir est sensiblement identique à celle du miroir de courant cascode classique.

Nous devons finalement noter que, dans cet exemple, nous avons supposé l'intensité de courant  $I_{in}$  constante. En général, le courant  $I_{in}$  étant d'intensité variable, deux choix sont possibles quant à la valeur de l'intensité de courant  $I_{bias}$  :

- Soit, de prendre le pire cas de la valeur maximale de l'intensité de courant  $I_{in}$  appliquée dans le circuit, et ce, afin d'assurer que tous les transistors demeurent en zone de saturation. Cette solution impliquera alors que les tensions drain-source des transistors  $M_2$  et  $M_3$  soient supérieures à la tension minimale nécessaire pour demeurer en zone de saturation (mis à part quand l'intensité de courant maximale  $I_{in\_max}$  est appliquée dans le miroir), et donc une limitation de la plage de tension en sortie.
- Soit, de prendre la valeur nominale de l'intensité de courant  $I_{in}$  appliquée dans le circuit. Dans ce cas, certains transistors entrent en zone de conduction, et la conductance de sortie du miroir est dégradée. Néanmoins, ce phénomène ayant lieu pour les fortes intensités de courant  $I_{in}$  appliquées en entrée du circuit, donc, en général, dans le cas du fonctionnement du circuit global dans le régime des forts signaux, cette effet peut être toléré, par exemple dans le cas d'un régime transitoire.

Enfin, nous signalerons que ce circuit peut avoir des variantes, en modifiant le nœud d'entrée du courant  $I_{in}$  par l'ajout d'une source de courant indépendante  $I_{bias2}$ , assurant la

polarisation en courant du miroir (Fig. 5.12). Une variante de ce circuit sera retenue comme charge active du circuit différentiel d'un amplificateur opérationnel rail-to-rail.

## 1.4 Comparaison

Nous venons de présenter quelques miroirs de courant pouvant être utilisés dans la conception de circuits intégrés analogiques dans un environnement basse tension. Les caractéristiques en terme de conductance de sortie et de plage de tension admissible en sortie sont rappelées (Tab. 5-2).

Les caractéristiques de sortie  $I_{OUT}(V_{OUT})$  à  $I_{in}=cte$  représente les performances de ces miroirs pour une technologie CMOS 0.35 $\mu$ m (Fig. 5.13). Nous retrouvons sur ces abaques représentatives, l'ensemble des paramètres statiques définis précédemment.

Le miroir de courant classique possède la plus large excursion en tension de sortie, dans la théorie. Néanmoins, nous pouvons remarquer que son comportement semble sensiblement équivalent à celui du miroir de courant cascode. Pour le miroir de courant classique, la tension minimum en sortie nécessaire  $V_{DSsat}$  conduit le miroir dans son régime normal de fonctionnement. Pourtant et comme nous l'avons déjà précisé, pour les faibles valeurs  $V_{OUT}$  le miroir souffre d'une mauvaise recopie en courant due aux effets de modulation de longueur des canaux. Par contre, le miroir de courant cascode bien que de comportement similaire pour les faibles valeurs  $V_{OUT}$ , n'est pas dans son régime de fonctionnement normal tant que  $V_{OUT} < 2V_{DSsat} + V_{th}$ . Cependant, pour des faibles tensions de sortie, les transistors  $M_2$  et  $M_3$  (Fig. 5.7) entrent progressivement en zone ohmique, on pourra alors noter que la résistance de sortie est encore élevée du fait de la présence de la contre-réaction série. Ainsi, on peut considérer que la condition  $V_{OUT} \leq 2V_{DSsat}$  est suffisante pour assurer le fonctionnement en miroir de courant mais au détriment du facteur de transfert de recopie du courant. C'est ce que nous pouvons remarquer, puisque lorsque cette tension est atteinte ( $\sim 0.8V$ ), le miroir est dans son régime normal de fonctionnement et la conductance de sortie très faible permet une très bonne recopie en courant.

Les miroirs de courant Wilson et Wilson Amélioré ont un comportement particulier. Le miroir de courant Wilson souffre d'une très mauvaise recopie en courant quelle que soit la valeur de  $V_{OUT}$  en raison de l'écart  $V_{DS1} \approx 2V_{DS2}$ . Ce miroir est donc à proscrire en tout terme. Le miroir de courant Wilson amélioré corrige ce problème mais l'excursion en tension minimale nécessaire en sortie demeure élevée et n'est pas satisfaisante dans un environnement basse-tension. De plus, en comparaison avec un miroir de courant cascode, le miroir n'est pas à même de fournir de

courant suffisant tant que l'amplitude  $V_{OUT}$  n'est pas supérieur à  $V_{th}$  en raison de la nécessaire polarisation de  $M_2$  dans un régime de forte inversion ( $M_2$  est monté en transdiode).

Le miroir de courant le plus adapté pour l'environnement basse tension est alors le miroir de courant cascode amélioré à large excursion. La copie en courant sur sa plage de fonctionnement est identique à celle d'un miroir de courant cascode, mais l'excursion en tension minimale en sortie est beaucoup plus faible ce qui est très intéressant lorsque le budget en tension est limité.

Nous verrons, par la suite, que le choix du miroir de courant cascode amélioré à large excursion a été une solution largement adoptée à travers nos diverses réalisations.

MIROIR DE COURANT	IMPEDANCE DE SORTIE	EXCURSION EN SORTIE
(1) CLASSIQUE	$g_{DS2}$	$V_{DSsat}$
(2) WILSON	$\frac{g_{m2} g_{DS1} g_{DS3}}{g_{m1} g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	$2V_{DSsat} + V_{th}$
(3) WILSON AMELIORE	$\frac{g_{DS2} g_{DS3}}{g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	
(4) CASCODE SIMPLE	$\frac{g_{DS2} g_{DS3}}{g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	
(6) CASCODE À LARGE EXCURSION (I)	$\frac{g_{DS2} g_{DS3}}{g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	
(7) CASCODE A LARGE EXCURSION (II)	$\frac{g_{DS2} g_{DS3}}{g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	$2V_{DSsat}$
(8) CASCODE AMELIORE A LARGE EXCURSION	$\frac{g_{DS2} g_{DS3}}{g_{m3}} \propto \frac{g_{DS}^2}{g_m}$	

Tab. 5-2 : Paramètres de sortie caractéristiques des miroirs de courant

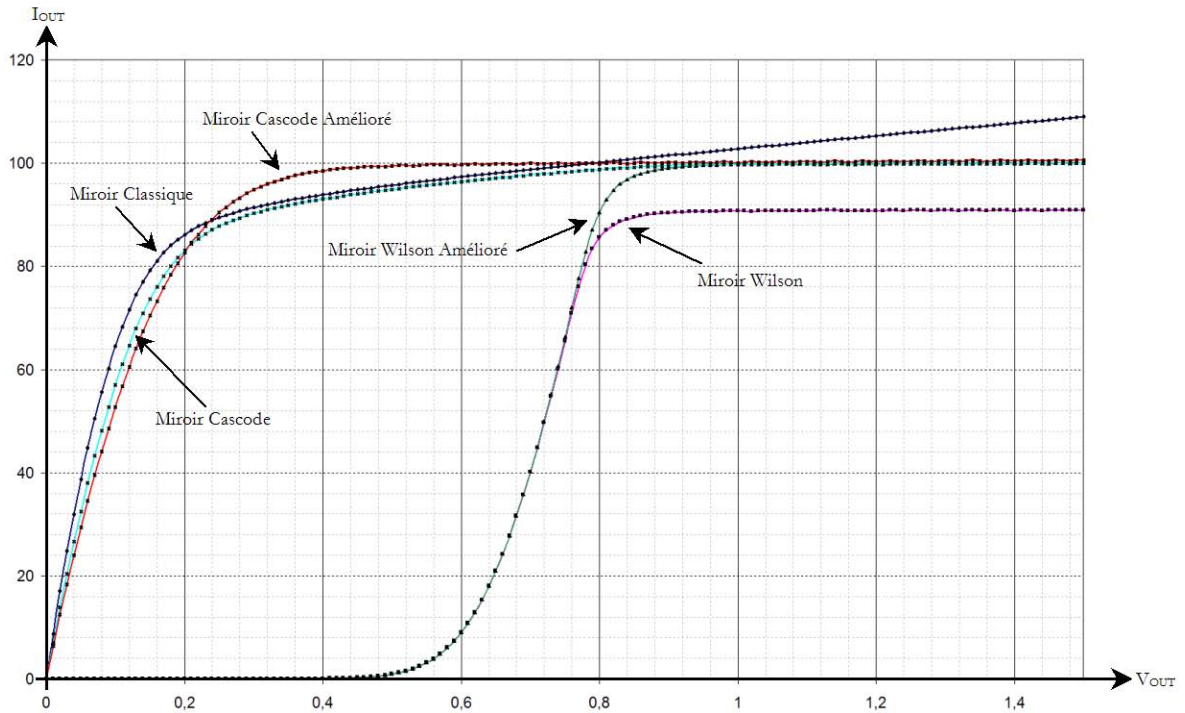


Fig. 5.13 : Caractéristiques de sortie des miroirs de courant (1)(2)(3)(4)(8) en technologie CMOS 0.35 $\mu$ m. Courant de référence=100 $\mu$ A,  $V_{GS}$ =787mV pour  $(W/L)=10$  et  $L=0.35\mu$ m,  $V_{th0}=600$ mV.

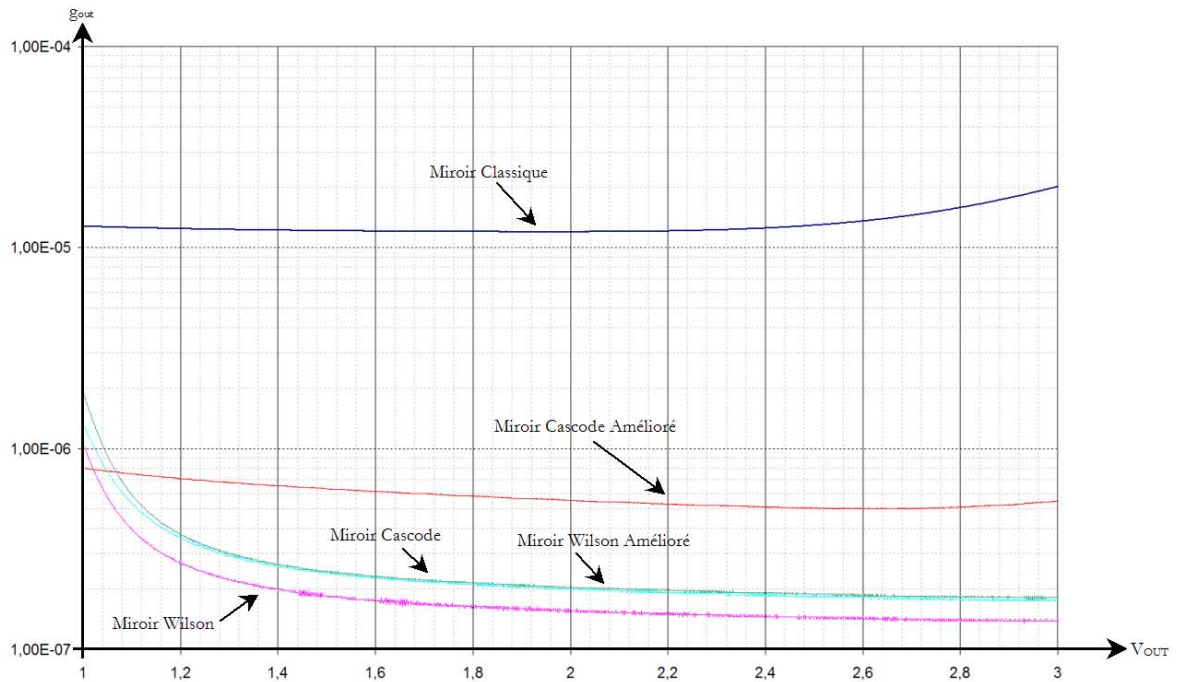


Fig. 5.14 : Conductance de sortie des miroirs de courant (1)(2)(3)(4)(8) dans leur plage de tension de fonctionnement en technologie CMOS 0.35 $\mu$ m. Courant de référence=100 $\mu$ A,  $V_{GS}$ =787mV pour  $(W/L)=10$  et  $L=0.35\mu$ m,  $V_{th0}=600$ mV.

## 2. Les amplificateurs opérationnels asymétriques CMOS basse tension rail-to-rail

Comme nous venons de le discuter, une méthode valide pour améliorer les rapports signal à bruit des amplificateurs consiste à utiliser des signaux sur une dynamique la plus large possible : c'est le concept de rail-to-rail, en référence aux potentiels positif et négatif de la tension d'alimentation. L'utilisation de tels signaux rail-to-rail impose des conditions sur les amplitudes des tensions de mode commun admissibles par les étages d'entrées, ainsi que sur la plage utile des amplitudes du signal de sortie.

On peut alors montrer [Hogervorst, 1996] que l'obtention d'un rapport signal à bruit maximum impose des conditions dépendantes de la structure de l'amplificateur bouclé considéré :

- L'amplificateur inverseur : la tension maximale de sortie se doit d'être rail-to-rail, l'entrée en mode commun peut être polarisée à une tension fixe.
- L'amplificateur non-inverseur (le signal d'entrée étant appliquée sur l'entrée « + ») : la tension de sortie se doit d'être rail-to-rail, la plage d'entrée mode commun peut néanmoins ne pas être rail-to-rail si l'amplificateur non inverseur présente un gain en tension supérieur à l'unité.

### 2.1 Les étages d'entrée

Les transistors qui constituent la paire différentielle à sources couplées de l'étage d'entrée influent sur les caractéristiques électriques du circuit. Indépendamment de la technologie utilisée, ces caractéristiques influencées sont :

- Le gain quasi-statique de l'amplificateur en boucle ouverte, car il dépend en partie de la transconductance équivalente des transistors d'entrée.
- La tension de décalage de l'amplificateur, car elle dépend de l'appariement des transistors de la paire différentielle, mais également des paires de transistors constituant la charge active.
- Le bruit total de l'amplificateur que nous attribuerons par la suite au bruit généré par les transistors d'entrée et par leur charge active.

Comparativement aux transistors bipolaires, les transistors MOS présentent de très bas courants d'entrée de l'amplificateur en raison de l'impédance quasi-infinie de leur grille. La tension de décalage résultante, dépendante de leur appariement est améliorée en comparaison aux

transistors bipolaires pour lesquels des dispersions de la valeur finie du gain en courant  $\beta$  sont sources d'un courant de décalage. Par contre, les transistors MOS possèdent des transconductances équivalentes plus faibles que les transistors bipolaires lorsque l'on cherche à concevoir des circuits à bande passante élevée.

### 2.1.1 Mode Commun admissible de la simple paire différentielle MOS à sources couplées

L'étage différentiel d'entrée classique à sources couplées est composé de deux transistors MOS appariés. La plage de mode commun admissible  $V_{mc}$  en entrée est limitée par la nécessaire polarisation des transistors en régime de saturation. Avec l'hypothèse que les charges des drains aient une différence de potentiels relativement petite (en statique et en régime dynamique),

$$\left( V_{SS} + V_{GS(N)} + V_{DSsat} \right) \leq V_{mc} \leq V_{DD} \text{ pour la paire différentielle canal N (Fig. 5.15)}$$

$$V_{SS} \leq V_{mc} \leq \left( V_{DD} - V_{DSsat} - V_{SG(P)} \right) \text{ pour la paire différentielle canal P (Fig. 5.16)}$$

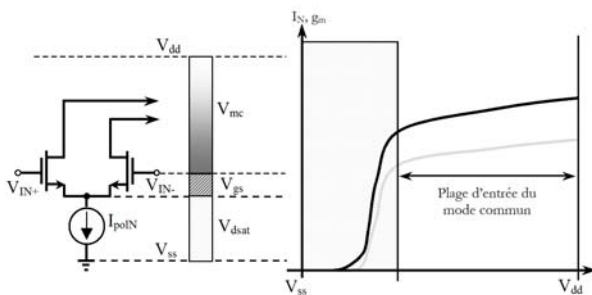


Fig. 5.15 : Paire différentielle canal N

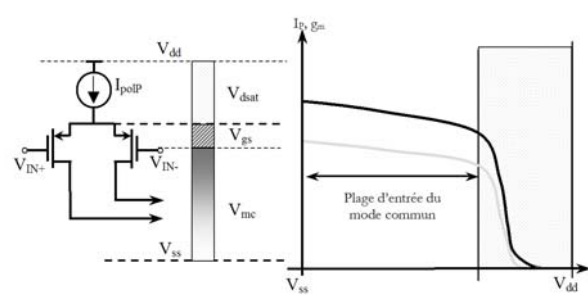


Fig. 5.16 : Paire différentielle canal P

L'utilisation de la paire différentielle au-delà de sa plage de polarisation admissible définie ci-dessous impliquera alors nécessairement le passage en zone de conduction, soit de la paire différentielle, soit du composant fonctionnant en « source de courant », ce qui entraîne une diminution du courant de polarisation et une diminution de la transconductance nominale du circuit. Si tel est le cas, le rapport de réjection du mode commun (RRMC) sera détérioré. Enfin, nous noterons que cette plage est une plage maximale théorique puisque, en pratique, la paire différentielle est généralement associée à un miroir de courant comme charge active.

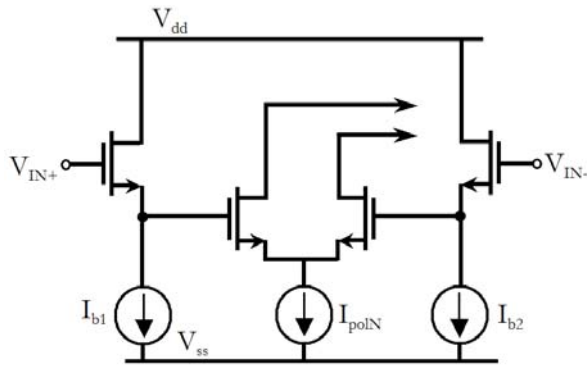


Fig. 5.17 : Translation d'un  $V_{GS}$  de la plage admissible de mode commun par valeur positive

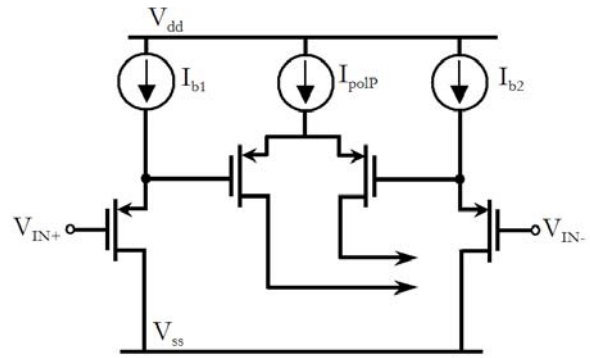


Fig. 5.18 : Translation d'un  $V_{GS}$  de la plage admissible de mode commun par valeur négative

Si nous n'introduisons pas deux sources suiveuses de même type en entrée de la paire différentielle (Fig. 5.17, Fig. 5.18), les plages de mode commun admissibles sont donc limitées en dessous des deux rails d'alimentation. Par exemple, pour une charge active constituée d'un miroir de courant simple :

$$\left( V_{SS} + V_{GS(N)} + V_{DSsat} \right) \leq V_{mc} \leq \left( V_{DD} - V_{GS(P)} - V_{thN} \right) \text{ pour la paire différentielle canal N}$$

$$\left( V_{SS} + V_{GS(N)} + V_{thP} \right) \leq V_{mc} \leq \left( V_{DD} - V_{DSsat} - V_{SG(P)} \right) \text{ pour la paire différentielle canal P}$$

En prenant en compte les tensions  $V_{GS}$  de la source de courant et de la charge active, l'utilisation d'une paire différentielle simple ne sera envisageable dans un environnement basse-tension que dans le cas où la plage de mode commun admissible en entrée du circuit est restreinte. Dans nos applications dédiées au traitement des signal vidéo CCD, nous utiliserons alors des étages d'entrée rail-to-rail.

## 2.1.2 Complémentarité des transistors MOS

Afin d'étendre la plage de mode commun admissible en entrée du circuit, on requiert généralement la mise en parallèle de deux paires différentielles MOS complémentaires, une paire canal N, l'autre canal P (Fig. 5.19).



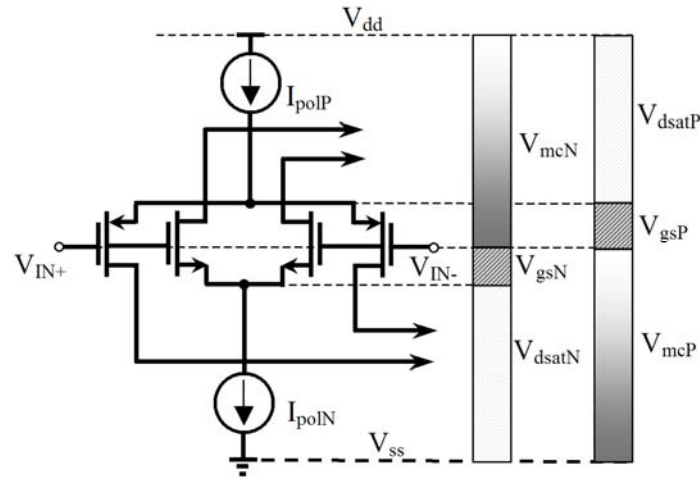


Fig. 5.19 : Double Paires différentielles canal N/P

La paire différentielle PMOS permet ainsi d'atteindre le rail négatif  $V_{SS}$  tandis que la paire différentielle NMOS permet d'atteindre le rail positif  $V_{DD}$ . Une condition nécessaire s'impose sur la tension d'alimentation minimale afin d'assurer la polarisation des transistors en régime de saturation  $(V_{DD} - V_{SS})_{\min} \geq 4V_{DSsat} + V_{thN} + V_{thP}$ . Lorsque cette condition est respectée, le circuit d'entrée fonctionne selon trois régimes distincts en fonction des tensions de mode commun d'entrée :

- pour des tensions faibles (I) (c'est-à-dire pour les plus négatives), seule la paire différentielle PMOS conduit;
- pour des tensions élevées (III), seule la paire différentielle NMOS conduit ;
- pour des tensions intermédiaires (II), les deux paires différentielles sont actives.

Généralement, les courants différentiels issus des deux paires doivent être sommés au niveau de la même charge active. Ceci a pour conséquence que ce triple régime de fonctionnement du circuit génère une variation de la transconductance  $G_m$  du circuit. En effet, sous les conditions de régime de forte inversion, la transconductance d'un transistor MOS est  $g_m = \sqrt{2\mu C_{ox} (W/L) I_D}$ . La transconductance  $G_m$  de l'étage total d'entrée varie dans le cas extrême d'un facteur deux sur l'ensemble de la plage de mode commun d'entrée ( $G_m = g_{mN} = g_{mP} = g_m$  pour les régimes (I) et (III),  $G_m = g_{mP} + g_{mN} = 2g_m$  pour le régime (II)). Cette variation extrême doit alors être considérée avec précaution, notamment lors de la compensation en fréquence d'un circuit rebouclé. En effet, l'ajout d'un zéro supplémentaire dans la fonction de transfert d'un circuit amplificateur pour compenser un pôle du circuit ne pourra être en adéquation sur l'ensemble de la plage de mode commun admissible en entrée.

### 2.1.3 Etages d'entrée rail-to-rail à transconductance totale constante

La sensibilité de la transconductance en fonction de l'amplitude de la tension de mode commun risque d'impliquer un mauvais Rapport de Réjection de la tension de Mode Commun (RRMC) de l'amplificateur opérationnel. Il est ainsi préférable d'introduire un dispositif supplémentaire afin de contrôler ou maintenir constante la transconductance du circuit différentiel.

Nous pouvons regrouper les méthodes de compensation de la variation de la transconductance totale selon plusieurs principes dominants :

- Pour un étage d'entrée dont les transistors fonctionnent en régime de faible inversion, il faut assurer que la somme des courants de polarisation des paires différentielles demeure constante (Fig. 5.20) [Huijsing,1985][Wu,1994][Huijsing,1995]. En effet, la trans-conductance de chacun des transistors est proportionnelle au courant drain.
- Pour un étage d'entrée dont les transistors fonctionnent en régime de forte inversion, il faut maintenir la somme  $\sqrt{I_N} + \sqrt{I_P}$  constante (Fig. 5.21) [Hovergorst,1992] [Sakurai,1996][Botma,1993].
- Utiliser des commutateurs analogiques afin de contrôler le courant de polarisation des paires différentielles (Fig. 5.22) [Hovergorst,1992][Hovergorst,1994][Hovergorst,1995] [Huijsing,1995].
- Utiliser une tension de référence afin de garder la somme des tensions grilles-sources des transistors des paires différentielles  $V_{GSN} + |V_{GSP}|$  constante (Fig. 5.23) [Hovergorst,1996].
- Utiliser un circuit translateur de tension afin de changer la polarisation des paires différentielles [Wang,1999].

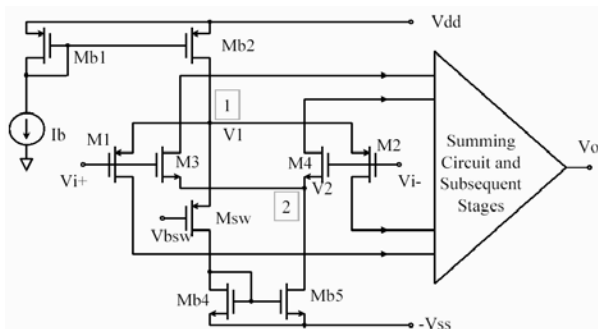


Fig. 5.20 : Somme des courants constante [Huijsing,1985]

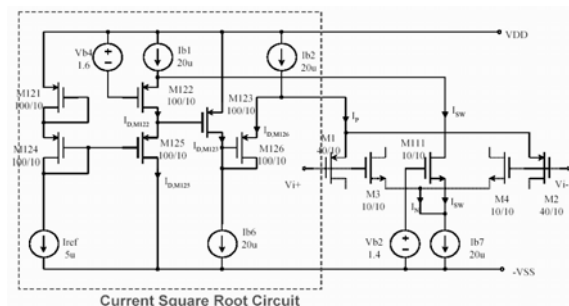


Fig. 5.21 : Somme  $\sqrt{I_N} + \sqrt{I_P}$  constante [Hovergorst,1992]

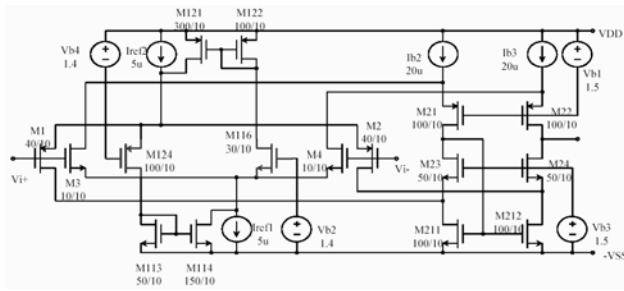


Fig. 5.22 : Avec commutateurs analogiques [Hovergorst,1994a]

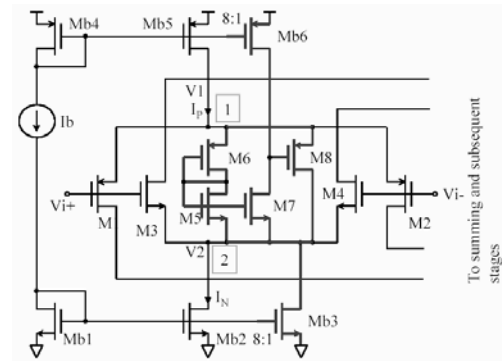


Fig. 5.23 : Avec Diode Zener [Hogervorst 1996]

Chacune de ces méthodes de compensation de variation de la transconductance globale présente des avantages et des inconvénients. Le choix d’une architecture pour l’instrumentation future devra prendre en compte quelques critères primordiaux : ne pas dégrader la vitesse de fonctionnement du circuit, être adapté à un environnement basse-tension, et pour des applications large bande, prendre en compte le régime de forte inversion. Les caractéristiques électriques de ces architectures peuvent ainsi être qualifiés (Tab. 5-3) [Hovergorst,1996b].

Dans le cadre de notre étude, nous avons cherché à mettre en oeuvre quelques cellules élémentaires du traitement analogique vidéo dans le cadre des spécifications de l’instrumentation complète. Ainsi, nous avons privilégié la démonstration. En appliquant des précautions de conception au niveau notamment de la compensation en fréquence des circuits en boucle fermée, nous avons retenu une structure « classique » basée sur l’utilisation de deux paires différentielles dont la variation de la transconductance totale n’est pas compensée en fonction de la plage de tension de mode commun.

	SIMPLE PAIRE DIFF	IN+IP=CSTE	$\sqrt{IN}+\sqrt{IP}=CSTE$	COMMUTATEURS	DIODE/ZENER
BASSE-TENSION	+ / ++	+	+	+	+
CONSUMMATION	++	++	0	+	+
PLAGE DE MODE COMMUN	- / --	++	++	++	++
GM EN FAIBLE INVERSION	++	++	n.a.	++	n.a.
GM EN INVERSION MODEREE	++	0	n.a.	n.a.	n.a.
GM EN FORTE INVERSION	++	-	+	+	++
TRMC	+	-	-	-	-
COMPORTEMENT A HAUTES FREQUENCES	++	+	+	++	0
SUPERFICIE UTILISEE	++	+	0	+	+

Tab. 5-3 : Propriétés des structures d’étages d’entrée (Fig. 5.20-Fig. 5.23) [Hovergorst,1996b]  
 (++) excellent, + bon, 0 moyen, - médiocre, -- très médiocre, n.a non applicable)

## 2.2 Les étages de sortie

L'étage de sortie doit permettre de délivrer une certaine amplitude ou puissance à travers une charge extérieure, tout en gardant des niveaux de distorsion faibles.

En fonction du type de charges, les structures d'étage de sortie se différencient. En effet, pour les circuits à capacités commutées ayant de grandes charges capacitatives à piloter, le choix se porte naturellement sur des étages de classe A. Le choix se portera alors sur une source commune classique, le cascode ou le cascode régulé. En terme de performances, l'étage présentera un grand gain en tension de plateau au détriment de la dynamique de sortie.

Pour des circuits ayant à piloter (souvent en dehors de la puce) des charges d'admittance quelconque, on recherchera, afin de réduire la consommation, à limiter le courant de repos de polarisation de l'étage. C'est la raison pour laquelle le choix se portera plutôt sur un étage de classe B ou de classe AB. Nous rappelons que dans son principe, un circuit idéal classe B présente un rendement énergétique maximal  $\eta_B = \pi/4 = 78\%$  alors qu'un circuit linéaire classe A présente un rendement maximal de 25%.

### 2.2.1 Principe et avantages d'un étage de sortie classe AB

Le circuit de type « push-pull » est sans aucun doute l'étage de sortie le plus employé. Le principe consiste simplement en deux transistors complémentaires pilotés par le même signal. Pour les dispositifs basse tension, les transistors de sortie sont configurés en source commune (Fig. 5.24), permettant ainsi une dynamique de sortie rail-to-rail.

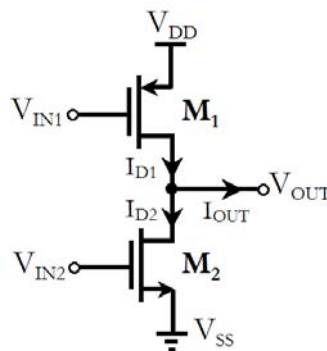


Fig. 5.24 : Etage de sortie push-pull utilisant deux transistors complémentaires configurés en sources communes

En comparaison avec le dispositif classique du type suiveur de tension, ce type d'étage de sortie donne une résistance de sortie (en boucle ouverte) plus élevée et éventuellement un gain en tension (en boucle ouverte) supérieur à un, en fonction de la charge extérieure.

Lorsque les tensions d'entrée, en phase, appliquent sur les grilles des deux transistors des potentiels plus positifs à ceux de repos, le transistor NMOS va délivrer une intensité du courant drain supérieure à celle du transistor PMOS. Pour des potentiels plus négatifs à ceux de repos, le transistor PMOS va délivrer une intensité du courant drain supérieure à celle du transistor NMOS.

Les caractéristiques voulues pour ce type de circuit peuvent se résumer ainsi : faible courant de polarisation au repos, possibilité de fort courant de sortie, dynamique en tension de sortie rail-to-rail, bande passante élevée afin de limiter la distorsion à hautes fréquences (par la contre-réaction).

Dans les circuits classe AB du type émetteurs (ou sources) suiveurs, la tension de prépolarisation qui donne le courant de repos est appliquée directement entre les deux bases (ou grilles) par un dipôle ayant une faible résistance dynamique (par exemple, par un multiplicateur de  $V_{BE}$  (ou de  $V_{GS}$ )). Ainsi, le signal utile à transmettre en sortie est directement appliqué sur les deux bases (ou grilles) qui sont donc reliées ensemble au point de vue dynamique.

Dans le cas du circuit classe AB du type source commune, les tensions de contrôle des grilles doivent être respectivement référencées par rapport aux rails d'alimentation. Dans le cas hypothétique où la différence de potentiels d'alimentation ( $V_{DD}-V_{SS}$ ) demeurerait rigoureusement constante, il serait alors possible de fixer le courant de repos en maintenant constante la différence de potentiels  $V_{GG}$  entre les deux grilles des transistors de sortie (Fig. 5.25). Le circuit de polarisation du courant de repos serait alors analogue à celui des sources suiveuses.

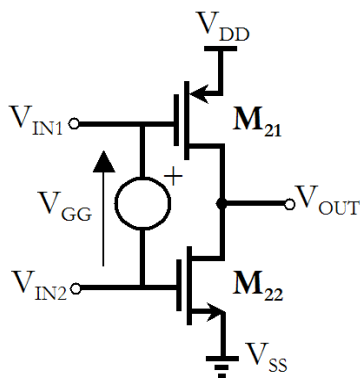


Fig. 5.25 : Principe de polarisation des grilles du circuit classe AB du type source commune.

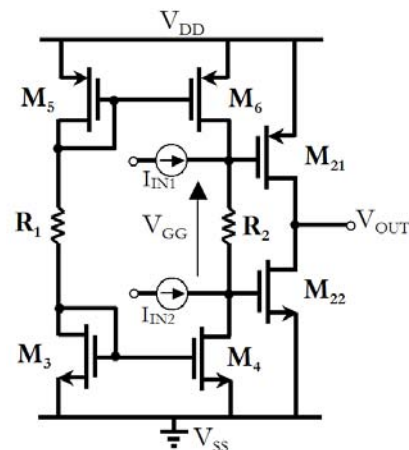


Fig. 5.26 : Exemple de circuit classe AB du type source commune avec contrôle de la d.d.p.  $V_{GG}$  qui donne le courant de polarisation par résistance

Cela pourrait être réalisé par la différence de potentiels aux bornes d'une simple résistance  $R_2$  polarisée par un courant constant [Renirie,1992] (Fig. 5.26). Néanmoins, nous n'avons pas

retenu cette solution car elle présente des inconvénients certains. Cette différence de potentiels est notamment très sensible aux variations de la tension d'alimentation : une variation de la tension d'alimentation repercutera une variation sensible du courant parcourant la résistance, et ainsi le courant de repos des transistors de sortie. De plus, l'intégration d'une résistance dans le layout requiert une place sur le silicium nettement supérieure.

## 2.2.2 Etage de sortie source commune classe AB basse tension

### a) Principe

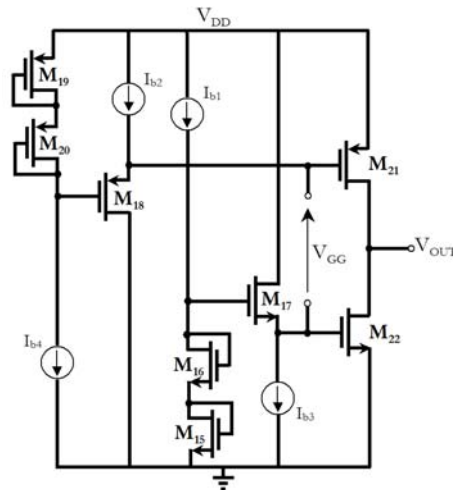


Fig. 5.27 : Schéma de principe du circuit de prépolarisation de  $M_{21}$ - $M_{22}$  fonctionnant en source commune classe AB avec sources de courant idéales

Le point délicat d'un circuit classe AB du type source commune consiste à ajuster le courant de repos  $I_{D21_0} = I_{D22_0}$  des deux transistors de sortie. Cette valeur de courant résulte d'un compromis. Elle doit être suffisamment élevée pour obtenir une faible distorsion de raccordement (en boucle ouverte) des alternances positives et négatives, y compris aux fréquences élevées. Il est nécessaire que ces courants de repos ne varient pas dans de grandes proportions en fonction de diverses dérives de paramètres et des tensions d'alimentation.

La [figure 5.27](#) représente le principe du circuit de prépolarisation du dispositif. Ce circuit a pour rôle d'imposer les tensions de repos  $V_{GS21_0}$  et  $V_{GS22_0}$ .

Par exemple, considérons le transistor  $M_{22}$ . Au repos, le point de fonctionnement est donné par la relation :

$$(V_{GS16} + V_{GS15}) = V_{GS17} + V_{GS22_0} \quad (5-15)$$

Nous pouvons remarquer que c'est la source suiveuse  $M_{17}$  qui impose la tension grille de  $M_{22}$ . Ce dispositif présente l'inconvénient de présenter une grande conductance d'entrée ( $=g_{m17}$ )

qui peut être incompatible avec l'obtention d'un gain en tension élevé de l'étage précédent qui fournit le signal utile.

### b) Solution retenue

La solution retenue consiste à modifier la position des drains des « sources suiveuses »  $M_{17}$  et  $M_{18}$  (Fig. 5.28)[Monticelli,1986].

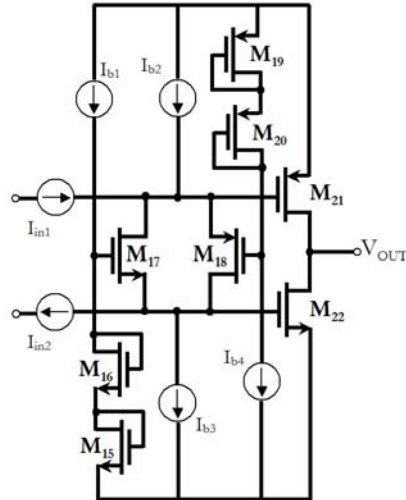
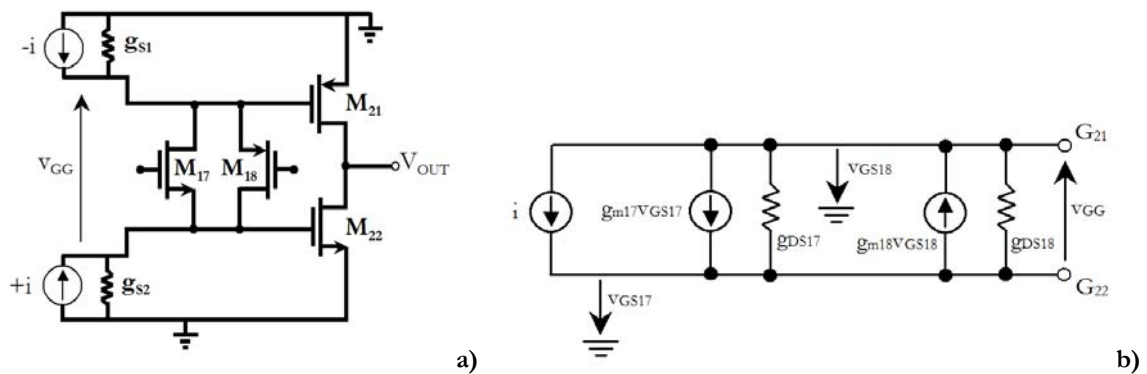


Fig. 5.28 : Etage de sortie classe AB avec circuit de contrôle réactif composé de transistors couplés.

Vis à vis du point de repos ( $I_{in1}=0$ ,  $I_{in2}=0$ ), le circuit est analogue à celui représenté par la figure 5.27. En l'absence de courant de polarisation extérieur, nous avons  $I_{b2}=(I_{D17}+I_{D18})=I_{b3}$ . La répartition en courants supposés identiques ne pourra être établie que par le dispositif de contre réaction globale qui impose au repos une tension  $V_{OUT}=(V_{DD}-V_{SS})/2$ .

Il est nécessaire de vérifier la conductance dynamique  $g_d$  « vue » entre les grilles de  $M_{21}$  et  $M_{22}$  afin de vérifier que ces grilles soient pilotées par le même signal alternatif. Les figures 5.29a,b,c représentent le schéma équivalent petit signal vue par la source de courant  $i$  extérieure.



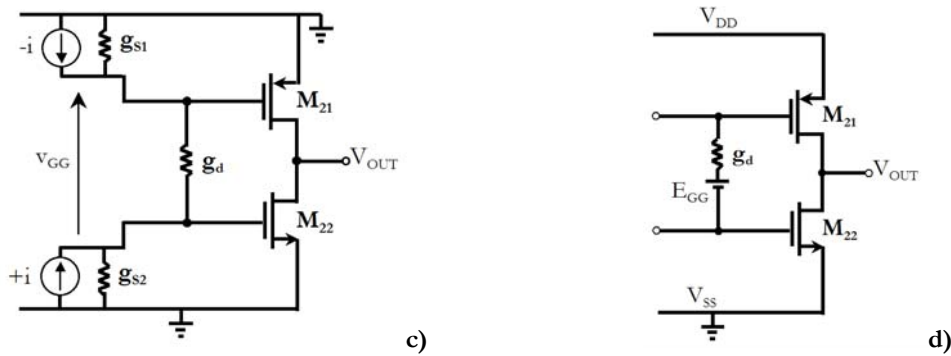


Fig. 5.29 : a) b) c) Schémas équivalents pour la détermination de la résistance dynamique « vue » entre les grilles de  $M_{21}$ - $M_{22}$  . d) Représentation sous forme Thévenin des transistors  $M_{17}$ - $M_{18}$

Aux bornes du dipôle d'entrée, nous avons la différence de potentiels :

$$v_{GG} = (-i + g_{m17}v_{GS17} - g_{m18}v_{GS18}) / (g_{DS17} + g_{DS18}) \quad (5-16)$$

avec  $v_{GG} = (v_{GS17} - v_{GS18})$ .

Si les transistors ont même transconductance ( $g_{m17} = g_{m18}$ ), nous pouvons en déduire une expression simplifiée de la conductance du dipôle avec l'hypothèse  $g_{m17} \gg (g_{DS17} + g_{DS18})$  :

$$g_d = i / v_{GG} \approx g_{m17} \quad (5-17)$$

Ainsi, nous pouvons représenter sous forme Thévenin (Fig. 5.29d) le dipôle entre les deux grilles des transistors de sortie avec une tension :

$$V_{GG} = (V_{DD} - V_{SS}) - (|V_{GS21}| + V_{GS22}) \quad (5-18)$$

### 3. Les circuits de contrôle de mode commun (CMFB) dans les AOP symétriques CMOS basse-tension

Les amplificateurs opérationnels symétriques diffèrent des amplificateurs opérationnels asymétriques par la présence d'un étage de sortie différentiel. Les structures symétriques, fonctionnant « en pont » présentent une complexité plus grande en nombre de composants mais offrent un certain nombre d'avantages, en particulier pour les circuits basse tension :

- Les signaux utiles sont traités en mode différentiel, ce qui permet d'obtenir une meilleure réjection des signaux non désirables, particulièrement issus des alimentations.
- L'amplitude de la tension différentielle de sortie symétrique est doublée.
- Les non-linéarités d'ordre pair sont rejetées



Prenons l'exemple d'un amplificateur asymétrique rebouclé. Considérons une amplitude maximale  $V_{INmax}$  d'un signal d'entrée sinusoïdal, à laquelle est associée une amplitude maximale  $V_{OUTmax}$  de sortie. En considérant une puissance de bruit en sortie  $\overline{v_{oN}^2}$ , le rapport signal à bruit maximal ( $SNR_{max}$ ) du circuit est alors donné par :

$$SNR_{max} = \frac{\text{puissance du signal de sortie d' amplitude maximal}}{\text{puissance du bruit de sortie}} = \frac{V_{OUT(rms)max}^2 / 2}{\overline{v_{oN}^2}} \quad (5-19)$$

Si nous considérons un amplificateur équivalent dans sa version différentielle, la plage de sortie du circuit est améliorée d'un facteur 2, nous améliorons la puissance du signal d'un facteur 4. La symétrisation de la structure double la puissance de bruit et donc le  $SNR_{max}$  est doublé soit une amélioration de 6dB.

Néanmoins, ces architectures d'amplificateurs nécessitent un circuit complémentaire : le circuit de contrôle de mode commun.

### 3.1 Principe

Les circuits de contrôle de mode commun sont indispensables dans les architectures d'amplificateurs symétriques car la tension de mode commun en sortie  $V_{mcOUT}$  de l'amplificateur est indépendante de celle d'entrée  $V_{mcIN}$ . Elle n'est fixée que par les erreurs d'appariement des deux sources de courant se « faisant face » pour chacune des 2 sorties différentielles. Ces circuits de contrôle sont aujourd'hui une catégorie particulière de circuits analogiques et sont généralement référencés sous le terme générique de CMFB (Common-Mode Feedback Circuit). Le principe général est présenté (Fig. 5.30) . On utilise généralement un circuit à boucle de contre-réaction afin que le gain en tension différentiel soit maximal. La tension de mode commun de sortie est tout d'abord évaluée ( $H_2$ )  $V_{mcOUT} = (V_{OUT+} + V_{OUT-})/2$  puis comparée à une tension de référence ( $H_3$ ) correspondant à la tension de mode commun souhaitée en sortie. Ce dispositif vient contrôler un ou plusieurs circuits de polarisation de l'amplificateur symétrique ( $H_1$ ). Le point majeur dans la réalisation de ces circuits repose sur la nécessaire stabilité en fréquence de la boucle  $H_1H_2H_3$  . Cette stabilité est généralement limitante dans la réalisation d'un amplificateur symétrique rapide.

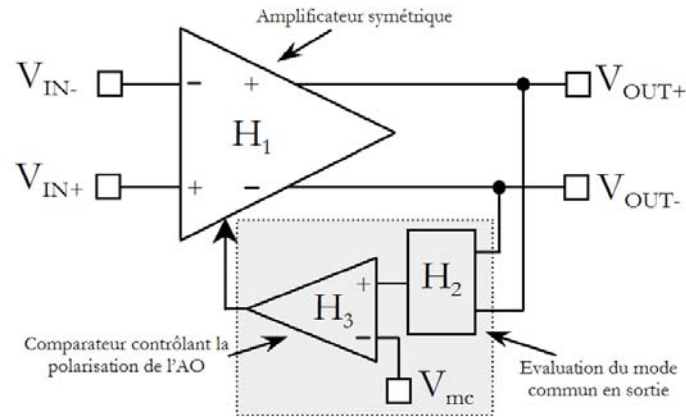


Fig. 5.30 : Schéma de principe des circuits CMFB

On retrouve principalement trois types d'architectures pour implémenter les circuits CMFB.

#### a) Les circuits CMFB à capacités commutées (SC-CMFB, Switched Capacitor CMFB)

Nous ne traiterons pas ici des circuits SC-CMFB [Senderowics,1981], car le contrôle des charges et décharges des capacités commutées impliquent des horloges dont le bruit induit est particulièrement dégradant dans une application requérant une grande précision telle un circuit de traitement du signal vidéo.

#### b) Les circuits CMFB à moyennage résistif (RA-CMFB, Resistor-Averaged CMFB)

Les circuits RA-CMFB utilisent la définition même de la tension de mode commun grâce à la sommation via les deux résistances identiques (Fig. 5.31). Si les tensions de sortie sont issues d'un dispositif à faible résistance de sortie, nous avons bien (Fig. 5.32) :

$$V_{mcOUT} = (V_{OUT1} + V_{OUT2})/2 \quad (5-20)$$

Cette architecture utilisant des résistances afin d'évaluer la tension de mode commun en sortie de l'amplificateur présentent un inconvénient dès lors que le circuit amplificateur doit être utilisé pour une instrumentation précise. En effet, nous recherchons généralement, dans ce cas, un amplificateur à fort gain en tension ( $A_{d0} > 90\text{dB}$  par exemple). Or, chacune des résistances est appliquée sur l'une des sorties différentielles de l'amplificateur.

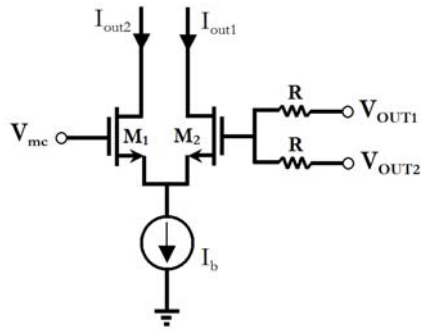


Fig. 5.31 : Schéma de principe du circuit RA-CMFB

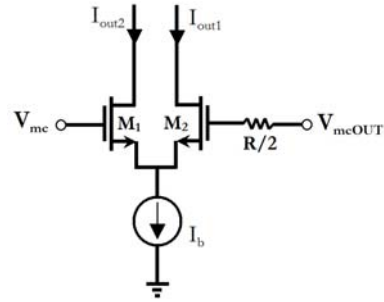


Fig. 5.32 : Schéma équivalent du circuit RA-CMFB

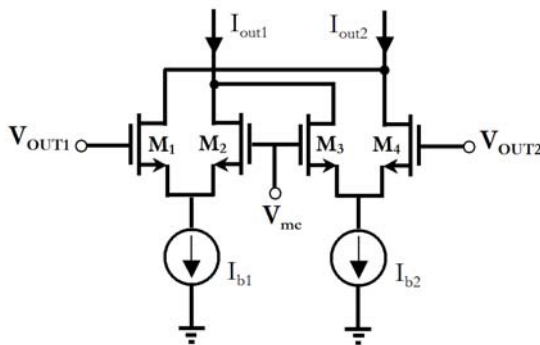


Fig. 5.33 : Schéma de principe du circuit DDA-CMFB

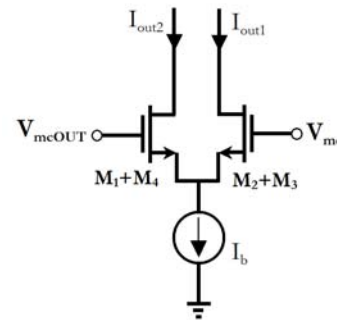


Fig. 5.34 : Schéma équivalent du circuit DDA-CMFB

Considérons par exemple l'étage de sortie (Fig. 5.28). Le gain en tension quasi-statique de cet étage est donné par l'expression  $-g_{m22}/(g_{DS22}+g_L)$  où  $g_L$  représente la conductance de charge de l'étage. Afin de ne pas dégrader le gain, il est donc nécessaire que la conductance de charge soit la plus faible possible, c'est-à-dire, dans le cas où le circuit RA-CMFB est utilisé pour réaliser le contrôle de mode commun, des résistances de forte valeur. De manière typique, les valeurs des résistances doivent être supérieures à  $1M\Omega$  afin de ne pas trop dégrader le gain en tension de l'étage. Cette valeur de résistance est à proscrire dans le cas de l'intégration en raison de la surface de silicium nécessaire pour son intégration.

Pour le démontrer, nous considérons par exemple la technologie ST BiCMOS  $0.35\mu m$ . La valeur de la résistance étant élevée, nous utilisons une implantation hautement résistive, soit la résistance RNWELL sous oxyde épais (LOCOS). La résistance par carrée  $R_{\square}$  est de  $1.15k\Omega/\square$  en valeur typique. Nous négligeons les problèmes de surgravure et les conditions de polarisation sur la résistance. La valeur de la résistance étant déterminée à partir de  $R=R_{\square}*(L/W)$ , nous en déduisons la longueur de la résistance  $L=869*W$ . Les résistances devant être correctement appariées (mesure de la tension de mode commun), nous nous intéressons à la dispersion des valeurs des résistances implantées :  $\sigma(\Delta R/R)=A/\sqrt{WL}$  où  $A$  représente le coefficient d'appariement associé au type de résistance ( $A=2.63\%/ \mu m$ ). En prenant une valeur de dispersion

$\sigma(\Delta R/R)=2\%$ , nous en déduisons la valeur nécessaire de  $W=44.6\mu\text{m}$ . La surface effective de la résistance est alors  $WL = 869W^2 \approx 1.7\text{mm}^2$ . Pour une puce de dimensions  $2\text{mm}\times 2\text{mm}$ , cette résistance représente à elle seule plus d'un tiers de la surface totale.

Nous ne retiendrons donc pas cette solution.

**c) Les circuits CMFB à comparateur d'erreurs (DDA-CMFB, Differential Difference Amplifier CMFB)**

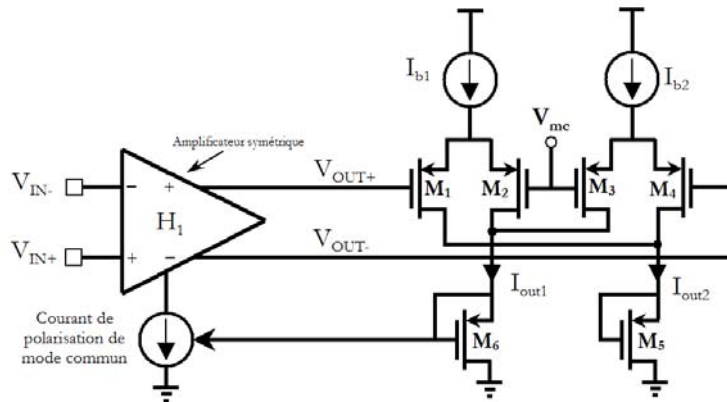


Fig. 5.35 : Circuit DDA-CMFB et interface avec l'amplificateur  $H_1$

Les circuits DDA-CMFB utilisent deux paires différentielles afin de comparer la tension de mode commun de sortie de l'amplificateur à une tension de mode commune de référence [Kwan,1991] (Fig. 5.33).

Le circuit DDA-CMFB présenté (Fig. 5.33) [Johns,1997] est interfacé avec son amplificateur  $H_1$  (Fig. 5.35). Les deux paires différentielles canal-P  $M_1$ - $M_2$  et  $M_3$ - $M_4$  comparent respectivement les tensions de sortie  $V_{OUT+}$  et  $V_{OUT-}$  à la tension de référence  $V_{mc}$ .

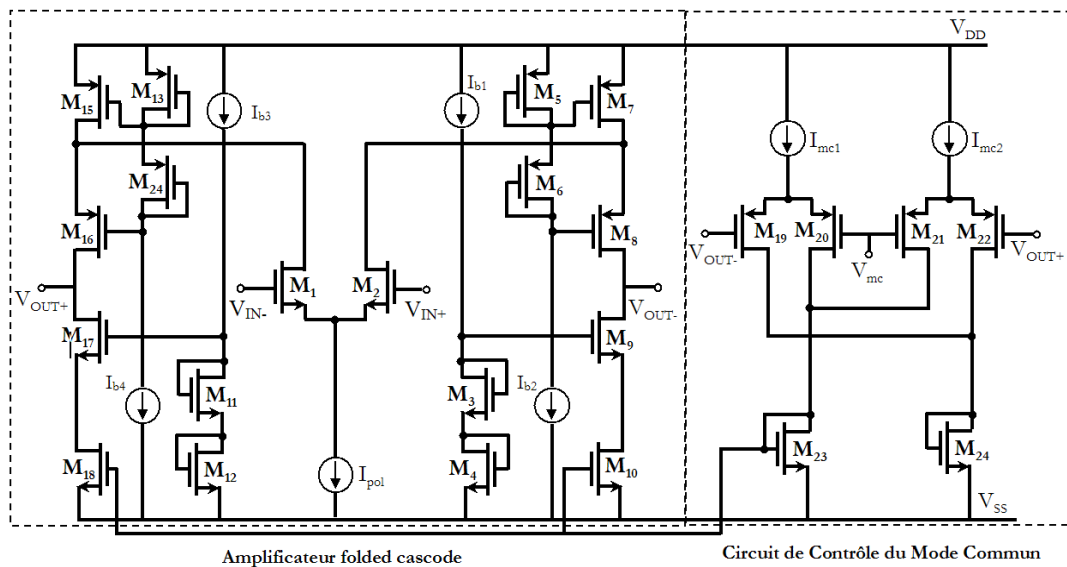


Fig. 5.36 : Amplificateur folded cascode et son circuit DDA-CMFB

Considérons le cas d'un amplificateur opérationnel différentiel à sorties symétriques  $H_1$  folded cascode (Fig. 5.36). En l'absence de tension différentielle ( $v_{OUT+} = v_{OUT-}$ ), les transistors  $M_{19}$ ,  $M_{20}$ ,  $M_{21}$  et  $M_{22}$  présentent le même courant drain  $I_D = I_{mc}/2$  (dans le cas où  $I_{mc1} = I_{mc2} = I_{mc}$ ). Par conséquent, les transistors  $M_{23}$  et  $M_{24}$  présentent les mêmes courants drains  $I_{D23} = I_{D24} = I_{mc}$ . La transdiode formée par le transistor  $M_{23}$  contrôle le potentiel de grille des transistors  $M_{10}$  et  $M_{18}$ , et contrôle par conséquent le courant de polarisation de l'amplificateur. La boucle de contre-réaction force alors les transistors  $M_{19}$  et  $M_{22}$  à avoir les mêmes tensions grille-source que les transistors  $M_{20}$  et  $M_{21}$ , et ainsi force la tension de mode commun en sortie de l'amplificateur  $V_{mcOUT} = V_{OUT+} = V_{OUT-} = V_{mc}$ .

Lorsqu'une tension différentielle est appliquée en entrée du circuit DDA-CMFB, celui-ci va réagir afin d'adapter le courant de polarisation des transistors  $M_{10}$  et  $M_{18}$ .

Si les amplitudes des deux sorties de l'amplificateur sont totalement symétriques ( $V_{OUT+} - V_{mc} = \Delta v_{OUT+} = -V_{OUT-} + V_{mc} = \Delta v_{OUT-}$ ), les courants drains de  $M_{23}$ - $M_{24}$  demeurent inchangés ( $I_{D23} = I_{mc}$ ) et le circuit est à l'équilibre.

Maintenant supposons que les deux sorties de l'amplificateur ne soient pas totalement symétriques (en régime transitoire),  $\Delta v_{OUT+} > \Delta v_{OUT-}$ , ce qui donne une tension de mode commun en sortie  $V_{mcOUT}$  trop faible. Dans ce cas le courant drain de  $M_{23}$  est plus faible que le courant drain de  $M_{24}$ . Le miroir de courant  $M_{23}$ - $M_{10}$ - $M_{18}$  impose alors au potentiel respectif des nœuds de sortie de l'amplificateur de remonter. Le circuit contrôle donc la tension de mode commun en sortie de l'amplificateur.

Le principal inconvénient de ce type d'architecture de circuit de contrôle de mode commun repose sur la plage d'entrée différentielle admissible. En effet, dès lors que la tension différentielle appliquée en entrée du circuit DDA-CMFB devient trop grande, des courants égaux sont répartis dans les deux transdiodes et la boucle de contre-réaction de mode commun ne fonctionne plus. Nous remarquerons enfin que la bande passante de ce circuit doit être suffisamment large afin de réagir plus rapidement que l'amplificateur lui-même.

Nous verrons, dans le [chapitre 7](#), que nous avons utilisé la structure DDA-CMFB dans le cadre de la réalisation de deux amplificateurs opérationnels symétriques.

## Conclusion

Nous venons de présenter quelques aspects de la conception de fonctions analogiques en technologie CMOS basse-tension. Le budget en tension limité de notre électronique nous a

amené à étudier une brique élémentaire de la conception analogique : le miroir de courant. Partir de caractéristiques au premier ordre de quelques structures de miroir de courant, nous avons retenu pour notre besoin basse-tension, le miroir de courant cascode amélioré à large excursion. Ce miroir de courant sera abondamment mis en oeuvre dans les circuits présentés à travers les chapitres 6 et 7.

Notre choix sur les architectures de circuit S/B nous amène à utiliser des amplificateurs opérationnels. Nous avons donc, en adéquation avec le [chapitre 2](#) par lequel nous avons démontré la nécessité de maximiser la dynamique des signaux à traiter, présenté des architectures d'étages d'entrée et de sortie rail-to-rail d'un amplificateur opérationnel en technologie CMOS.

En particulier, nous avons analysé une structure source commune classe AB comme étage de sortie, en mettant évidence un dispositif de prépolarisation du courant de repos peu sensible aux variations de la tension d'alimentation.

Enfin, dans le cadre d'une instrumentation totalement différentielle, nous avons insisté sur la nécessité d'utiliser des circuits de contrôle de mode commun en sortie des amplificateurs opérationnels symétriques. Une solution a été retenue et sera implémentée dans les chapitres suivants.

---

## Conception et Validation d'un E/B en technologie CMOS 0.6 $\mu$ m

---

A travers le chapitre précédent, nous avons présenté des cellules analogiques pour la conception de circuits en technologie CMOS dans un environnement basse tension. Dans le cadre de notre étude, nous avons alors voulu réaliser un premier dispositif démontrant l'intégration possible de fonctions analogiques élémentaires dédiées pour le traitement d'un signal vidéo.

Notre choix s'est donc, bien entendu, porté sur l'intégration d'un circuit d'échantillonnage de type suiveur-bloqueur. Ce circuit permet, comme nous l'avons précisé au [chapitre 3](#), d'intégrer plusieurs concepts fondamentaux inhérents à la conception d'une chaîne de traitement vidéo :

- Le respect des performances de la chaîne globale, en termes de précision et de rapidité,
- L'étude des paramètres limitants d'une chaîne de traitement du signal vidéo : injections de charge,...
- La nécessaire utilisation de circuits rail-to-rail dans l'environnement basse tension,
- L'intégration de fonctions analogiques élémentaires : amplificateurs, commutateurs analogiques, ...
- La mise en œuvre de méthodes de stabilisation fréquentielle (les signaux à traiter étant très rapides),

A partir du choix de la structure du circuit suiveur-bloqueur à intégrer, ces différents points ont pu être abordés. Le choix de la technologie s'est porté sur une technologie CMOS 0.6 $\mu$ m, pouvant accepter des tensions d'alimentations jusqu'à 5V, mais dont nous avons volontairement limité la tension d'alimentation du circuit à 3.3V, et ce afin de mettre en œuvre les méthodes de conception basse-tension décrites précédemment.

# 1. Dimensionnement système du circuit S/B inverseur en boucle fermée à Intégrateur de Miller (structure 4)

Nous avons retenu le choix de la structure asymétrique S/B inverseur en boucle fermée à Intégrateur de Miller [Ishikawa,1989] pour le circuit d'échantillonnage pour plusieurs raisons :

- **Asymétrique** : l'utilisation de structures symétriques, bien qu'améliorant la dynamique ainsi que le rapport signal à bruit du circuit, rend plus complexe la conception en raison du nombre important de composants actifs et du nécessaire circuit de contrôle du mode commun.
- **En boucle fermée** : nous avons montré précédemment que les architectures en boucle fermée présentaient une limite certaine quant aux précision et vitesse atteignables ; l'intégration d'une telle structure nous permettra ainsi d'évaluer sa faisabilité dans nos technologies cibles.
- **La structure retenue** [Ishikawa,1989] : car elle fait intervenir des éléments passifs dans son rebouclage, et permet ainsi d'aborder des éléments cruciaux telles que l'appariement de ces composants passifs. De plus, cette structure est connue dans le milieu spatial puisqu'on l'a retrouve notamment à l'intérieur des instruments de IASI (Interféromètre de Sondage Atmosphérique Infrarouge), développé par le CNES pour EUMESAT, dont l'objectif premier sera la mesure des profils atmosphériques de température et d'humidité. L'étude menée sur cette architecture sera ainsi confirmée par sa réalisation.

Comme nous l'avons signalé au chapitre 4, cette structure nécessite en entrée une source de tension, que nous avons décidé de réaliser à l'aide d'un suiveur de tension (amplificateur  $A_1$ ) (Fig. 6.1).

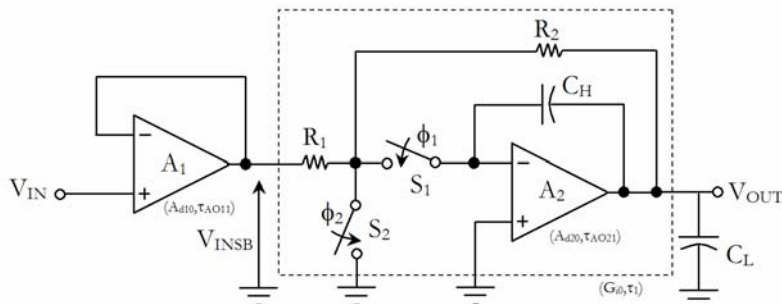


Fig. 6.1 : Schéma synoptique du circuit asymétrique S/B inverseur en boucle fermée à Intégrateur de Miller



## 1.1 Dimensionnement au premier ordre des éléments passifs

En négligeant tout d'abord le gain différentiel fini quasi-statique  $A_{d20}$  fini de l'amplificateur  $A_2$ , nous avons montré que le gain en tension intrinsèque du circuit pouvait se mettre sous la forme :

$$G_i(p) = \frac{v_{OUT}}{v_{INSB}}(p) = \frac{G_{i0}}{1 + p\tau_1} \quad (6-1)$$

où :

- $G_{i0} = -R_2/R_1$  représente le gain en tension intrinsèque statique du circuit,
- $\tau_1 = R_2 C_H$  est la constante de temps associée au pôle dominant du circuit.

Au chapitre 3, nous avons exprimé la relation qui existait entre le temps d'acquisition  $t_{ac}$ , la résolution  $N$  (en bits) du circuit, le coefficient d'erreur  $\eta_{ech}$  ( $0 < \eta_{ech} < 1$ ) et la constante de temps  $\tau_1$  associée au pôle dominant d'un filtre passe-bas du premier ordre :

$$t_{ac} = \left( N + \frac{1}{\eta_{ech}} \right) \tau_1 \ln(2) \quad (6-2)$$

Nous en déduisons donc la valeur de la constante de temps  $\tau_1$  associée au pôle dominant du circuit :

$$\tau_1 = \frac{t_{ac}}{\ln(2) \left( N + 1 / \eta_{ech} \right)} \approx 1 \text{ ns} \quad (6-3)$$

La fréquence de coupure haute du circuit au premier ordre est alors  $f_1 = 1/2\pi\tau_1 = 160\text{MHz}$ . Nous avons ainsi le choix sur la valeur du couple ( $R_2, C_H$ ). Afin de normaliser les valeurs des composants du circuit et quantifier les caractéristiques du circuit, nous avons choisi une valeur de capacité de 1pF, ce qui fixe la valeur de la résistance  $R_2 (=1\text{k}\Omega)$ .

Le circuit ayant été choisi de gain unitaire, le gain en tension quasi-statique du circuit  $G_{i0}$  ( $=1$ ) permet d'en déduire la valeur de la résistance  $R_1 (=1\text{k}\Omega)$ .

## 1.2 Dimensionnement des caractéristiques au premier ordre de l'amplificateur $A_2$

Le gain en tension différentiel quasi-statique  $A_{d20}$  de l'amplificateur  $A_2$  modifie le gain en tension quasi-statique  $G_{i0}$  du circuit :

$$G_{i0} \leftarrow G_{i0} \left[ 1 - \eta_{Gi\_Ad20} \right]_{\text{avec } \eta_{Gi\_Ad20}} = \frac{|G_{i0}| + 1}{|G_{i0}| + 1 + A_{d20}} \approx \frac{2}{A_{d20}} \quad (6-4)$$

A partir des spécifications, nous pouvons donc en déduire la valeur du gain en tension intrinsèque quasi-statique  $A_{d20}$  de l'amplificateur  $A_2$  :

$$\left[ 1 - \eta_{Gi\_Ad20} \right] = \left[ 1 - \varepsilon \right] \rightarrow A_{d20} > 2/\varepsilon \approx 66\text{dB} \quad (6-5)$$

## 2. Conception d'un amplificateur opérationnel asymétrique rail-to-rail basse-tension

A partir des spécifications des deux amplificateurs opérationnels nécessaires pour la réalisation du circuit S/B (Fig. 6.1), nous avons conçu et réalisé, comme démonstrateur, un amplificateur opérationnel rail-to-rail en entrée et en sortie.

Il est évident que l'étage de sortie classe AB est du type source commune (par opposition au « classique » source suiveuse), raison pour laquelle l'impédance de charge extérieure intervient directement dans l'expression du gain en tension différentiel en boucle ouverte. Dans le cas du circuit représenté par la figure 6.1, l'amplificateur opérationnel  $A_1$  a, dans la pratique, pour résistance de charge dynamique,  $R_1$  ; l'amplificateur opérationnel  $A_2$  ayant, quant à lui,  $(R_1+R_2)$  pour résistance de charge dynamique.

Pour obtenir un gain en tension intrinsèque quasi statique  $A_{d0} \approx 2000$  (66dB), il est nécessaire de mettre en œuvre deux étages de « gain en tension ». Un nombre supérieur d'étages de gain en tension entraînera une délicate compensation en fréquence.

- Le premier étage, différentiel, présente une charge active cascodée afin d'obtenir un grand gain en tension. Du fait de la valeur élevée de la résistance dynamique, la sortie de cet étage donne, à priori, le pôle dominant pour la compensation en fréquence du dispositif bouclé.
- L'étage de sortie doit fournir un courant de sortie important dans une charge résistive de faible valeur. Cette contrainte nous permet de choisir une structure du type « simple » source commune classe AB (par opposition à un dispositif cascodé) car l'augmentation de la résistance de sortie en boucle ouverte n'augmentera pas le gain et ne réduira pas la valeur de la résistance de sortie en boucle fermée.

La figure 6.2 représente le schéma de l'amplificateur opérationnel retenu. A partir du principe de base, nous allons justifier la structure retenue. Le raisonnement proposé pour cette

synthèse de circuit permet de déterminer de façon simple l'expression du gain en tension différentiel en boucle ouverte.

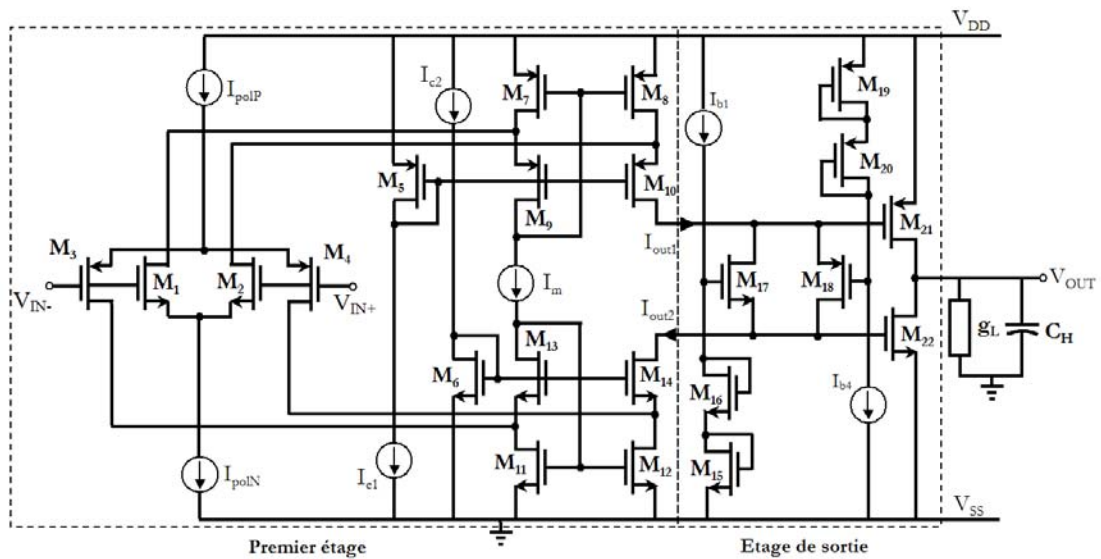


Fig. 6.2 : Schéma de l'amplificateur asymétrique rail-to-rail large bande avec sources de courant idéales

## 2.1 Etude du premier étage

### a) Principe

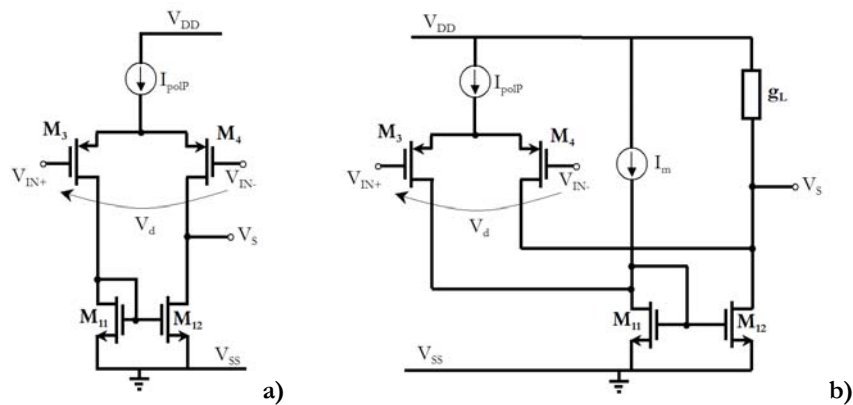


Fig. 6.3: a) Circuit différentiel à paire différentielle PMOS et charge active b) Variante utilisée

Le principe du premier étage repose sur le simple circuit différentiel à charge active couplée. La figure 6.3a rappelle la structure classique de base et la figure 6.3b présente la variante retenue pour le transfert des signaux issus de la paire M<sub>3</sub>-M<sub>4</sub> canal P. L'expression du gain en tension différentiel est de la forme :

$$A_{d10P} = \frac{v_s}{v_d} = \frac{G_{mP}}{g_{DS4} + g_{DS12} + g_L} \quad \text{avec} \quad G_{mP} = g_{m3} \quad (6-6)$$

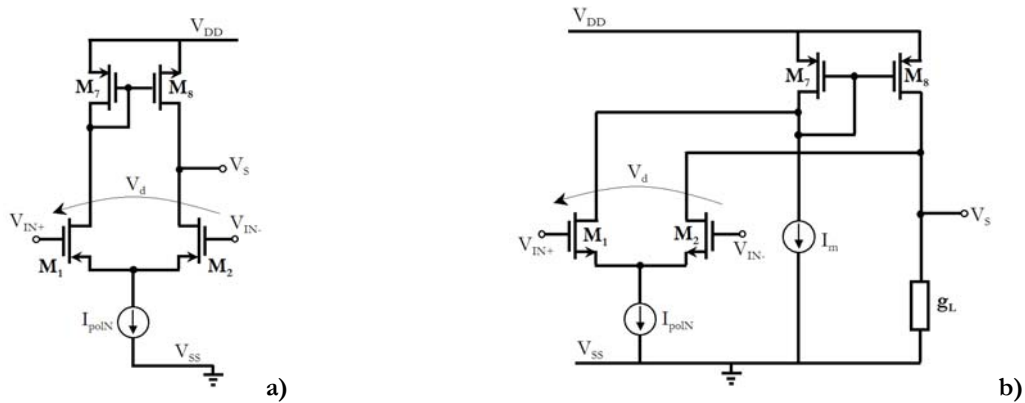


Fig. 6.4: a) Circuit différentiel à paire différentielle NMOS et charge active b) Variante utilisée

De même pour la voie issue de la paire différentielle  $M_1$ - $M_2$  canal N, le gain en tension différentiel est de la forme :

$$A_{d10N} = \frac{v_s}{v_d} = \frac{G_{mN}}{g_{DS2} + g_{DS8} + g_L} \quad \text{avec} \quad G_{mN} = g_{m1} \quad (6-7)$$

L'association des deux voies donne le schéma représenté par la [figure 6.5](#). L'expression du gain en tension différentiel est alors ( $g_L=0$ ) :

$$A_{d10} = A_{d10P} + A_{d10N} = \frac{v_s}{v_d} = \frac{G_m}{g_{DS2} + g_{DS8} + g_{DS4} + g_{DS12}} \quad \text{avec} \quad G_m = G_{mN} + G_{mP} \quad (6-8)$$

Nous devons remarquer qu'il est nécessaire que  $I_{polP} = I_{polN}$ . Ainsi, afin d'obtenir l'égalité des transconductances  $G_{mN} = G_{mP}$ , la géométrie des transistors des paires différentielles doit vérifier  $(W/L)_3 \approx (\mu_N/\mu_p) \cdot (W/L)_1$  (respectivement  $(W/L)_4 \approx (\mu_N/\mu_p) \cdot (W/L)_2$ ).

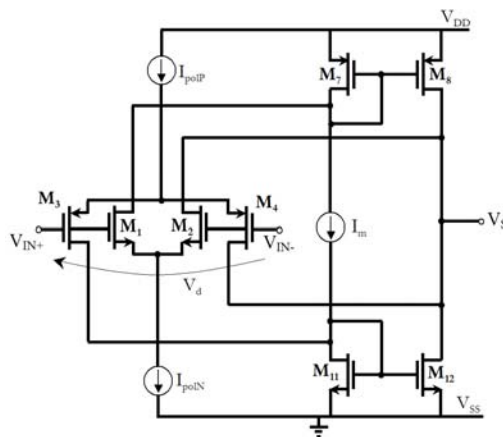


Fig. 6.5: Principe du circuit différentiel symétrique rail-to-rail en entrée et en sortie

### b) Passage au circuit cascode

Cependant, le circuit (Fig. 6.5) ne présente pas un gain en tension élevé. La réduction de la conductance de sortie permet d'augmenter ce gain. La figure 6.6 représente une évolution du circuit précédent à travers lequel les paires  $M_{12}$ - $M_{14}$  et  $M_8$ - $M_{10}$  sont des circuits cascodes.

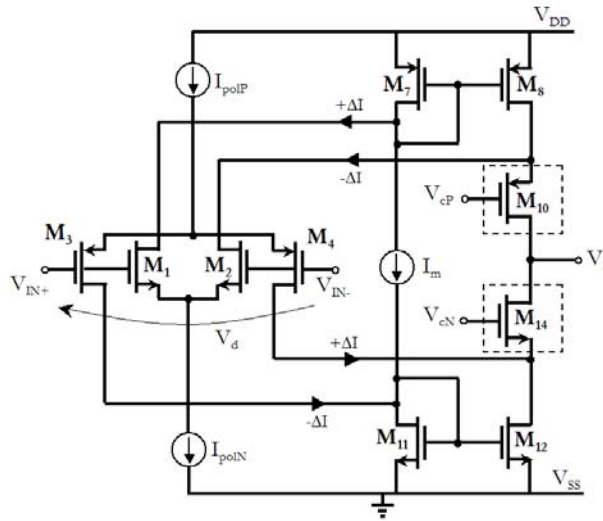


Fig. 6.6: L'augmentation du gain différentiel en boucle ouverte est obtenu par deux circuits cascodes en sortie

Avec des transferts en courant des miroirs égaux à un, l'expression du gain en tension différentiel quasi statique devient :

$$A_{d10} = \frac{v_s}{v_d} = \frac{G_m}{g_{DS10} / \left[ 1 + \left( \frac{g_{m10}}{g_{DS8} + g_{DS2}} \right) \right] + g_{DS14} / \left[ 1 + \left( \frac{g_{m14}}{g_{DS12} + g_{DS4}} \right) \right]} \quad (6-9)$$

L'apport du circuit cascode montre donc que le gain en tension différentiel quasi statique est approximativement multiplié par le facteur  $(g_{m14}/(g_{DS12} + g_{DS4}))$  (en dimensionnant correctement les transistors complémentaires).

### c) Passage au circuit cascode amélioré à large excursion

Cependant, les deux circuits cascode de sortie demandent un budget de tension minimal trop important (Fig. 6.6). En effet, la plage de l'excursion possible en sortie de cette structure est :  $\Delta V_{Scac} = V_{DD} - 2(V_{GS} + V_{Dssat}) \approx V_{DD} - 2(V_{th} + 2V_{Dssat})$ . Dans le cas représentatif d'une tension de seuil  $V_{th0} \approx 0.5V$ , avec  $V_{GS} = 0.8V$ , et une tension d'alimentation  $V_{DD} = 3.3V$ , nous en déduisons que l'excursion maximale en sortie  $\Delta V_{Scac} \approx 1.1 V_{cac}$  seulement. Ces valeurs numériques montrent l'intérêt de mettre en œuvre un circuit cascode amélioré à large excursion.

Dans le cadre de l'application recherchée, le circuit cascode a pour contrainte supplémentaire de fournir en sortie les deux courants différentiels issus des deux paires différentielles à sources couplées :

$$i_{DP} = (i_{D3} - i_{D4}) = G_{mP} v_d \quad (6-10)$$

$$i_{DN} = (i_{D1} - i_{D2}) = G_{mN} v_d$$

Dans un premier temps, nous allons mettre en évidence le transfert du courant différentiel  $i_{DP} = i_{D3} - i_{D4}$ , généré par la paire  $M_3$ - $M_4$ , par le circuit cascode amélioré. La [figure 6.7](#) représente ce circuit. Grâce à la présence de  $M_6$  dont la tension  $V_{GS}$  est supposée suffisamment élevée, nous faisons l'hypothèse que tous les transistors demeurent en zone de saturation.

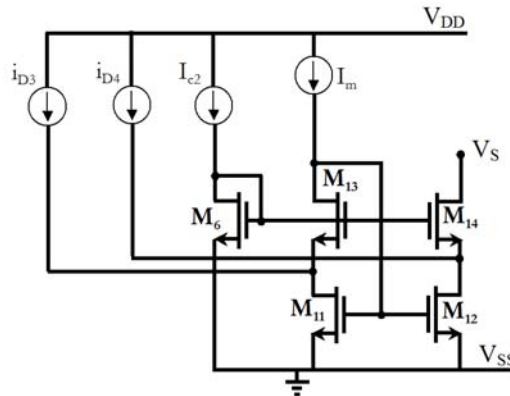


Fig. 6.7 : Représentation du circuit cascode amélioré à large excursion transmettant le signal de la paire d'entrée canal P

Au point de vue régime dynamique petit signal, le courant alternatif  $i_{D4}$  issu de  $M_4$  est directement appliqué sur la source de  $M_{14}$  configuré en grille commune. Cependant, le transfert de  $i_{D3}$ , via  $M_{11}$  et  $M_{12}$  demande une justification. En effet, nous pouvons remarquer que le couple  $M_{11}$ - $M_{13}$  peut être analysé comme un circuit à grand gain en tension (en boucle ouverte) qui subit une contre-réaction parallèle ; la grille de  $M_{11}$  est connectée au drain de  $M_{13}$ . La [figure 6.8a](#) sélectionne la paire  $M_{11}$ - $M_{13}$  et la [figure 6.8b](#) donne le schéma équivalent petit signal, sans prendre en compte l'effet de substrat.

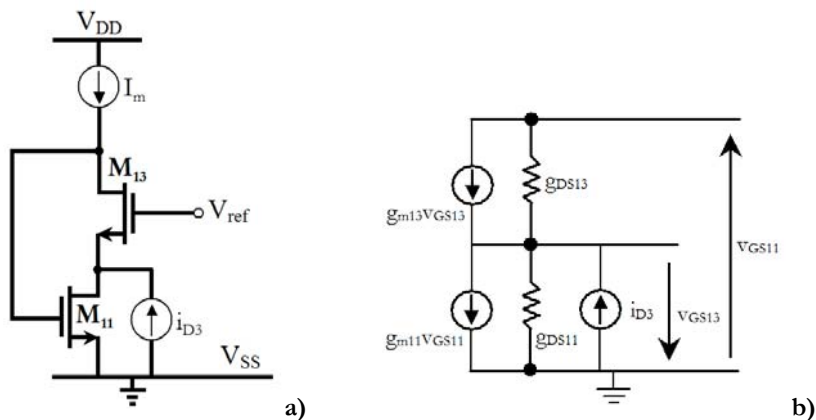


Fig. 6.8: a) Couple  $M_{11}$ - $M_{13}$  et sa contre-réaction parallèle b) Schéma équivalent petit signal

Selon la [figure 6.7](#), nous pouvons remarquer que le transfert de  $i_{D3}$  sera réalisé par la modulation de la tension  $V_{GS11}$ . Déterminons donc la conductance de transfert  $i_{D3}/v_{GS11}$ . A partir de la [figure 6.8b](#), la loi de Kirchoff donne :

$$i_{D3} + g_{m13}v_{GS13} + g_{DS13}(v_{GS11} + v_{GS13}) + g_{DS11}v_{GS13} - g_{m11}v_{GS11} = 0 \quad (6-11)$$

avec la relation  $v_{GS13} = -v_{GS11} / [1 + g_{m13} / g_{DS13}]$

On en déduit :

$$\frac{i_{D3}}{v_{GS11}} = \frac{g_{m13} + g_{DS13} + g_{DS11}}{1 + [g_{m13} / g_{DS13}]} + (g_{m11} - g_{DS13}) \quad (6-12)$$

Avec l'hypothèse que les rapports de la forme  $(g_m/g_{Ds}) \gg 1$ , nous en déduisons une relation simplifiée :

$$(i_{D3}/v_{GS11}) \approx g_{m11} \quad (6-13)$$

Ainsi le transfert en courant via le circuit cascode amélioré est analogue aux circuits représentés par les [figures 6.5 et 6.6](#). L'expression du gain en tension différentiel est donc directement donnée par la relation (6-9).

Avec l'hypothèse que la tension minimale nécessaire aux bornes de chaque cascode est  $2V_{DSSat}$ , l'excursion maximale de la tension disponible en sortie est  $\Delta V_{Scac} = V_{DD} - 2(2V_{DSSat})$ . En reprenant les mêmes valeurs numériques que pour le cascode, nous obtenons  $\Delta V_{Scac} \approx 2.1 V_{cac}$ .

Le schéma final du premier étage de l'amplificateur est présenté [figure 6.9](#).

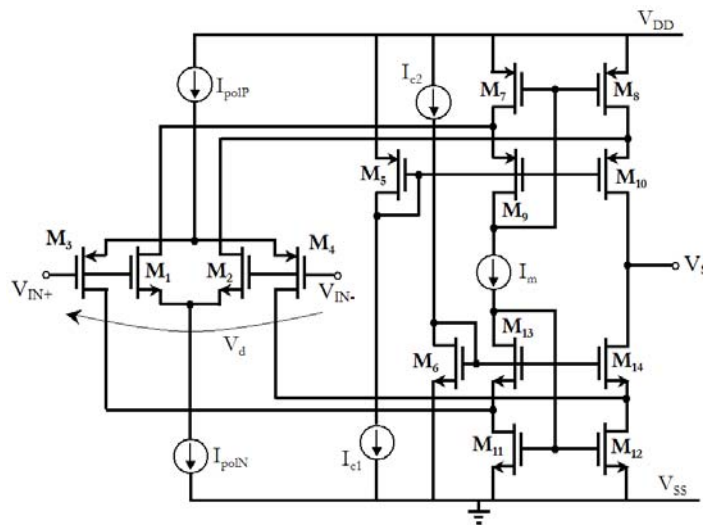


Fig. 6.9 : Schéma du premier étage de l'amplificateur asymétrique rail-to-rail large bande avec sources de courant idéales

## 2.2 Etude de l'étage de sortie

L'étage de sortie a une structure du type « simple » source commune classe AB que nous avons présenté au chapitre précédent (Fig. 6.10). La figure 6.11 présente le schéma équivalent de l'étage en prenant en compte les sources de courant équivalentes en entrée provenant de l'étage d'entrée ( $i_{D10}$  et  $i_{D14}$ ).

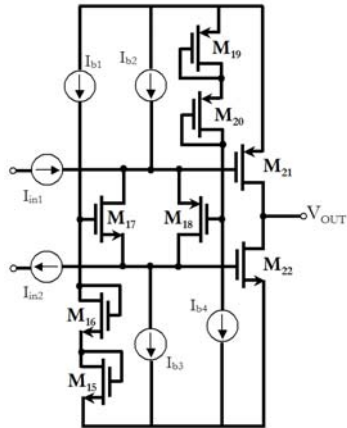


Fig. 6.10 : Etage de sortie classe AB avec circuit de contrôle réactif composé de transistors couplés.

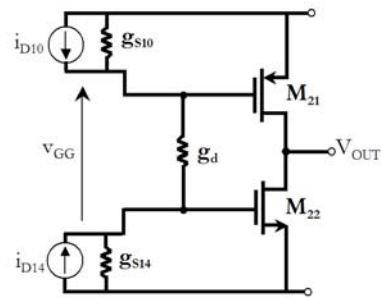


Fig. 6.11 : Schéma équivalent de l'étage de sortie avec ses sources de courant équivalentes en entrée

Nous en déduisons donc que la conductance dynamique  $g_d \approx g_{m17}$  du dipôle constitué par les transistors  $M_{17}$  et  $M_{18}$  est très grande en comparaison avec les conductances de sortie  $g_{s14}$  et  $g_{s10}$  de  $M_{14}$  et  $M_{10}$  qui correspondent aux conductances de sortie de l'étage cascode amélioré qui pilote ce circuit.

Le circuit fonctionnant en classe AB, nous pouvons donc faire l'hypothèse que lorsque l'un des deux transistors  $M_{21}$  ou  $M_{22}$  conduit notablement, le second est bloqué. Dans ce cas, le gain en tension intrinsèque quasi-statique de cet étage est donc, avec une expression petit signal :

$$A_{v20} \approx \frac{-g_{m22}}{g_{DS22} + g_L} \quad \text{respectivement} \quad A_{v20} \approx \frac{-g_{m21}}{g_{DS21} + g_L} \quad (6-14)$$

## 2.3 Etude de l'amplificateur complet

### a) Gain en tension différentiel en boucle ouverte

Le gain en tension différentiel quasi-statique en boucle ouverte de l'amplificateur complet (Fig. 6.2) s'exprime donc, à partir des équations (6-9) et (6-14) :

$$A_{d0} = A_{d10} \cdot A_{v20} \approx \frac{g_{m1} + g_{m3}}{g_{s10} + g_{s14}} \cdot \frac{-g_{m22}}{g_{DS22} + g_L} \quad (6-15)$$



## b) Réponse en fréquence en boucle ouverte

L'amplificateur opérationnel doit fonctionner en boucle fermée. Aussi, pour prévoir la stabilité en fréquence du circuit bouclé, il est nécessaire d'évaluer les principales constantes de temps de l'ampli-op. Nous faisons l'hypothèse que l'admittance de charge extérieure  $Y_L(p)=G_L+pC_L$  est relativement faible et que les dimensions des transistors  $M_{21}$  et  $M_{22}$  ne sont pas « excessives ». Par conséquent, le pôle dominant  $\tau_{AO11}$  est « vu » par les grilles de  $M_{21}$ - $M_{22}$ . Dans l'hypothèse où le circuit ne possède pas de capacité supplémentaire de compensation en fréquence, en supposant que  $M_{22}$  est actif tandis que  $M_{21}$  est bloqué, et que  $M_{17}$  et  $M_{18}$  sont des courts-circuits dynamiques entre drain et source, on peut évaluer l'expression de  $\tau_{AO11}$  :

$$\tau_{AO11} = \frac{C_{eq11}}{g_{s10} + g_{s14}} \quad (6-16)$$

avec  $C_{eq11} = C_{DB10} + C_{GB10} + C_{DB14} + C_{GD14} + C_{GS21} + C_{GD21} + C_{GS22} + C_{GD22}(1-A_{v20}) + C_{DB17} + C_{SB17} + C_{DB18} + C_{SB18}$ .

Dans l'hypothèse où les transistors sont approximativement de même géométrie hormis  $M_{21}$  et  $M_{22}$ , nous pouvons simplifier cette expression :

$$\tau_{AO11} \approx \frac{g_{m10}/g_{DS8}}{2g_{DS10}} \left[ 4C_{DB} + 2C_{GD} + 2C_{SB} + C_{GD22}(2 - A_{v20}) \right] \quad (6-17)$$

Le deuxième pôle, supposé non-dominant, de constante de temps  $\tau_{AO12}$  s'exprime en fonction de l'admittance de la charge extérieure du circuit :

$$\tau_{AO12} = \frac{C_{DB21} + C_{GD21} + C_{DB22} + C_{GD22} + C_L}{g_{DS22} + G_L} \approx \frac{2(C_{DB22} + C_{GD22}) + C_L}{g_{DS22} + G_L} \quad (6-1)$$

L'expression du gain en tension différentiel en boucle ouverte  $A_d$  est alors :

$$A_d(p) = \frac{A_{d0}}{(1 + \tau_{AO11}p)(1 + \tau_{AO12}p)} \quad (6-18)$$

## c) Dimensionnement des transistors

L'amplificateur opérationnel a été dimensionné à partir des spécifications requises dans le cadre de notre application. L'étage de sortie classe AB de l'amplificateur a été dimensionné à partir du courant de charge nécessaire de la capacité de stockage du circuit S/B ( $C_H=1pF$ ).

	$M_1$	$M_2$	$M_3$	$M_4$	$M_5$	$M_6$	$M_7$	$M_8$
Rapport (W/L)	20µ/0.6µ	20µ/0.6µ	60µ/0.6µ	60µ/0.6µ	4.5µ/1µ	1.5µ/1µ	28.8µ/0.6µ	28.8µ/0.6µ
	$M_9$	$M_{10}$	$M_{11}$	$M_{12}$	$M_{13}$	$M_{14}$		
Rapport (W/L)	5.4µ/0.6µ	5.4µ/0.6µ	9.6µ/0.6µ	9.6µ/0.6µ	1.8µ/0.6µ	1.8µ/0.6µ		

Tab. 5-4 : Géométrie en W/L des transistors du premier étage.

	$M_{15}$	$M_{16}$	$M_{17}$	$M_{18}$	$M_{19}$	$M_{20}$	$M_{21}$	$M_{22}$
Rapport (W/L)	1.2 $\mu$ /0.6 $\mu$	1.2 $\mu$ /0.6 $\mu$	4.8 $\mu$ /0.6 $\mu$	14.4 $\mu$ /0.6 $\mu$	3.6 $\mu$ /0.6 $\mu$	3.6 $\mu$ /0.6 $\mu$	108 $\mu$ /0.6 $\mu$	36 $\mu$ /0.6 $\mu$

**Tab. 5-5 : Géométrie en W/L des transistors de l'étage de sortie.**

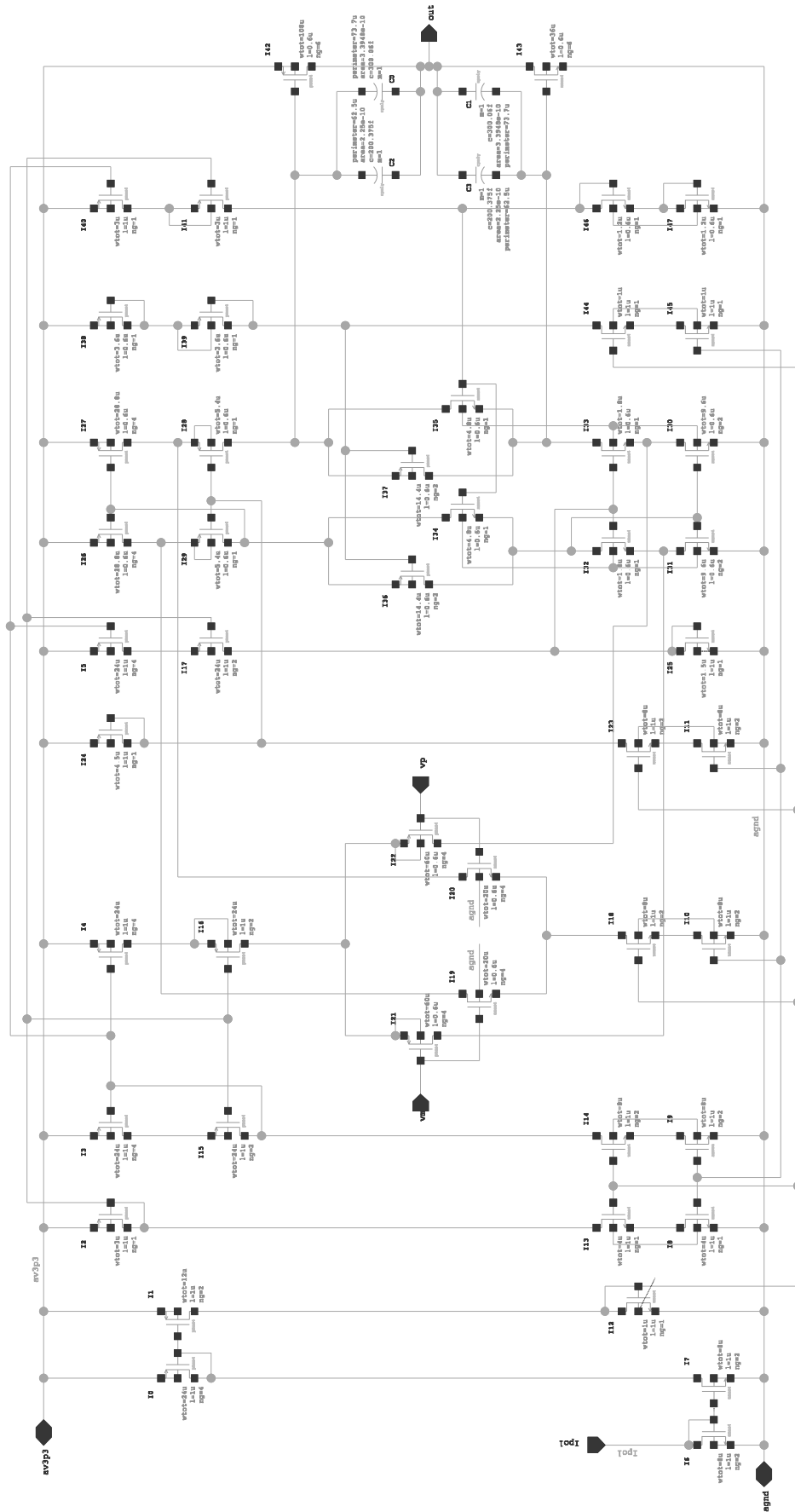


Fig. 6.12 : Schéma électrique de l'amplificateur opérationnel rail-to-rail large bande

## 2.4 Implémentation et résultats

### 2.4.1 Implémentation

Le layout de l'amplificateur opérationnel est présenté à la [figure 6.13](#). L'espace entre les deux rails d'alimentation  $V_{DD}$  et  $V_{SS}$  est de 190 $\mu$ m (hauteur fixe utilisée pour l'ensemble des circuits). La largeur du circuit est de 235 $\mu$ m, soit une surface effective de 0.044mm<sup>2</sup> sur le silicium. Cet amplificateur a été intégré indépendamment du circuit S/B dans l'Asic afin de pouvoir réaliser des mesures expérimentales.

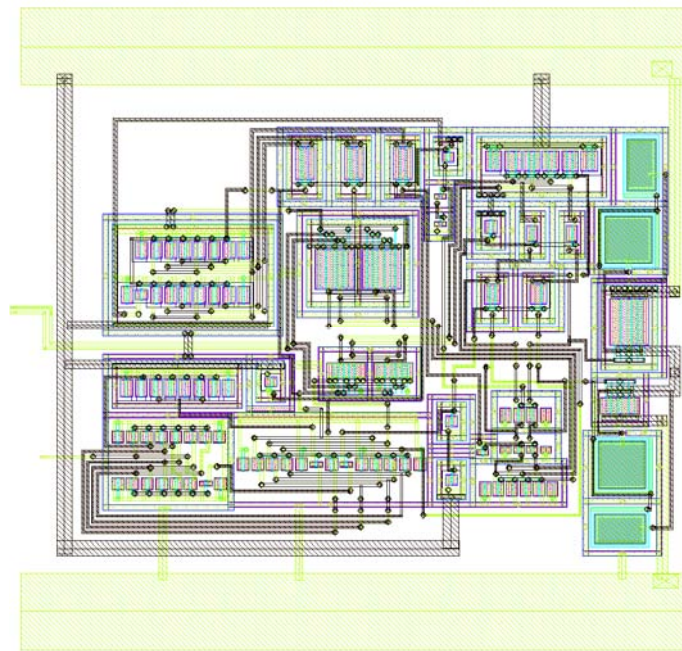


Fig. 6.13 : Layout de l'amplificateur asymétrique rail-to-rail.

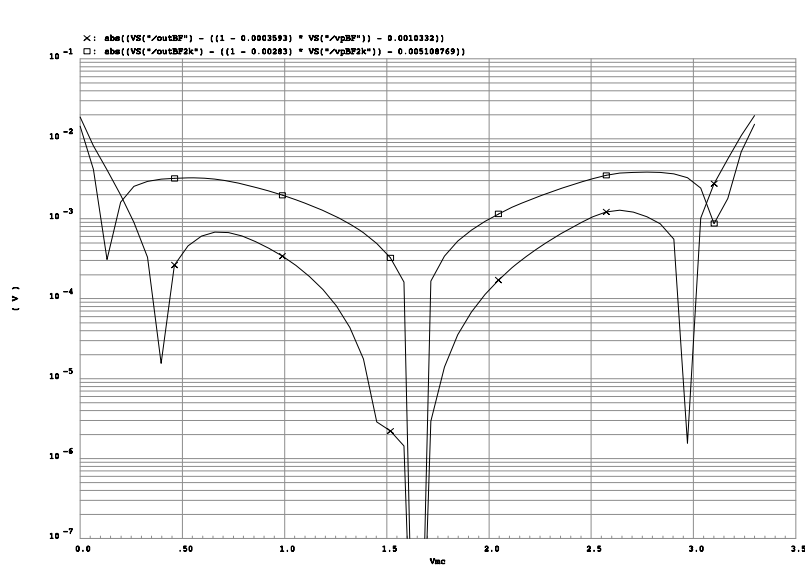
### 2.4.2 Résultats

#### a) Caractéristiques quasi-statiques

Nous n'avons pas utilisé de méthode de compensation de la valeur de la transconductance totale en fonction de la tension de mode commun appliquée en entrée. La transconductance totale variant alors d'un facteur deux sur l'ensemble de la plage de mode commun : une méthode classique consiste à interpréter cette variation comme résultant en une erreur de gain variable de l'amplificateur en mode suiveur. Cette erreur est alors représentée par une dégradation du RRMC (Rapport de Réjection de Mode Commun) d'un facteur 2.

Nous avons, ici, considéré la variation de la transconductance des deux paires différentielles d'entrée comme une non-linéarité. Afin de qualifier la réponse statique de l'amplificateur en mode suiveur, nous avons alors considéré une erreur de gain en tension constante (extraite du gain en tension différentielle en boucle ouverte pour une tension de mode commun pour la valeur  $V_{mc}=1.65V$ ). Une tension de décalage équivalente de l'amplificateur est alors extraite en

supposant nul le terme de non-linéarité à la tension de mode commun  $V_{mc}=1.65V$ . Nous en déduisons alors simplement la non-linéarité différentielle de l'amplificateur en mode suiveur en fonction de la tension de mode commun appliquée en entrée (Fig. 6.14). Ces deux courbes ( $R_L=\infty$ ,  $R_L=2k\Omega$ ) permettent ainsi de déterminer la plage de tension en mode commun admissible en entrée du circuit en fonction de la non-linéarité différentielle maximale accordée. Ainsi, selon la figure 6.14, nous pouvons admettre une plage admissible de mode commun comprise entre +0.2V et +3.1V pour  $R_L=\infty$  avec une erreur inférieure à  $4.10^{-3}$ .



**Fig. 6.14 : Valeur absolue de la non-linéarité différentielle de l'amplificateur en mode suiveur en fonction de la tension de mode commun en entrée ( $R_L=\infty$ [X],  $R_L=2k\Omega$ [□])**

La consommation quasi-statique de l'amplificateur opérationnel mesurée expérimentalement sur l'alimentation  $V_{DD}=3.3V$  est de 2.4mA, soit une puissance consommée quasi-statique de 7.9mW.

Le courant maximum pouvant être fourni en sortie par l'amplificateur, mesuré expérimentalement, est : -7.2mA, +6.6mA. Nous avons appliqué un signal triangulaire en entrée de l'amplificateur opérationnel, câblé en suiveur, sur l'ensemble de la plage admissible en entrée 0-3.3V afin de mesurer sa plage de tension de sortie maximale admissible. La tension de mode commun en sortie est mesurée égale à 1.71V. A partir des mesures (Fig. 6.15), nous en déduisons une plage de sortie admissible quasi-statique proche de  $3V_{cac}$  :

$$V_{OUTmin} \approx 0.1V \leq V_{OUT} \leq 3.1V \approx V_{OUTmax} \quad (6-19)$$

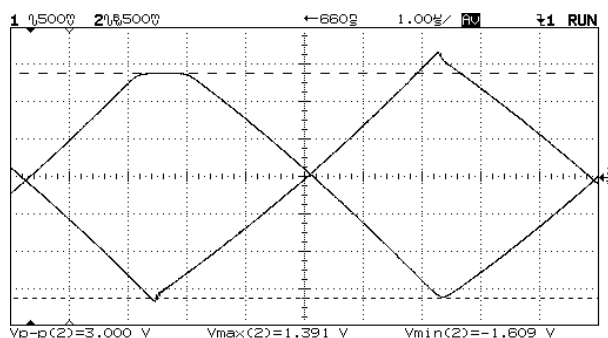


Fig. 6.15 : Réponse de l'amplificateur opérationnel en mode suiveur à un signal triangulaire 0-3.3V en entrée.

## b) Caractéristiques dynamiques

La figure 6.16 représente le diagramme asymptotique de Bode du gain en tension différentiel en boucle ouverte avec  $R_L=2k\Omega$  en prenant en compte les éléments du layout. Dans ces conditions, le produit gain-bande  $GBW_A$  de l'amplificateur initialement attendu en simulations est de 130MHz.

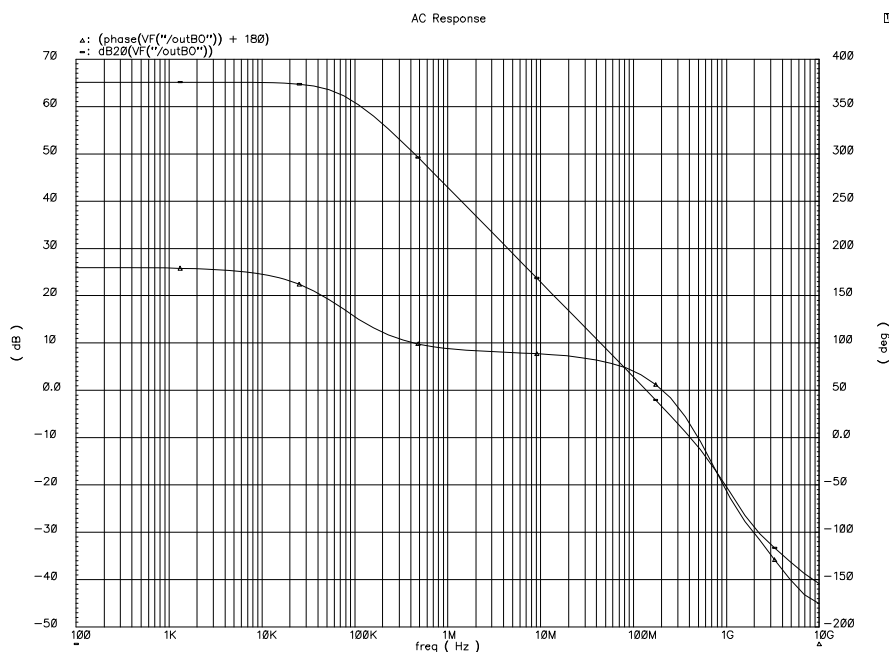


Fig. 6.16 : Diagramme de Bode de l'amplificateur opérationnel rail-to-rail large-bande en boucle ouverte

Nous avons mesuré expérimentalement la bande passante de l'amplificateur opérationnel dans différentes configurations de rebouclage. Les bande-passantes mesurées sont :

- Pour Gain=10 : la bande passante est de 8.3MHz
- Pour Gain=1000 : la bande passante est de 94kHz

Dans la configuration de rebouclage avec un gain de 1000, nous mesurons donc un produit gain-bande d'environ 94MHz. L'écart, par rapport aux résultats de simulations pourrait être

attribué aux éléments capacitifs supplémentaires introduits par les plots de sortie et les connexions externes des résistances.

### 2.4.3 Tableau des caractéristiques

Le [tableau 6-1](#) présente les caractéristiques générales, statiques, dynamiques et transitoires de l'amplificateur opérationnel de la [figure 6.12](#). Ces résultats sont obtenus à partir de simulations post-layout du circuit implémenté.

PARAMETRE	VALEUR		UNITE
	$R_L = \infty$	$R_L = 2k\Omega$	
<b>CARACTERISTIQUES GENERALES</b>			
Technologie	AMS CMOS 0.6 $\mu$ m		
Surface Layout	0.045		mm <sup>2</sup>
Plage d'alimentation	3.3V		V
<b>CARACTERISTIQUES STATIQUES</b>			
Courant de polarisation total	1.84		mA
Puissance consommée quasi-statique	6		mW
Courant de sortie Max	$\pm 7.5$		mA
Plage admissible de mode commun	+0.2V ; +3.1V		V
Plage d'excursion maximale en sortie	20mV- 3.29V	80mV- 3.22V	V
Tension de décalage en boucle fermée à gain unitaire	1	5.1	mV
Erreur de gain en boucle fermée à gain unitaire	3.6	28	10 <sup>-3</sup>
Gain quasi-statique en boucle ouverte	69	51	dB
<b>CARACTERISTIQUES DYNAMIQUES EN BOUCLE OUVERTE</b>			
Produit Gain-Bande Passante au 1 <sup>er</sup> ordre			
Fréquence de gain unitaire	140	132.4	MHz
Marge de Phase au gain unitaire	62.2		°
<b>CARACTERISTIQUES DYNAMIQUES EN SUIVEUR</b>			
Fréquence de coupure haute à -3dB	264	255	MHz
(Par défaut) $V_{DD} = 3.3V$ , $R_L = \infty$ , $C_L = 1pF$ , $T = 27^\circ C$			

Tab. 6-1 : Caractéristiques de l'amplificateur asymétrique rail-to-rail large-bande en simulations typiques post-layout.

## 3. Intégration du circuit S/B inverseur en boucle fermée à Intégrateur de Miller (structure 4)

### 3.1 Implémentation

La [figure 6.17](#) représente le schéma du circuit S/B inverseur en boucle fermée à intégrateur de Miller ayant été intégré. Les amplificateurs opérationnels  $A_1$  et  $A_2$  représentent l'amplificateur opérationnel rail-to-rail asymétrique présenté à travers le paragraphe précédent.

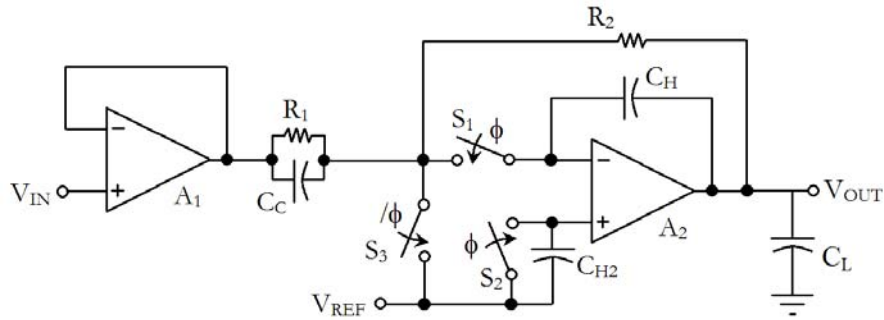


Fig. 6.17 : Schéma de du circuit S/B inverseur en boucle fermée à Intégrateur de Miller.

### 3.1.1 Les commutateurs analogiques

Nous avons vu que le dimensionnement du commutateur analogique, en tant que simple transistor, était imposé par le courant  $|I_{\text{chargemax}}|$  devant circuler à l'intérieur du canal lors de la charge de la capacité de stockage  $C_H$ . Bien que l'injection de charges soit supposée constante en théorie, le taux d'injection de charges  $\alpha_{\text{inj\_CH}}$  du commutateur  $S_1$  sur la capacité  $C_H$  varie en fonction de la valeur de l'amplitude du signal en entrée. Cette variation est provoquée par la différence d'impédances « vues » de part et d'autre du commutateur, ce qui est notamment en vrai dès lors que nous ne considérons plus le suiveur d'entrée comme une source de tension idéale.

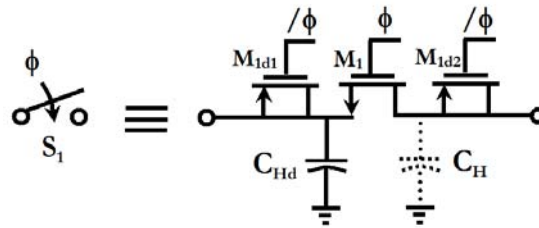


Fig. 6.18 : Schémas équivalent et électrique des commutateurs analogiques

Afin de compenser l'injection de charges restantes, nous utilisons deux principes de compensation analysés au chapitre 3 (Fig. 6.18) : la compensation par ajout de deux transistors « fantôme »  $M_{1d1}$  et  $M_{1d2}$  de part et d'autre du transistor  $M_1$  injectant des charges opposées simultanément et la compensation par ajout d'une capacité supplémentaire  $C_{Hd}$  afin d'assurer un facteur d'injection de charges dans la capacité  $C_H$  de valeur plus faible.

Les transistors fantômes sont dimensionnés comme précisé au chapitre 3 ; on utilise des rapports géométriques de moitié de celui du transistor de commande  $(W/L)_{M1d1}=(W/L)_{M1d2}=(9\mu\text{m}/0.6\mu\text{m})$ .



### 3.1.2 Compensation de l'injection de charge résultante en entrée de l'amplificateur A2

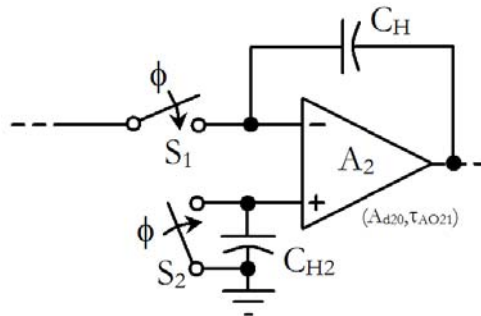


Fig. 6.19 : Compensation de l'injection de charge résultante du commutateur  $S_1$  par ajout d'un commutateur  $S_2$  et d'une capacité  $C_{H2}$

Nous avons montré au chapitre 3, que nous pouvons utiliser une capacité  $C_{H2}$ , entre l'entrée inverseuse et la sortie de l'amplificateur configuré en suiveur, en sortie du circuit S/B de principe, commandé par un commutateur analogique  $S_2$ , et ce, afin de compenser l'injection de charges sur l'entrée non-inverseuse de l'amplificateur. Nous pouvons utiliser le même principe dans ce circuit S/B en inversant les rôles des capacités  $C_H$  et  $C_{H2}$  : la capacité de compensation  $C_{H2}$  est ici connectée sur l'entrée non-inverseuse de l'amplificateur (Fig. 6.19). Afin que la compensation soit la plus symétrique possible, nous mettons en oeuvre le même commutateur analogique que le commutateur  $S_1$  (Fig. 6.18). Ce circuit permet ainsi de compenser par décalage le reste de charges injectées par  $S_1$ .

### 3.1.3 La compensation en fréquence

Afin d'améliorer le comportement dynamique de la structure, le circuit S/B de la figure 6.17 présente une capacité supplémentaire de compensation  $C_C$  en parallèle à la résistance  $R_1$  [Ishikawa,1989]. En effet, nous avons montré qu'au premier ordre, le comportement dynamique du circuit S/B était celui d'un filtre passe-bas du premier ordre (chapitre 4) :

$$G_i(p) = \frac{G_{i0}}{1 + p[1 + \eta_{\tau1R_{on}}]\tau_1} \quad (6-20)$$

La capacité supplémentaire  $C_C$  introduit un zéro supplémentaire de constante de temps  $\tau_z=R_1C_C$  dans la fonction de transfert du circuit :

$$G_i(p) = G_{i0} \frac{1 + pR_1C_C}{1 + p[1 + \eta_{\tau1R_{on}}]\tau_1} \quad (6-21)$$

Ainsi, de manière théorique, c'est-à-dire en considérant que la réponse fréquentielle du circuit S/B correspond uniquement à la participation d'un seul pôle, il est possible de rendre la

réponse dynamique du circuit indépendante de la fréquence. La capacité de compensation  $C_C$  doit alors être dimensionnée telle que le pôle dominant et le zéro de la fonction de transfert coïncident :

$$R_1 C_C = \left[ 1 + \eta_{\tau_1 R_{on}} \right] \tau_1 = \left[ 1 + r_{ON} / R_{eq} \right] R_2 C_H \quad (6-22)$$

où  $R_{eq}$  représente la résistance résultante de la mise en parallèle des deux résistances  $R_1$  et  $R_2$ . Soit la valeur de la capacité  $C_C$  :

$$C_C = \left[ 1 + 2r_{ON} / R_2 \right] C_H \quad \text{dans le cas où } |G_{io}| = 1 \quad (6-23)$$

Dans le cas de notre instrumentation, et comme démontré au chapitre 4, la participation de nombreux pôles dans la fonction de transfert complexifie la réponse fréquentielle du circuit. La valeur de la capacité de compensation  $C_C$  est donc évaluée en fonction de la fréquence propre du circuit S/B. La valeur de la capacité intégrée est alors  $C_C = 2\text{pF}$ .

### 3.1.4 Le layout

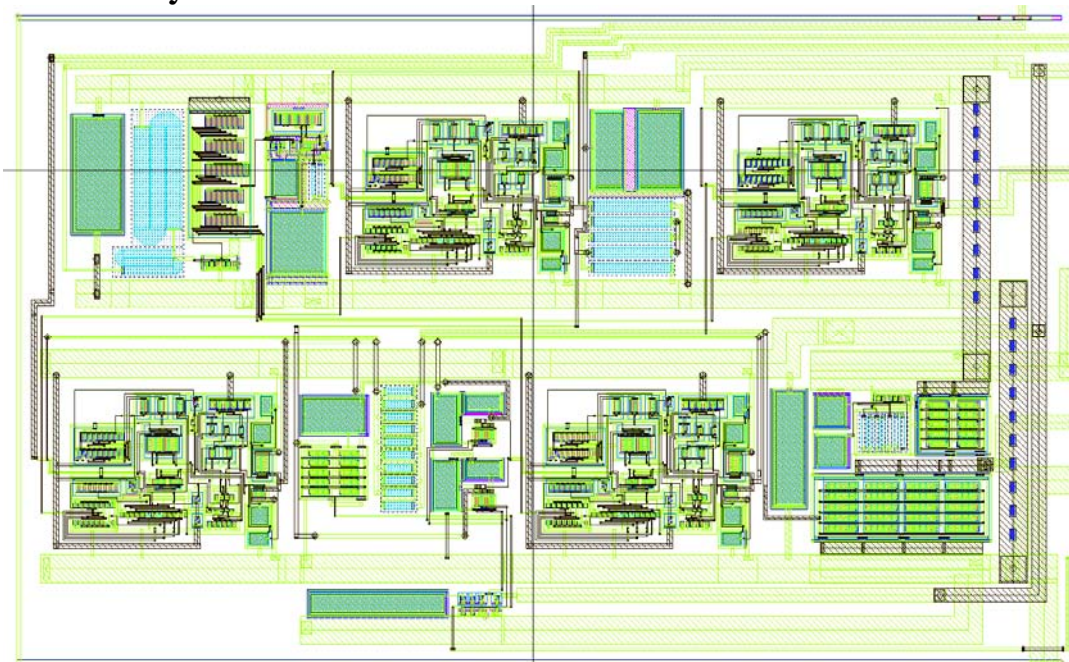


Fig. 6.20 : Layout du circuit S/B inverseur en boucle fermée à Intégrateur de Miller

La figure 6.20 représente le layout du circuit S/B comprenant le buffer d'entrée, le circuit S/B, la source de courant principale, la tension de référence qui correspond à la tension de mode commun, ainsi que deux buffers de sortie. Le buffer de sortie « statique » permettant de mesurer la précision du circuit est réalisé à l'aide du même amplificateur que précédemment en configuration suiveur mais « surcompensé » en fréquence. Le buffer « dynamique » permettant de réaliser des mesures transitoires sur le circuit est capable d'attaquer la charge capacitive de la sonde de l'oscilloscope de 15pF. La surface totale du circuit est de  $1\text{mm} \times 620\mu\text{m}$ .

## 3.2 Résultats

### 3.2.1 Caractéristiques quasi-statiques

La tension de référence du circuit  $V_{REF}$  est fixée à  $1.65V=V_{DD}/2$ . Afin d'extraire les caractéristiques quasi-statiques du circuit S/B en mode échantillonnage, nous avons caractérisé la tension de sortie du circuit S/B à partir de l'équation suivante :

$$V_{OUT} = [1 + \varepsilon](V_{DD} - V_{IN}) + V_{off} + NL(V_{IN}) \quad (6-24)$$

Où  $\varepsilon$  représente l'erreur de gain du circuit S/B,  $V_{off}$  représente sa tension de décalage et NL correspond au terme non-linéaire dépendant de la valeur de l'amplitude du signal en entrée du circuit.

- La plage d'entrée de mode commun admissible du circuit S/B est définie à partir de la [figure 6.21](#) issue de la simulation. Nous définissons cette plage admissible pour les valeurs de tension de mode commun en entrée telles que le circuit est dans un régime linéaire de fonctionnement, soit  $V_{inMC}=[300mV, 3V]$ .

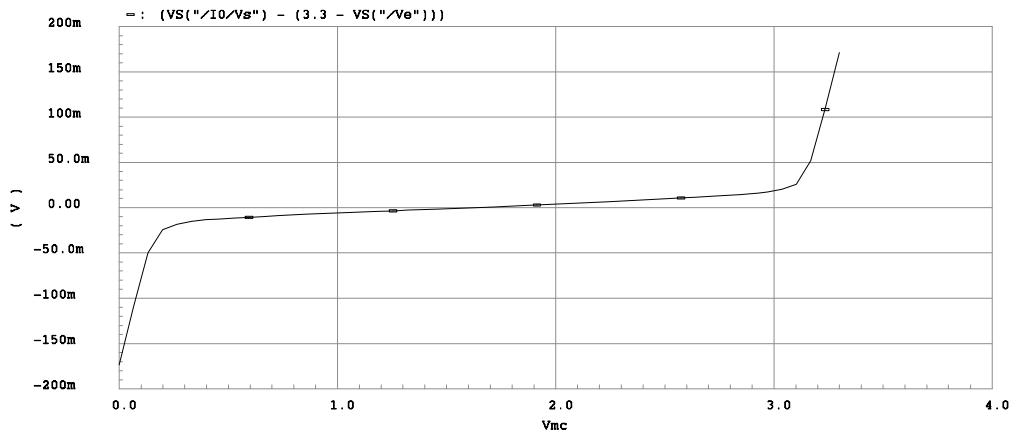


Fig. 6.21 : Caractéristique de sortie statique du circuit S/B en fonction de la tension de mode commun en entrée

- A partir de cette plage de tension de mode commun admissible, nous extrayons l'erreur de gain du circuit S/B avec l'hypothèse que le terme non-linéaire du circuit S/B est nul aux extrémités de cette plage de tension, soit une erreur de gain  $\varepsilon = -0.68\%$ .

- A partir de la détermination de l'erreur de gain, nous pouvons en déduire la tension de décalage  $V_{off}$  du circuit S/B, puisque cette tension correspond à l'erreur résultante aux extrémités de la plage, soit  $V_{off} = 12.6mV$ .

• Nous pouvons, enfin, évaluer la non-linéarité différentielle du circuit en mode échantillonnage en fonction de la plage de tension admissible en entrée, dans les conditions typiques  $T=27^{\circ}\text{C}$ ,  $V_{DD}=3.3\text{V}$ . La plage de non-linéarité simulée est  $[-900\mu\text{V}, +1.54\text{mV}]$  (Fig. 6.22).

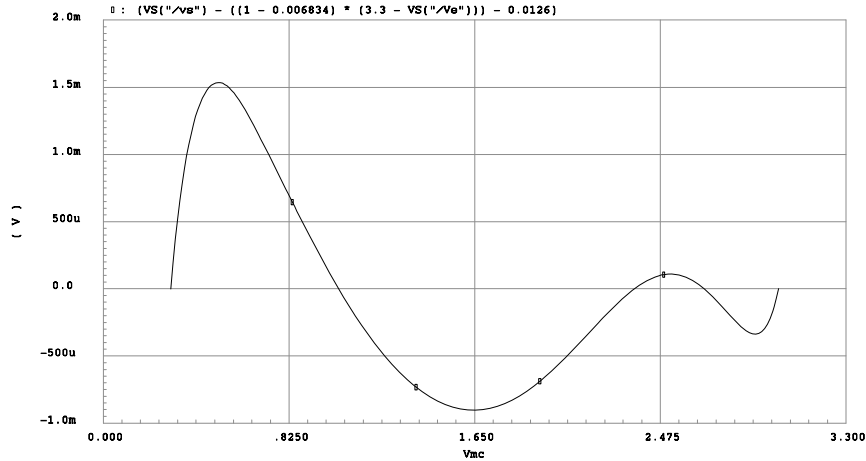


Fig. 6.22 : Non-linéarité différentielle du circuit S/B en mode échantillonnage, dans les conditions typiques,  $T=27^{\circ}\text{C}$ ,  $V_{DD}=3.3\text{V}$  en fonction de la tension appliquée en entrée

### 3.2.2 Caractéristiques dynamiques

La figure 6.23 présente le diagramme de Bode du circuit S/B en mode échantillonnage sans le buffer d'entrée et avec une capacité de charge en sortie de 1pF. Nous avons tracé respectivement la fonction de transfert du circuit sans et avec la compensation de fréquence par  $C_C$ . L'ajout de la capacité  $C_C$  permet ainsi d'augmenter la fréquence de coupure haute du circuit à  $-3\text{dB}$  de 68.8MHz à 113.2MHz. Un « overshoot » est alors présent dans la réponse dynamique du circuit, d'amplitude 0.8dB à la fréquence de résonance 52MHz. Cette surtension dans la réponse transitoire ne provoque pas d'instabilité car elle est produite par une surcompensation.

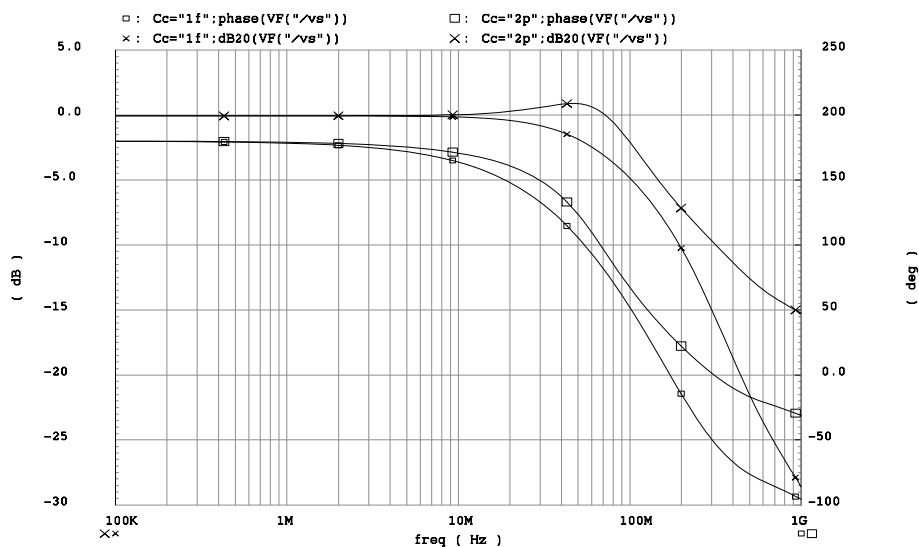


Fig. 6.23 : Diagramme de Bode post-layout (Module et Phase) du circuit S/B en mode échantillonnage sans et avec capacité de compensation  $C_C=2\text{pF}$ . La capacité de charge  $C_L$  est de valeur 1pF.

Nous avons mesuré expérimentalement le Spurious Free Dynamic Range (SFDR) du circuit S/B en mode échantillonnage. Le signal en entrée est un signal sinusoïdal d'amplitude 1Vpp et de fréquence 1MHz (Fig. 6.24). La mesure effectuée à l'analyseur de spectre caractérise un SFDR = 82dB à 1MHz.

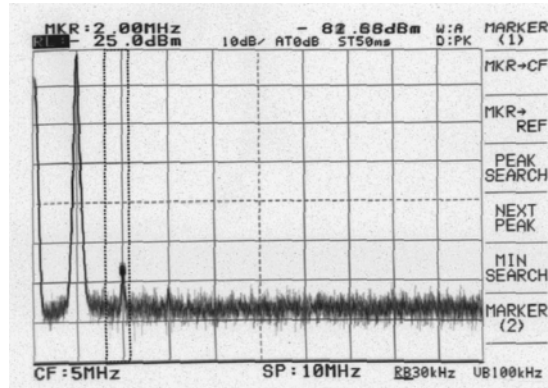


Fig. 6.24 : Réponse spectrale du circuit S/B en mode échantillonnage pour un signal sinusoïdal d'entrée d'amplitude 1Vpp et de fréquence 1MHz.

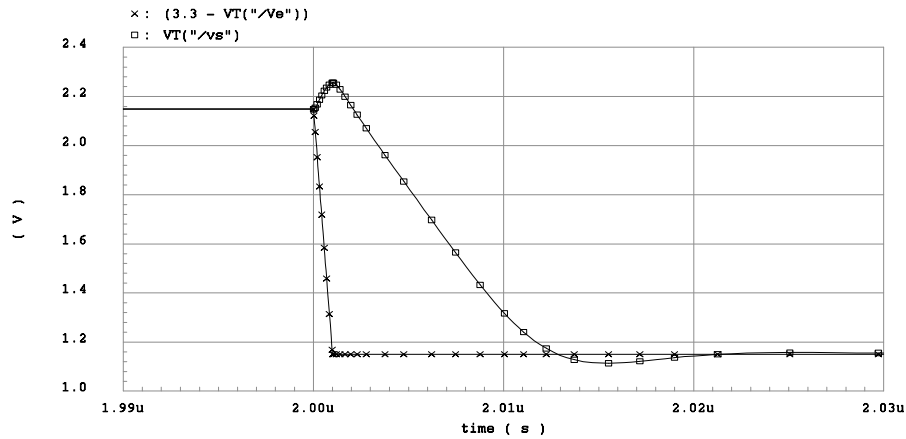
### 3.2.3 Caractéristiques Transitoires en mode échantillonnage

La figure 6.25 présente le comportement expérimental du circuit S/B en mode de fonctionnement. Une fréquence d'échantillonnage de 1.47Mech/s est appliquée sur un signal d'entrée triangulaire de fréquence 200kHz et dont l'amplitude varie entre 0 et 3.3V.

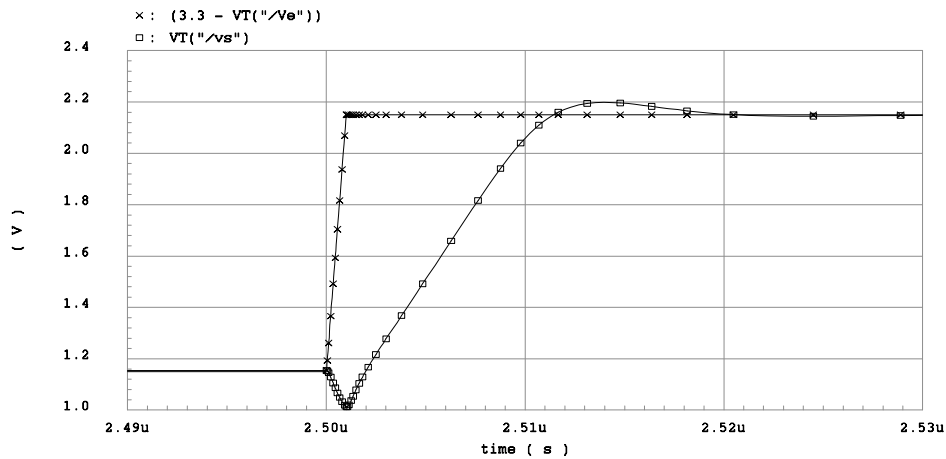


Fig. 6.25 : Réponse temporelle du circuit S/B à un signal triangulaire en entrée

La figure 6.26 représente la réponse temporelle en simulations du circuit S/B en mode échantillonnage à un front montant en entrée du circuit d'amplitude 1Vpp, de tension de mode commun 1.65V, de temps de montée 1ns, dans les conditions typiques ( $T=27^{\circ}C$ ,  $V_{DD}=3.3V$ ). Le circuit S/B étant un circuit inverseur, nous avons volontairement inversé la courbe du signal d'entrée. De manière équivalente, la figure 6.27 représente la réponse du circuit S/B à un front descendant dans les mêmes conditions que précédemment. Le slew-rate montant du circuit est de 0.11V/ns et le slew-rate descendant est de -0.12V/ns.



**Fig. 6.26 : Réponse temporelle du circuit S/B en mode échantillonnage à un front montant d'amplitude 1Vpp, de tension de mode commun 1.65V, de temps de montée 1ns en entrée (la courbe du signal d'entrée est volontairement inversée) sur charge capacitive en sortie de 1pF ( $C_C=2pF$ )**



**Fig. 6.27 : Réponse temporelle du circuit S/B en mode échantillonnage à un front descendant d'amplitude 1Vpp, de tension de mode commun 1.65V, de temps de montée 1ns en entrée (la courbe du signal d'entrée est volontairement inversée) sur charge capacitive en sortie de 1pF ( $C_C=2pF$ )**

Dans le cas pratique d'utilisation du circuit S/B dans une chaîne vidéo, des circuits additionnels permettent de réaliser une calibration notamment sur les valeurs numériques échantillonnées. Il est ainsi possible, à partir de la détermination des caractéristiques quasi-statiques du circuit S/B en mode échantillonnage de prendre en compte l'erreur de gain quasi-statique du circuit ainsi que sa tension de décalage, et ce afin de minimiser l'erreur sur les valeurs du signal échantillonné. En considérant cette méthode de calibration, nous pouvons déterminer le temps d'acquisition nécessaire en mode échantillonnage afin de respecter la résolution effective requise de 10bits. Dans ces conditions, le temps d'acquisition à 0.1% en mode échantillonnage est de 28.7ns pour un signal d'entrée d'amplitude 1Vpp et de tension de mode commun 1.65V. Ce temps d'acquisition correspond au temps minimal nécessaire avant de pouvoir basculer le circuit S/B en mode de maintien.

### 3.2.4 Caractéristiques Transitoires en mode de maintien

Nous pouvons évaluer l'erreur générée par les injections des charges dans le circuit lors du basculement en mode de maintien. Typiquement, l'injection des charges dans les capacités de stockage est un phénomène très rapide. Néanmoins, comme nous l'avons analysé dans les [chapitres 3 et 4](#), la structure en boucle fermée du circuit retenu nécessite en temps d'établissement plus important afin d'équilibrer le point de fonctionnement du circuit. Ainsi, et comme nous pouvons le remarquer sur la [figure 6.28](#), afin de rester dans la résolution attendue du circuit S/B (N=10bits), un temps d'établissement minimum de 8.8ns est nécessaire pour que l'erreur en tension liée à la non-linéarité résultante soit inférieure à 1mV. Une première évaluation du phénomène d'injections de charge permet de déterminer que l'erreur de tension générée par ce phénomène est d'environ  $-100\mu$ V.

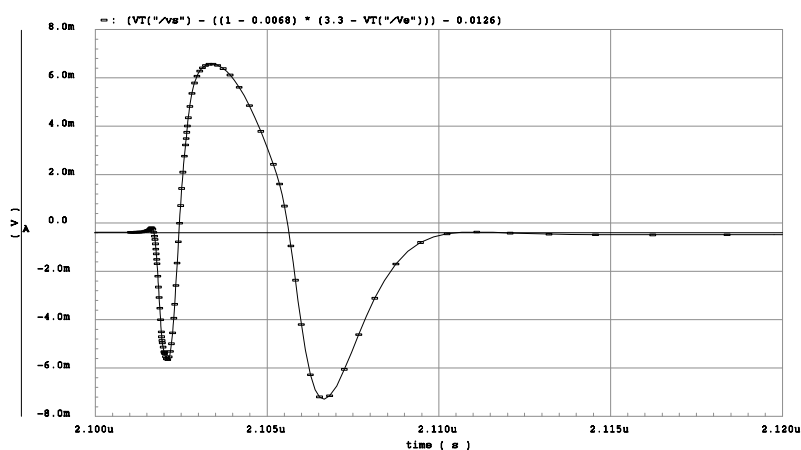


Fig. 6.28 : Réponse temporelle typique du circuit S/B lors du basculement en mode de maintien (ex : signal échantillonné d'amplitude +500mV superposé à la tension de mode commun  $V_{mc}=1.65$ V , temps de basculement de la phase de commande de 1ns)

#### a) Temps d'établissement en mode de maintien

Le temps d'établissement minimum en mode de maintien est déterminé à partir de l'instant où l'erreur en tension liée aux injections de charges est en accord avec la résolution attendue du circuit S/B. Ainsi, dans notre instrumentation, pour une résolution effective de 10bits, il est nécessaire que l'erreur en tension finale soit inférieure à 1mV. La [figure 6.29](#) représente le temps d'établissement minimum nécessaire en mode de maintien en fonction de l'amplitude du signal appliqué en entrée. Nous pouvons donc vérifier qu'il est proche de 9ns.

La fréquence d'échantillonnage maximale du circuit est ainsi définie à partir de la somme du temps d'acquisition en mode échantillonnage et du temps d'établissement en mode de maintien.

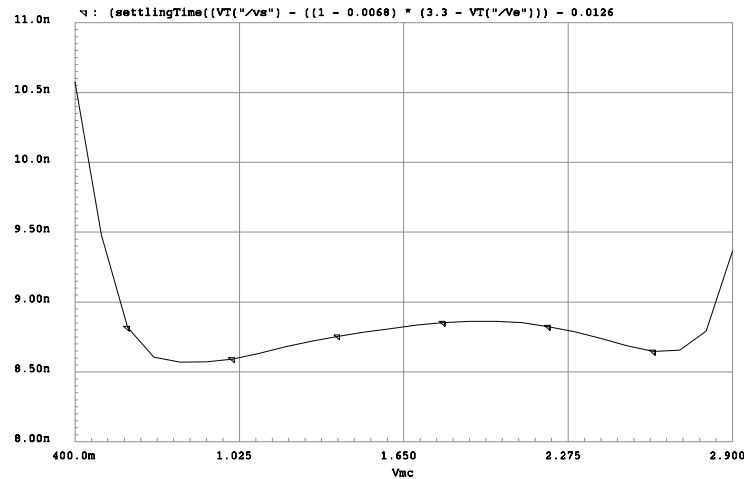


Fig. 6.29 : Temps d'établissement minimum nécessaire en mode de maintien pour une résolution effective du circuit de 10bits en fonction de l'amplitude du signal en entrée

### b) Erreur en tension liée aux injections de charges

Afin de déterminer l'erreur générée par les phénomènes d'injections de charges en mode de maintien, nous avons évalué en simulations la différence de tension en sortie du circuit S/B après acquisition du signal en mode échantillonnage et après établissement du signal en mode de maintien. La figure 6.30 représente, dans ces conditions (et pour  $T=27^{\circ}\text{C}$ ,  $V_{DD}=3.3\text{V}$ ), l'erreur de tension générée en fonction de l'amplitude du signal. Nous pouvons remarquer que cette erreur est sensiblement constante (environ  $-100\mu\text{V}$ ). La non-linéarité résultante, bien qu'un circuit de compensation pour l'injection de charges ait été ajoutée, s'explique par la tension de référence constante appliquée sur l'entrée non-inverseuse de l'amplificateur ( $V_{ref}=1.65\text{V}$ ) ; des quantités de charges différentes sont ainsi injectées en entrée de l'amplificateur opérationnel  $A_2$ . Néanmoins, en estimant que ces injections de charges sont à l'origine d'une tension de décalage résultante d'environ  $-100\mu\text{V}$ , la tension de décalage déterminée dans les caractéristiques quasi-statiques du circuit en mode échantillonnage peut être modifiée afin de prendre en compte cette erreur de tension constante supplémentaire. La non-linéarité introduite par les injections de charges se situe alors dans une plage  $[-12\mu\text{V}, 8\mu\text{V}]$ .



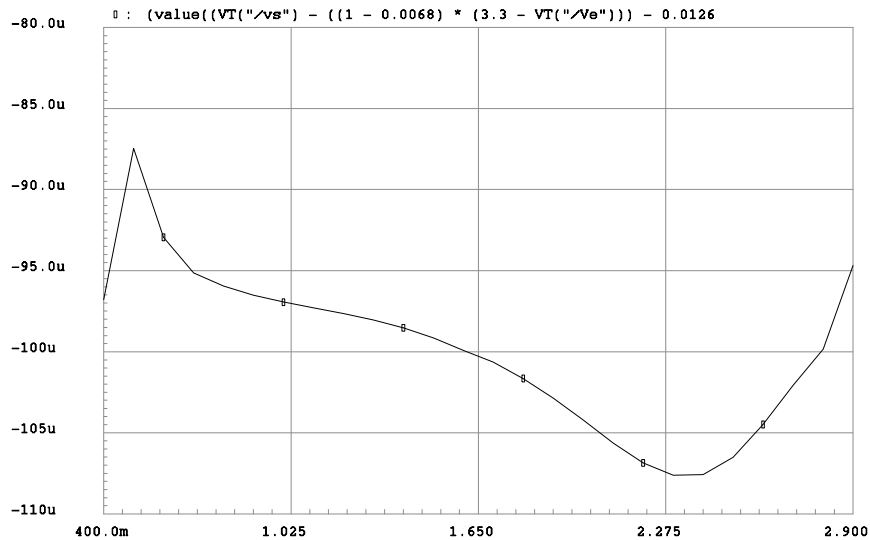


Fig. 6.30 : Erreur en tension générée par les phénomènes d'injection de charges après basculement en mode de maintien en fonction de l'amplitude du signal en entrée (temps de basculement de la phase de commande de 1ns)

### 3.2.5 Fréquence maximale d'échantillonnage

A partir des caractéristiques transitoires déterminées dans les paragraphes précédemment, nous pouvons déterminer, dans les conditions typiques, soit pour une température de 27°C et une tension d'alimentation de 3.3V, la fréquence maximale d'échantillonnage du circuit. Nous avons vu que le temps d'acquisition minimum nécessaire en mode échantillonnage était de 27.8ns, que nous arrondissons à 30ns; et le temps d'établissement en mode de maintien de 9ns, que nous arrondissons à 10ns. Ainsi, la fréquence maximale d'échantillonnage  $f_{ech}$  du circuit est  $1/T_{ech} = 1/(t_{ac} + t_{st}) = 25 \text{ Mechs/s}$ .

## 3.3 Caractéristiques du démonstrateur

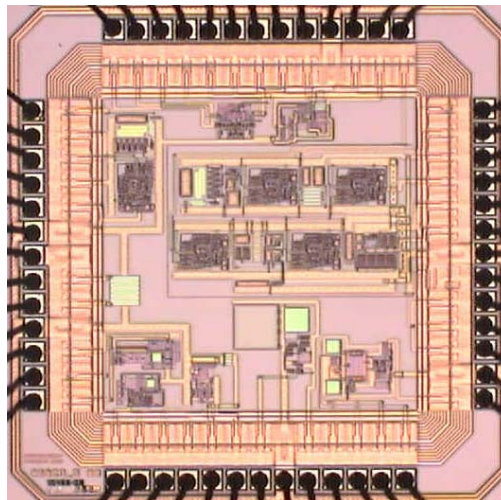


Fig. 6.31 : Photographie du démonstrateur en technologie AMS CMOS 0.6μm

La surface totale de l'Asic est de 4mm<sup>2</sup>. Le nombre de plots d'entrées/sorties est de 44. Le circuit S/B complet ainsi que l'amplificateur opérationnel asymétrique intégré séparément ne représente que 0.9mm<sup>2</sup> de la surface totale, d'autres circuits étant implémentés. La [figure 6.31](#) est une photographie réalisée au microscope électronique de l'Asic. Le [tableau 6-2](#) présente les caractéristiques générales du circuit S/B intégré.

PARAMETRE	VALEUR
<b>CARACTERISTIQUES GENERALES</b>	
Technologie	AMS CMOS 0.6 $\mu$ m
Surface Layout	0.62 mm <sup>2</sup>
Plage d'alimentation	3.3V
Résolution effective	10bits
Fréquence Maximale d'Echantillonnage	25Mechs/s
<b>CARACTERISTIQUES STATIQUES (MODE SUIVEUR)</b>	
Courant de polarisation total (sans buffer)	1.716 mA
Puissance consommée quasi-statique (sans buffer)	5.6 mW
Plage admissible de mode commun	[300mV - 3V]
Tension de décalage	+12.6 mV
Erreur de gain	-0.68 %
Gain quasi-statique	-1
<b>CARACTERISTIQUES TRANSITOIRES EN MODE ÉCHANTILLONNAGE</b>	
Slew-rate montant et descendant	+0.11/-0.12 V/ns
Temps de montée et de descente (10%-90%)	29.5/26.5 ns
Temps d'acquisition montant et descendant à 0.1%	~ 29 ns
<b>CARACTERISTIQUES TRANSITOIRES EN MODE DE MAINTIEN</b>	
Erreur en tension typique générée par injections de charge	- 100 $\mu$ V
Temps d'établissement nécessaire pour assurer une résolution efficace de 10bits	~ 9 ns
(Par défaut) $V_{DD}=3.3V$ , $R_L=\infty$ , $C_L=1pF$ , $T=27^\circ C$ , $V_{In}=1V_{pp}$	

Tab. 6-2 : Caractéristiques du circuit S/B asymétrique en simulations post-layout. Le temps d'acquisition en mode échantillonnage est ici déterminé en prenant en compte la possibilité d'une calibration numérique dans une chaîne vidéo complète de l'erreur de gain du circuit S/B ainsi que de la tension de décalage.

## Conclusion

Ce chapitre nous a permis d'exploiter les différentes études théoriques que nous avons menées dans les précédents chapitres. Nous avons retenu circuit le S/B en boucle fermée, à intégrateur de Miller (structure 4). A partir des spécifications nécessaires, nous avons conçu un amplificateur asymétrique rail-to-rail large-bande qui a été utilisé au sein de ce circuit S/B et en tant que buffer d'entrée dans sa configuration suiveur. Nous avons proposé une méthode d'analyse qui permet de comprendre facilement le fonctionnement et la synthèse de cet amplificateur et ainsi de déterminer ses caractéristiques quasi-statiques et dynamiques.

Des efforts importants ont été menés sur la compensation des phénomènes d'injections de charges lors de la transition en mode de maintien. Une compensation en fréquence supplémentaire a été nécessaire afin d'augmenter la fréquence de coupure haute du circuit. Les caractéristiques générales du circuit ainsi implémenté permettent de valider la réalisation effective d'un circuit d'échantillonnage dans une technologie CMOS basse-tension. Les performances obtenues du circuit, de version asymétrique, à savoir une résolution effective de 10 bits pour un temps d'acquisition et d'établissement d'environ 40ns laisse envisager la réalisation d'un circuit plus performant, répondant aux contraintes de l'environnement spatial dans une technologie cible à longueur de grille minimale plus faible (0.35 $\mu$ m). Nous allons nous employer à vérifier cette hypothèse dans le chapitre suivant.

---

---

# Application aux futurs instruments d'observation de la Terre

---

Afin de valider la faisabilité d'une chaîne vidéo CMOS basse tension pour un futur instrument d'observation de la Terre, nous avons réalisé un circuit intégré analogique dont les fonctions intégrées sont représentatives des spécifications de l'instrumentation globale et de l'environnement de fonctionnement.

Dans le présent chapitre, nous présenterons donc tout d'abord les repères technologiques et de conception inhérents à l'environnement spatial. Nous présenterons notamment des méthodes de durcissement aux radiations au niveau layout. Ensuite, le démonstrateur réalisé en technologie ST BiCMOS6G 0.35 $\mu$ m sous tension d'alimentation 3.3V sera dimensionné. Ce démonstrateur intègre notamment un circuit S/B tout symétrique, un buffer d'entrée différentiel rail-to-rail large bande. L'intégration complète de l'Asic ainsi dimensionné sera ensuite présenté, et ses caractéristiques électriques seront résumées. Les circuits auxiliaires de tests, nécessaires aux mesures expérimentales seront décrits, qu'ils soient intégrés à l'intérieur de l'Asic ou sur la carte de test. Enfin, nous terminerons par une validation de l'intégration par la comparaison entre les résultats issus des simulations et les mesures expérimentales.

## 1. Repères technologiques liés à l'environnement spatial

Les contraintes rayonnantes de l'environnement spatial sont prises en compte dès le cahier des charges d'un projet spatial. Ces contraintes sont évaluées en fonction de l'orbite du véhicule spatial durant toute la mission ainsi que de sa durée. L'évaluation de la contrainte rayonnante étant toujours approximative, il est nécessaire d'intégrer une marge de sécurité par rapport à cette évaluation, marge plus connue sous le nom de RDM (Radiation Design Margin). Mais la notion de RDM est simplement applicable aux effets de dose cumulée. Pour les événements singuliers, il est plutôt réalisé une analyse probabiliste d'apparition, dépendante du LET de seuil du composant et de la nature des particules.

A partir de ces éléments, il est alors nécessaire d'effectuer une recherche technologique pour établir le choix de la technologie qui sera retenue lors de l'intégration.

## 1.1 Des technologies cibles sous environnement radiatif

La prise en compte du durcissement aux radiations peut se faire à partir du choix du procédé technologique mis en œuvre dans la conception des circuits intégrés, notamment par l'optimisation des étapes de fabrication.

Le facteur le plus efficace pour le durcissement d'un transistor MOS est sans aucun doute la réduction de l'épaisseur d'oxyde de grille  $t_{ox}$ . On peut ainsi considérer que les épaisseurs d'oxyde inférieures à 15nm sont suffisantes pour être utilisées dans la majeure partie des véhicules spatiaux. Nous noterons aussi [Dos Santos, 1998] que les oxydes humides (c'est-à-dire obtenus dans une atmosphère de vapeur pyrogénique) sont moins sensibles, et que la présence de fluor améliore aussi la tenue aux radiations.

Néanmoins, il reste toujours le problème des courants de fuite générés par les transistors latéraux, inhérent au transistor NMOS. Une solution consiste à augmenter le dopage du substrat p sous les bords latéraux du transistor, au détriment de la largeur effective  $L_{eff}$  du canal suite à l'extension du dopant sous la grille.

## 1.2 Méthodes de durcissement des circuits aux radiations

### 1.2.1 Les classes de durcissement

On classe généralement les circuits utilisés dans un environnement spatial selon les trois niveaux :

- Circuit **durci** (Radiation Hard) : il est censé être immunisé à toute interférence de radiation ionisante.
- Circuit **tolérant** (Radiation Tolerant) : il peut subir des altérations, mais sans perte de fonctionnalités.
- Circuit **sensible** (Radiation Soft) : il peut subir des altérations profondes, pouvant aller d'une perte significative de la fonctionnalité jusqu'à une perte totale.

## 1.2.2 Les niveaux de durcissement

La notion de durcissement aux radiations se conçoit à trois niveaux bien distincts.

- Au niveau du **système** : elle consiste à optimiser l'orbite du véhicule spatial ainsi que ses différents paramètres afin de minimiser autant que possible les effets des rayonnements sur le système global.

- Au niveau des **sous-systèmes** : la solution la plus simple consiste à ajouter un blindage au niveau des sous-systèmes. L'intérêt certain, de cette méthode, repose sur le degré de liberté supplémentaire ouvert aux concepteurs des électroniques embarquées puisque les fonctions devant être réalisées sont alors allégées de la contrainte rayonnante. Cette solution est néanmoins en grande partie proscrite en raison du coût occasionné par l'apport de masse inhérent au blindage (le coût du véhicule est directement proportionnel à sa masse, et la masse du véhicule est limitée par les capacités du lanceur). On peut profiter d'un placement judicieux des sous-systèmes en se servant du blindage créé par certaines parties mécaniques du véhicule, mais la tendance du développement de véhicules de tailles de plus en plus petites proscrit cette méthode. La technique la plus répandue réside alors dans la duplication des sous-systèmes. A partir de calculs basés sur la théorie de fiabilité des systèmes, certains sous-systèmes sont dupliqués afin d'être, soit utilisés de façon alternative, soit pour que le duplicat prenne la relève lors de la perte de fonctionnalité du sous-système initial (l'exemple le plus connu et représentatif étant le satellite d'observation Hubble, étant aujourd'hui à la limite de sa fonctionnalité en raison de la perte de deux gyroscopes sur six – trois étant nécessaires pour son fonctionnement – et bien que ceux-ci aient déjà été remplacés en 1999). Ces techniques nécessitent, de plus, des méthodes de détection des défaillances en vol.

- Au niveau du **composant** : la solution idéale consiste à disposer de circuits intégrés durcis, ce qui malheureusement devient de plus en plus difficile en raison du marché des composants durcis qui s'amenuise. Il peut aussi être fait usage de boîtiers blindés pour les puces nues. Mais ceux-ci sont en général dédiés pour des milieux radiatifs très particuliers, et le risque encouru est de voir au contraire un accroissement de la dose cumulée absorbée. Ils sont, de plus, d'aucune utilité pour les effets singuliers. Il ne reste alors que la solution la plus efficace : la prise en compte des effets dus au rayonnement dès la conception par la maîtrise des effets de la dose cumulée et des verrouillages de courant.

Dans le cadre de notre étude, afin d'utiliser, si possible, une technologie CMOS « standard », c'est-à-dire non dédiée principalement aux applications spatiales, puisque nous nous

sommes placé au niveau du composant, nous ne présenterons plus en détail que les méthodes de durcissement au niveau de la conception, et plus particulièrement au niveau du layout.

### 1.2.3 Les implantations p+

Les effets de la dose cumulée sont essentiellement réduits par des techniques de layout. Le but étant principalement d'empêcher ou de retarder le phénomène d'inversion dans le substrat. Cette inversion est notamment problématique sous l'oxyde épais d'isolation par laquelle peut se former un transistor bipolaire parasite, d'abord sous des pistes de connections plus positives que le substrat mais surtout de façon plus généralisée. Autour des transistors MOS, nous utilisons généralement des implantations p+. Ce sont ces mêmes implantations que l'on utilise pour réaliser les prises de contact électrique avec le substrat p-. Ces « anneaux de garde » ainsi formés ne sont en fait que la version au niveau layout des anneaux que l'on retrouve dans certaines technologies par lesquelles on réalise une augmentation de l'implantation de blocage autour des transistors NMOS [Brière,1997] et que l'on retrouve notamment sur la technologie SOI DMILL. Le blocage est avant tout lié au dopage élevé introduit, environ  $10^{19}$  atomes/cm<sup>3</sup>.

Une précaution s'impose lorsque ces anneaux sont utilisés : il faut éviter qu'ils soient en contact avec les diffusions n+ (source et drain des transistors NMOS par exemple) afin de ne pas réduire la tension de claquage des jonctions.

### 1.2.4 Les transistors MOS à grille fermée

Les effets des transistors latéraux peuvent être supprimés par l'utilisation de transistors MOS à grille fermée (**E**nclosed **L**ayout **T**ransistors=**E**dge**L**ess **T**ransistors, **ELT**) [Hatano,1985]. Cette structure permet d'éliminer l'interfance continue de la source et le drain avec l'oxyde LOCOS dans la géométrie classique du transistor MOS. Certains inconvénients doivent néanmoins être pris en considération [Anelli,2000] :

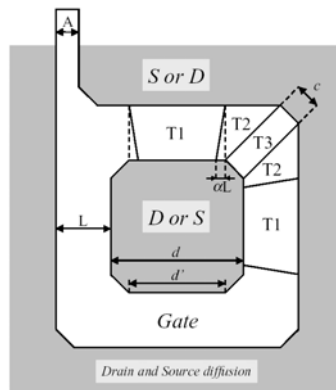
- Superficie utilisée plus large, ce qui entraîne une densité d'intégration plus faible,
- Valeur minimale du rapport W/L utilisable (l'accès à la diffusion intérieure nécessitant un plot de contact),
- Difficulté de modélisation du rapport W/L (et difficulté d'extraction dans les outils de CAO),
- Dissymétrie du transistor (perte de la notion de symétrie du transistor MOS),
- Augmentation des capacités grille-source et/ou grille-drain.



Ces inconvénients étaient consciemment évalués, nous pouvons remédier à certains points mentionnés ci-dessus :

- La superficie utilisée bien que plus grande est à mettre en regard de la simplification du dessin de certaines fonctions analogiques appairées telles que la paire différentielle ou le miroir de courant de précision.
- La modélisation du rapport W/L dans les outils de CAO demande une simple macro d'extraction du rapport géométrique W/L. Dans certaines technologies disposant d'une librairie de transistors à grille fermée, la macro d'extraction est intégrée dans le design kit de la technologie.
- La perte de la notion de symétrie du transistor peut permettre de mieux contrôler certains points « délicats » des circuits en réduisant plus ou moins la capacité parasite équivalente.

La [figure 7.1](#) représente le layout d'un MOS à grille fermée. Nous pouvons remarquer que le concepteur a le choix de sélectionner la zone centrale comme drain ou comme source afin d'optimiser le comportement dynamique de la fonction.



**Fig. 7.1 : Dessin du transistor MOS à grille fermée utilisé [Anelli,1999]**

L'extraction du rapport géométrique W/L équivalent du transistor MOS à grille fermée est basée sur l'étude du champ électrique sous la grille du transistor [Grignoux,1982][Giraldo,2000] [Giraldo,1998] . Ce rapport est alors déterminé selon l'équation :

$$\left( \frac{W_{\text{eff}}}{L_{\text{eff}}} \right) = 4 \frac{2\alpha}{\ln \left( \frac{d'}{d' - 2\alpha L_{\text{eff}}} \right)} + 2K \frac{1 - \alpha}{\frac{1}{2} \sqrt{\alpha^2 + 2\alpha + 5} \ln \left( \frac{1}{\alpha} \right)} + 3 \frac{(d - d')/2}{L_{\text{eff}}} \quad (7-1)$$

où chacun des termes de la somme représente la contribution des sous parties  $T_1$ ,  $T_2$  et  $T_3$  du transistor (Fig. 7.1). Le paramètre  $K$  est dépendant de la géométrie du transistor et prend en compte le nombre d'occurrences de la sous-partie  $T_2$  dans le transistor global. Le terme  $\alpha$  ne peut, à priori, pas être déterminé directement. C'est à partir de la mise en adéquation de mesures expérimentales sur des transistors équivalents « droits » et à grille fermée, que ce coefficient est extrait. Il est montré [Giraldo,2000] que sur des technologies CMOS de  $2.5\mu\text{m}$  à  $0.25\mu\text{m}$ , ce paramètre est sensiblement indépendant de la technologie et de valeur approximative 0.05.

L'utilisation des transistors à grille fermée implique une limitation quant au rapport géométrique minimal implémentable, en raison du nécessaire contact électrique au centre du transistor (source ou drain). Par exemple, dans la technologie ST BiCMOS  $0.35\mu\text{m}$ , à partir de l'extraction du rapport géométrique équivalent minimal d'un transistor à grille fermée permet de déduire que le transistor « droit » équivalent est de rapport géométrique  $5.7\mu\text{m}/0.407\mu\text{m}$ , soit un rapport  $W/L=14$ . Le courant minimal de drain qui donne le régime de forte inversion est d'environ  $150\mu\text{A}$  pour une tension grille-source de 1V, à comparer au courant drain minimal d'environ  $15\mu\text{A}$  pour un transistor droit de taille minimale ( $L=0.35\mu\text{m}$ ,  $W=0.4\mu\text{m}$ ).

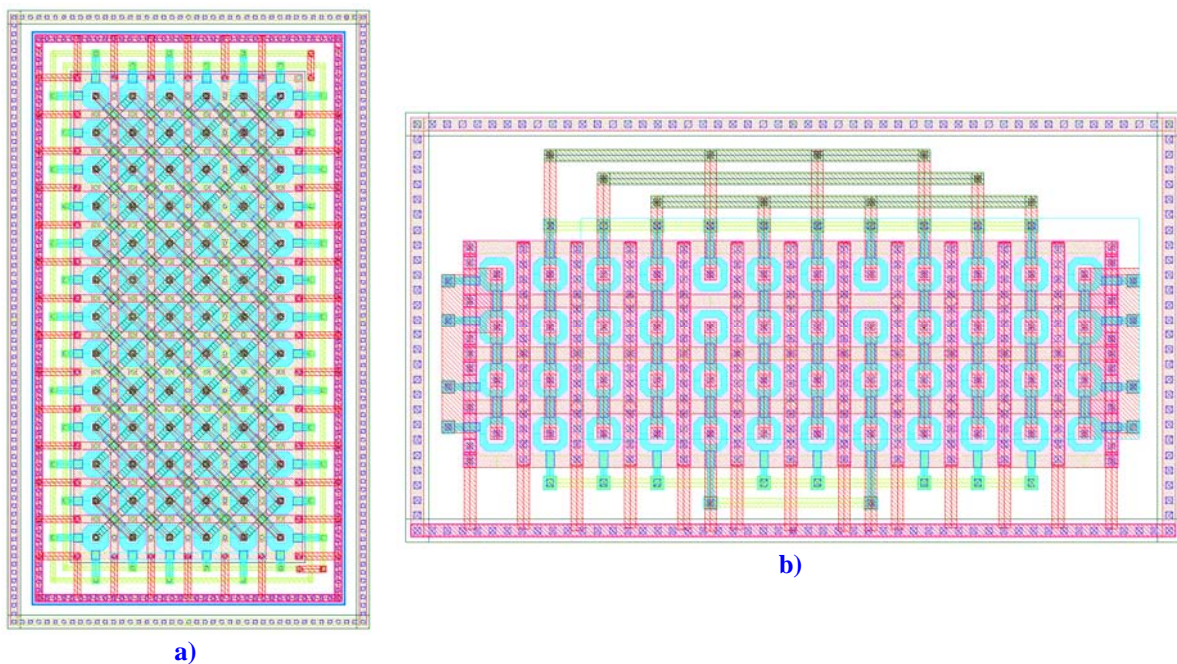


Fig. 7.2 : Exemples de dessin de fonctions analogiques nécessitant un bon appariement des transistors en technologie ST BiCMOS6G  $0.35\mu\text{m}$  a) Paire différentielle PMOS b) Miroir de courant NMOS

Néanmoins, en comparaison avec le transistor droit, le transistor à grille fermée permet une meilleure symétrie dans le dessin de fonctions analogiques nécessitant un bon appariement. Nous pouvons ainsi remarquer (Fig. 7.2) que cette nature géométrique permet un dessin très simple et symétrique de fonctions telles que des paires différentielles ou des miroirs de courant (en

imbriquant les transistors), très sensibles à la dispersion des paramètres technologiques sur le wafer.

## 2. Démonstrateur durci en technologie ST BiCMOS 0.35 $\mu\text{m}$

Le démonstrateur en technologie CMOS 0.6 $\mu\text{m}$  que nous avons présenté au chapitre précédent utilisait une structure S/B en boucle fermée. L'étude de l'ensemble des architectures S/B du [chapitre 4](#) nous a montré que la structure S/B à double capacité compensé par effet Miller était une architecture optimale en raison de son principe de fonctionnement proche du circuit S/B de principe en mode échantillonnage (donc potentiellement rapide) et de la réduction de l'erreur générée par phénomène d'injection de charges (donc permettant une bonne précision).

### 2.1 L'architecture du circuit S/B (structure 5)

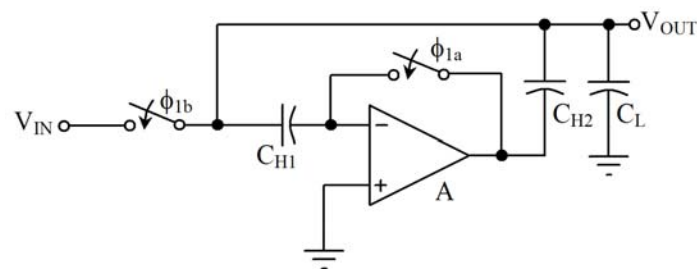


Fig. 7.3 : Schéma de principe du circuit S/B à double capacité compensé par effet Miller (structure 5)

La [figure 7.3](#) rappelle le schéma de principe du circuit S/B à double capacité compensé par effet Miller dans sa version asymétrique.

Nous avons réalisé une version symétrique de cette architecture ([Fig. 7.4](#)). Dans la version asymétrique de ce circuit, l'amplificateur opérationnel est utilisé en configuration suiveur en mode échantillonnage afin de présenter, grâce à la contre-réaction, la tension de référence de mode commun sur l'armature basse des capacités de stockage  $C_{H1}$  et  $C_{H2}$ . Néanmoins, ce rebouclage au gain unitaire impose une nécessaire stabilité en fréquence de l'amplificateur opérationnel rebouclé au gain unitaire. Il peut alors être profitable de simplement imposer, à la sortie de l'amplificateur, la source de tension de référence. L'intérêt est de supprimer le temps d'établissement de l'amplificateur en configuration de suiveur. Nous avons retenu ce principe dans la version symétrique du circuit. Le principe de fonctionnement du circuit symétrique est alors équivalent à celui du circuit asymétrique, la configuration suiveur de l'amplificateur asymétrique ne servant qu'à imposer la tension de référence sur les armatures basses des capacités

(entrée inverseuse et sortie de l'amplificateur) étant directement remplacée par une vraie source de tension  $V_{ref}$  supposée parfaite.

Comme nous l'avons montré au [chapitre 4](#), la structure 5 ne nécessite pas un amplificateur opérationnel à fort gain en boucle ouverte, ni un fonctionnement des entrées et sorties en « rail-to-rail ». Par contre, la chaîne vidéo étant dans sa totalité différentielle, le circuit S/B nécessite un étage pilote capable d'effectuer une attaque en tension, ce qui impose de réaliser un amplificateur opérationnel  $A_1$  symétrique, rail-to-rail et large bande ([Fig. 7.4](#)).

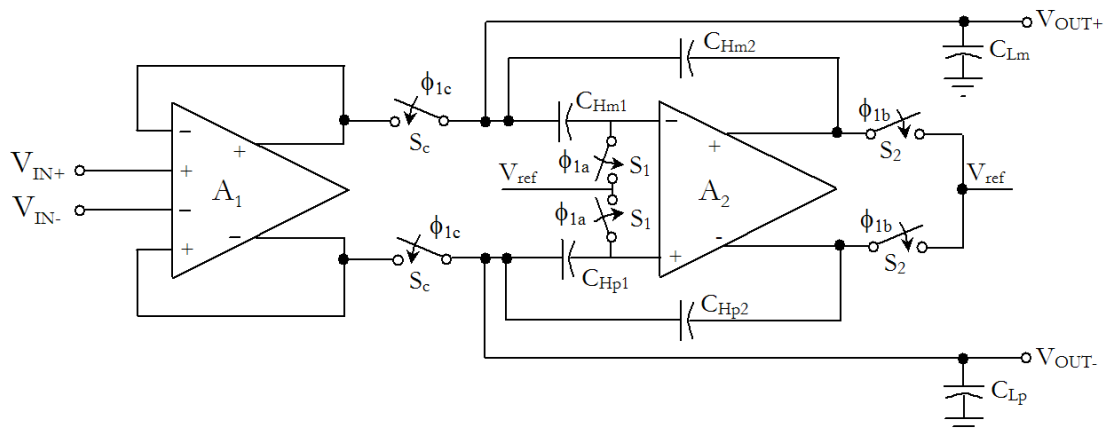


Fig. 7.4 : Schéma de principe du circuit S/B symétrique à double capacité compensé par effet Miller avec son buffer d'entrée symétrique

## 2.2 Dimensionnement au premier ordre du circuit différentiel S/B

Nous utilisons l'étude menée sur l'architecture asymétrique de ce circuit au [chapitre 4](#). L'expression du transfert en tension composite  $G_c$  du circuit asymétrique ([Fig. 4.28](#)) est donnée par :

$$G_c(p) = \frac{v_s}{v_{e1}} = \frac{R_L}{R_L + r_{ON} + r_{Se}} * \frac{1}{1 + p[R_L // (r_{ON} + r_{Se})](C_{H1} + C_{H2} + C_L)} = \frac{G_{c0}}{1 + p\tau_{ech}} \quad (7-2)$$

Le dimensionnement au premier ordre est donc tout d'abord déterminé par le simple choix des valeurs de capacité de stockage  $C_{H1}$  et  $C_{H2}$  et du dimensionnement du commutateur analogique  $S_c$  (nous considérons une version asymétrique de la structure du circuit lorsqu'il s'agit du dimensionnement de constantes de temps). Nous avons déjà montré que le choix de la valeur de la capacité de stockage dans un circuit d'échantillonnage était le résultat d'un compromis

A partir de la [figure 3.17](#), nous pouvons déterminer que dans l'hypothèse d'un convertisseur analogique-numérique de résolution  $N=14$ bits en sortie de la chaîne vidéo, la valeur de la capacité de stockage nécessaire afin d'obtenir une résolution effective du circuit de 12bits

doit être supérieure à 1pF. Il faut prendre en compte les moyens de test internes à l'asic comprenant un buffer de sortie « statique » ainsi qu'un buffer de sortie « dynamique » dont les connexions sur chaque sortie différentielle augmentent la valeur des capacités parasites. Ainsi la valeur de la capacité équivalente  $C_{H1} + C_{H2}$  a été prise à 2.8pF. Cette valeur a été répartie de façon équivalente sur les deux capacités  $C_{H1} = C_{H2} = 1.4\text{pF}$ .

## 2.3 Le buffer d'entrée symétrique rail-to-rail large bande

Cet étage d'entrée peut-être un bloc limitant dans les performances que peut atteindre le circuit S/B. La difficulté dans la réalisation de cette fonction repose sur la conception d'une fonction amplificatrice différentielle en entrée et à sorties symétriques, large-bande, à fort gain, rail-to-rail, inconditionnellement stable en fréquence lorsque rebouclée au gain unitaire et avec la possibilité de fournir un courant de charge suffisant.

### 2.3.1 Spécifications

Plusieurs points de vue peuvent être retenus dans le dimensionnement de cet étage. Lorsque l'approche est totalement théorique, nous pouvons réutiliser les équations fournies aux [chapitres 3 et 4](#) concernant le courant de charge minimal nécessaire de l'étage, sa bande passante en boucle fermée, et son gain quasi-statique en boucle ouverte lorsqu'une erreur en terme de LSB lui est allouée.

Néanmoins ce dimensionnement ne tient pas compte, dans ce cas, des erreurs supplémentaires, non prises en compte dans l'approche théorique. Par exemple, dans le cas du dimensionnement du gain quasi-statique en boucle ouverte, nous pouvons utiliser la [figure 3.27](#) par laquelle l'attribution d'une erreur allouée de 1/8LSB à cet étage pour une résolution effective de 12bits nous permet d'en déduire une valeur de gain de 90dB. Cela suppose notamment que les phénomènes d'injections de charges n'introduisent pas d'erreurs supplémentaires par rapport à celles prédites par la théorie. Afin de prendre une marge d'erreur, nous nous sommes donc fixé à la réalisation d'un étage de gain quasi-statique en boucle ouverte supérieur à 95dB en conditions typiques.

Le produit gain-bande au 1<sup>er</sup> ordre de l'étage doit être suffisamment élevé pour ne pas dégrader la réponse temporelle du circuit S/B en lui-même. Il est ainsi intéressant de réaliser une fonction amplificatrice de bande-passante en boucle fermée la plus large possible, typiquement supérieure à 160MHz. D'autre part, grâce à la contre-réaction parallèle, les résistances de sortie sont faibles devant la valeur de  $r_{ON}$  des commutateurs analogiques du S/B.

## 2.3.2 Architecture d'une structure symétrique

### a) Structure de l'étage d'entrée en boucle ouverte

La [figure 7.5](#) représente le schéma petits signaux d'un amplificateur opérationnel symétrique.

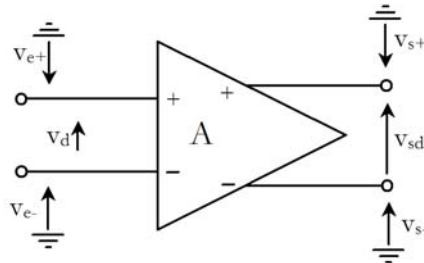


Fig. 7.5 : Schéma représentatif petits signaux d'un amplificateur opérationnel symétrique

Dans le cadre de notre instrumentation, l'amplificateur opérationnel nécessitant un fort gain ainsi que des entrées et sorties différentielles rail-to-rail, nous pouvons adapter l'architecture de l'amplificateur opérationnel asymétrique développé au [chapitre 6](#). La structure sera alors composée :

- d'un étage d'entrée rail-to-rail comprenant deux paires différentielles complémentaires dont les charges actives sont des miroirs de courant cascode amélioré à large excursion,
- de deux étages de sortie (pour chaque sortie symétrique) de type source commune classe AB rail-to-rail.

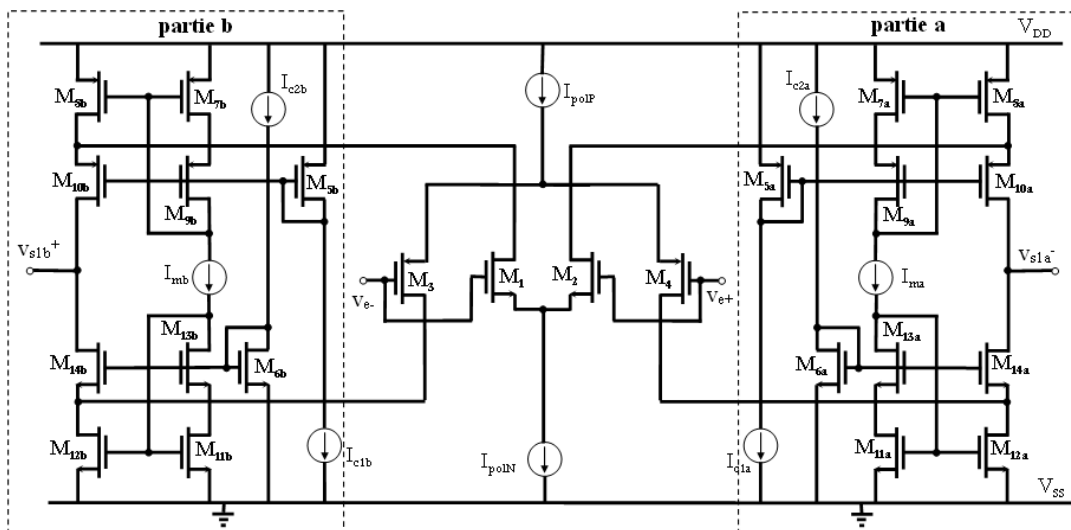


Fig. 7.6 : Schéma de l'étage d'entrée de l'amplificateur opérationnel symétrique

Le schéma de l'étage d'entrée de l'amplificateur opérationnel symétrique est présenté par la [figure 7.6](#). Contrairement au principe retenu dans l'amplificateur asymétrique du [chapitre 6](#), la

symétrisation en sortie de l'amplificateur nécessite d'injecter les courants issus d'une même paire vers des charges actives disjointes, c'est-à-dire respectivement les parties a et b du circuit. Ainsi, si nous ne considérons que la paire différentielle d'entrée canal N ( $M_1$ - $M_2$ ), le courant drain petit signal  $i_{D1} = (g_{m1}/2)(v_{e+} - v_{e-})$  est injecté directement sur la source de  $M_{10b}$  tandis que le courant drain  $i_{D2}$  est injecté directement sur la source de  $M_{10a}$ . Le principe d'injection est alors équivalent et complémentaire pour la paire différentielle canal P. Les courants petits signaux appliqués aux deux sorties du 1<sup>er</sup> étage sont alors :

$$\begin{aligned} i_{D10b} = i_{D1} &= +\frac{1}{2}g_{mN}(v_{e+} - v_{e-}) & \text{et} & & i_{D14b} = i_{D3} &= +\frac{1}{2}g_{mP}(v_{e+} - v_{e-}) \\ i_{D10a} = i_{D2} &= -\frac{1}{2}g_{mN}(v_{e+} - v_{e-}) & \text{et} & & i_{D14a} = i_{D4} &= -\frac{1}{2}g_{mP}(v_{e+} - v_{e-}) \end{aligned} \quad (7-3)$$

### b) Structure de l'étage de sortie en boucle ouverte

L'étage de sortie à source commune classe AB rail-to-rail est connecté pour chacune des sorties symétriques  $v_{S1a}$  et  $v_{S1b}$  de l'amplificateur. Néanmoins, la spécification de fort gain différentiel (>90dB) de l'amplificateur a nécessité de cascoder les transistors de sorties  $M_{21}$  et  $M_{22}$ . Le schéma de l'étage de sortie cascodé appliqué sur chaque sortie symétrique de l'amplificateur est présenté (Fig. 7.7). Nous rappelons que pour pré-polariser  $M_{21}$ - $M_{22}$  qui fonctionnent en classe AB, on doit « ouvrir » la connexion entre les drains  $M_{10a}$ -  $M_{14a}$  (Fig. 7.6) pour insérer les transistors  $M_{17}$  et  $M_{18}$  (Fig. 7.7) qui offrent une faible résistance dynamique.

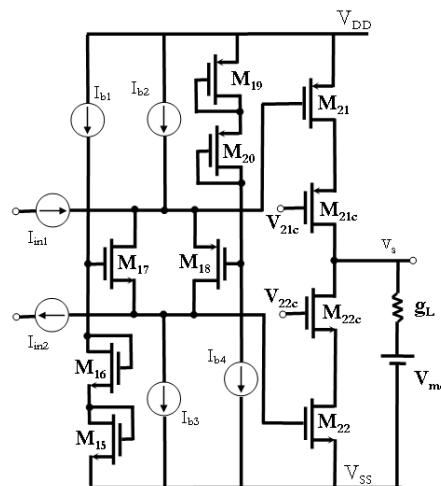


Fig. 7.7 : Schéma de l'étage de sortie source commune classe AB cascodé appliqué sur chaque sortie symétrique de l'amplificateur

### c) Amplificateur complet

Par conséquent, nous pouvons déterminer rapidement le gain en tension différentiel en boucle ouverte pour chaque sortie de l'amplificateur, en réutilisant les calculs déjà menés aux chapitres 5 et 6 :

$$\begin{aligned}
 A_{d0a} &= \frac{v_{s+}}{v_d} \approx \frac{1}{2} \frac{g_{mN} + g_{mP}}{g_{s10a} + g_{s14a}} \cdot \frac{-g_{m22a}}{g_{s+} + g_L} \\
 A_{d0b} &= \frac{v_{s-}}{v_d} \approx \frac{-1}{2} \frac{g_{mN} + g_{mP}}{g_{s10b} + g_{s14b}} \cdot \frac{-g_{m22b}}{g_{s-} + g_L}
 \end{aligned} \tag{7-4}$$

où  $g_{s10a,b}$  et  $g_{s14a,b}$  représentent les conductances de sortie déterminées au chapitre 6 :

$$\begin{aligned}
 g_{s10a,b} &\approx \frac{g_{DS10a,b}}{1 + g_{m10a,b} / (g_{DS8a,b} + g_{DS2a,b})} \quad \text{et} \\
 g_{s14a,b} &\approx \frac{g_{DS14a,b}}{1 + g_{m14a,b} / (g_{DS12a,b} + g_{DS4a,b})}
 \end{aligned} \tag{7-5}$$

et où  $g_{s+,-}$  représentent les conductances de sortie respectives des voies a et b :

$$g_{s+,-} \approx \frac{g_{DS22c}}{1 + g_{m22c} / g_{DS22a}} \tag{7-6}$$

#### d) Adaptation en configuration suiveur

L'amplificateur ainsi constitué doit être utilisé en configuration de buffer. Une méthode classique de rebouclage de l'amplificateur symétrique au gain unitaire consiste à utiliser des résistances afin de configurer l'amplificateur en mode suiveur (Fig. 7.8).

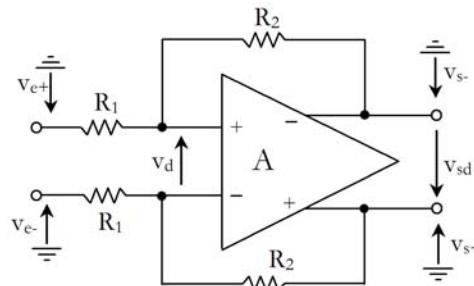


Fig. 7.8 : Configuration de l'amplificateur symétrique en mode suiveur avec éléments résistifs

Cette méthode ne peut néanmoins pas être appliquée dans le cas de notre instrumentation en raison du fort gain différentiel nécessaire en boucle ouverte. En effet, les résistances utilisées pour le rebouclage de l'amplificateur diminuent la charge résistive en sortie de l'amplificateur en boucle ouverte, ce qui fait chuter la valeur du gain de plateau. D'autre part, l'application du signal sur les entrées inverseuses, via les résistances  $R_1$  impose une valeur finie des résistances d'entrée de l'amplificateur. Seules des fortes valeurs de résistances implémentées pourraient permettre de ne pas trop dégrader le gain, mais au détriment de la surface de silicium nécessaire pour réaliser ces résistances et éventuellement de la bande passante par l'introduction de capacités réparties associées à ces résistances.



Il est alors nécessaire d'utiliser un amplificateur opérationnel symétrique à quatre entrées de façon à profiter de la contre-réaction série appliquée sur l'entrée non inverseuse, ce qui donnerait les résistances d'entrée différentielles et de mode commun quasi-infinies.

### 2.3.3 Circuit rail-to-rail symétrique proposé

#### a) Principe

La figure 7.9 propose la structure retenue. Ce circuit peut être assimilé à la famille des amplificateurs d'instrumentation, où de façon classique, la tension différentielle d'entrée (signal utile) est appliquée sur les entrées non inverseuses de deux amplificateurs opérationnels.

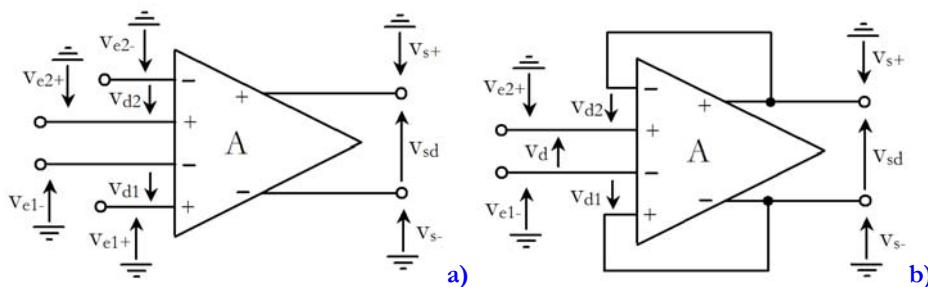


Fig. 7.9 : Schéma d'étude de l'amplificateur opérationnel symétrique à quatre entrées : a) en boucle ouverte b) en mode suiveur

Puisque les gains différentiels  $v_{sd}/v_{d1}$  et  $v_{sd}/v_{d2}$  de l'amplificateur en boucle ouverte sont supposés très grand devant 1, la boucle de contre-réaction force les tensions différentielles  $v_{d1}=v_{d2}\approx 0$ . Ainsi, selon la représentation de la figure 7.9b, nous avons directement  $v_s = G_{d0}(v_{e2}^+ - v_{e1}^-) = G_{d0}v_d$  avec  $G_{d0}=1$ . Nous pouvons alors considérer que ce circuit est un véritable amplificateur d'instrumentation à sorties symétriques.

#### b) Etage d'entrée

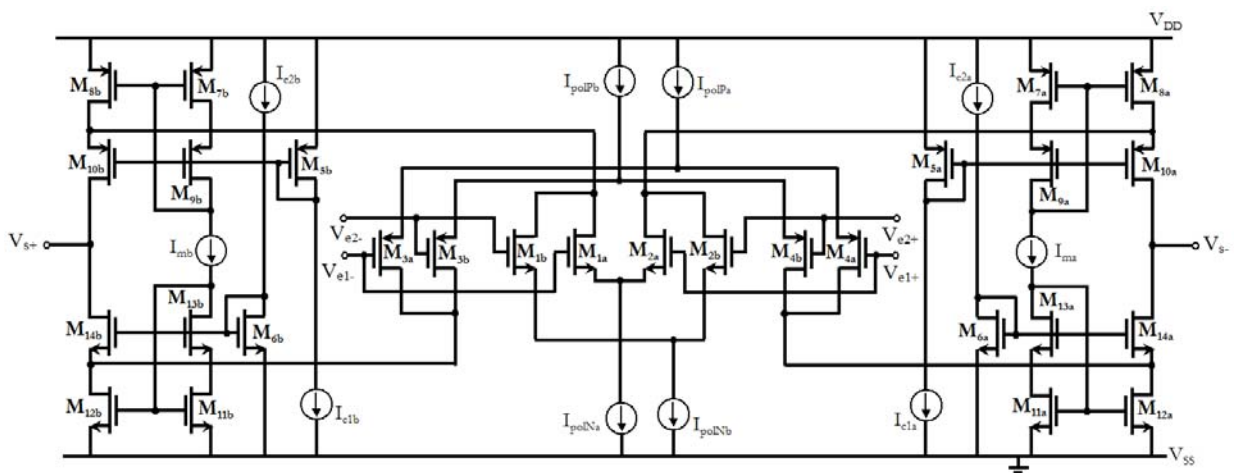


Fig. 7.10 : L'étage d'entrée de l'amplificateur opérationnel différentiel symétrique comporte 4 entrées constituées de deux paires différentielles rail-to-rail.

En pratique, les quatre entrées de l'amplificateur ( $v_{e1+}, v_{e1-}$ ) et ( $v_{e2+}, v_{e2-}$ ) sont réalisées à l'aide de deux paires différentielles (dans le cas d'un étage d'entrée rail-to-rail, chaque « paire » comprend une paire canal N et une paire canal P), chacune étant polarisée par sa propre source de courant. La structure de l'étage d'entrée de l'amplificateur est alors modifiée (Fig. 7.10).

Les paires différentielles canal N ( $M_{1a}-M_{2a}$ ) et ( $M_{1b}-M_{2b}$ ) ainsi que les paires différentielles canal P ( $M_{3a}-M_{4a}$ ) et ( $M_{4b}-M_{4b}$ ) partagent alors les mêmes charges actives (miroir de courant cascode amélioré à grande excursion). Avec l'hypothèse de symétrie des paires différentielles et de l'égalité des sources de courant  $I_{polNa} = I_{polNb}$  et  $I_{polPa} = I_{polPb}$ , les intensités des courants dynamiques des transistors de sorties  $M_{10a,b}$  et  $M_{14a,b}$  sont données par les expressions :

$$\begin{aligned}
 i_{D10a} &= (i_{D2a} + i_{D2b}) = -\frac{1}{2} g_{mN} (v_{d1} + v_{d2}) \\
 i_{D14a} &= (i_{D4a} + i_{D4b}) = -\frac{1}{2} g_{mP} (v_{d1} + v_{d2}) \\
 i_{D10b} &= (i_{D1a} + i_{D1b}) = +\frac{1}{2} g_{mN} (v_{d1} + v_{d2}) \\
 i_{D14b} &= (i_{D3a} + i_{D3b}) = +\frac{1}{2} g_{mP} (v_{d1} + v_{d2})
 \end{aligned} \tag{7-7}$$

Avec l'hypothèse petit signal, les conductances de sortie de chaque sortie symétrique de l'amplificateur n'étant pas modifiées, le gain en tension différentiel à sorties symétriques de cet étage en boucle ouverte est alors :

$$A_{d01} = \frac{v_{s+} - v_{s-}}{v_{d1} + v_{d2}} \approx \frac{g_{mN} + g_{mP}}{g_{s10a} + g_{s14a}} \tag{7-8}$$

### c) Schéma complet de l'amplificateur symétrique à quatre entrées

Le schéma complet de l'amplificateur avec ses deux étages de sortie sources communes classe AB cascadé est présenté figure 7.11.

Selon la méthode utilisée dans le chapitre 6, nous avons « ouvert » les deux circuits drain pour introduire les dipôles de prépolarisation classe AB ( $M_{17a,b}$ ,  $M_{18a,b}$ ) et connecter les grilles des sources communes  $M_{21a,b}$  et  $M_{22a,b}$ . Nous rappelons que les dipôles qui relient les grilles de  $M_{21a,b}$  et  $M_{22a,b}$  présentent des résistances dynamiques très petites devant les résistances de sortie  $1/g_{s10a,b}$  et  $1/g_{s14a,b}$  du 1<sup>er</sup> étage. De ce fait, en petit signal, les deux tensions de sortie  $v_{s1+}$  et  $v_{s1-}$  du 1<sup>er</sup> étage sont directement appliquées respectivement sur les grilles de  $M_{21b}-M_{22b}$  et  $M_{21a}-M_{22a}$ . Avec l'hypothèse que  $M_{21}$  ou  $M_{22}$  est actif (classe AB), on en déduit le gain en tension différentiel à sorties symétriques en boucle ouverte :

$$A_{d0} = A_{d01} \cdot A_{v20a} = \frac{v_{s+} - v_{s-}}{v_{d1} + v_{d2}} \approx \frac{g_{mN} + g_{mP}}{g_{s10a} + g_{s14a}} \cdot \frac{g_{m22a}}{g_{s22ac} + g_{s21ac}} \quad (7-9)$$

Dans les contraintes de ce buffer symétrique d'entrée, il est nécessaire que les résistances de sortie  $R_s^+$  et  $R_s^-$  en boucle fermée soient relativement petite devant la valeur de  $r_{ON}$  des commutateurs analogiques ( $r_{ON} \approx 1k\Omega$ ) afin de ne pas pénaliser le temps d'établissement du circuit S/B. A partir de la théorie de la contre-réaction, la conductance de sortie en boucle fermée est de la forme  $G_s^+ = G_s^- = 1/R_s^+ = 1/R_s^- = g_s [1 + kA_d]$  où  $g_s$  est la conductance de sortie en boucle ouverte et  $k$  est le facteur de report ( $k=1$ ) et  $A_d$  est ici le gain d'une voie ( $A_d = A_{d0}/2$ ). Dans ce cas :

$$1/R_s = G_s = G_s^+ = G_s^- = \left[ g_{s22ac} + g_{s21ac} \right] \frac{A_{d0}}{2} \approx \frac{1}{2} A_{d01} g_{m22a} \quad (7-10)$$

où  $A_{d01}$  donné par (7-8) correspond au gain différentiel à sorties symétriques du 1<sup>er</sup> étage.

Cette relation montre que la résistance de sortie  $R_s$  peut satisfaire facilement la condition  $R_s \leq r_{ON}/10$ . D'autre part, nous pouvons remarquer que le cascode classe AB de sortie ne réduit pas la valeur de  $R_s$  mais améliore la bande passante en boucle fermée. En effet, la position du second pôle correspond à la constante de temps « vue » par les grilles de  $M_{21a,b}$  et  $M_{22a,b}$ . L'introduction des grilles communes  $M_{10a,b}$  et  $M_{14a,b}$  réduisent l'effet Miller qui aurait été produit par  $M_{21a,b}$  et  $M_{22a,b}$  configurés en simples sources communes.

Le circuit de contrôle de mode commun utilisé est un circuit CMFB à comparateur d'erreurs (DDA-CMFB, chapitre 5). Afin de simplifier le schéma, nous présentons une version dans laquelle les sources de courant de polarisation des paires différentielles de l'étage d'entrée de l'amplificateur sont contrôlées par des miroirs de courant classiques. Dans le schéma réel de l'amplificateur (Fig. 7.12), les miroirs de courant utilisés sont des miroirs de courant cascode amélioré à large excursion. Dans ce type de circuit symétrique, les courants de sortie des paires différentielles sont :

$$i_{D25} + i_{D24} = (1/2)g_{m25}(V_s^+ - V_{mc}) - (1/2)g_{m24}(V_s^- - V_{mc}) \quad (7-11)$$

$$i_{D25} + i_{D24} = (1/2)g_{m25}(V_s^+ - V_s^-)$$

Avec le cas particulier où  $V_s^+$  et  $V_s^-$  sont de même amplitude et en opposition de phase. Le terme  $(V_s^+ - V_s^-)/2$  correspond alors à la tension « moyenne » des deux sorties ou tension de mode commun en sortie  $V_{smc}$ , ainsi :

$$i_{D25} + i_{D24} = (1/2)g_{m25}V_{smc} \quad (7-12)$$

Le circuit de contrôle de mode commun a donc pour fonction d'aligner  $V_{smc} = V_{mc}$ . Pour cela, comme nous disposons en entrée de paires différentielles canal N et canal P, il est possible d'agir sur leurs sources de courant de façon à contrôler les courants différentiels appliqués aux

sources de  $M_{10a,b}$  et  $M_{14a,b}$  par l'intermédiaire des transconductances des paires différentielles d'entrée.

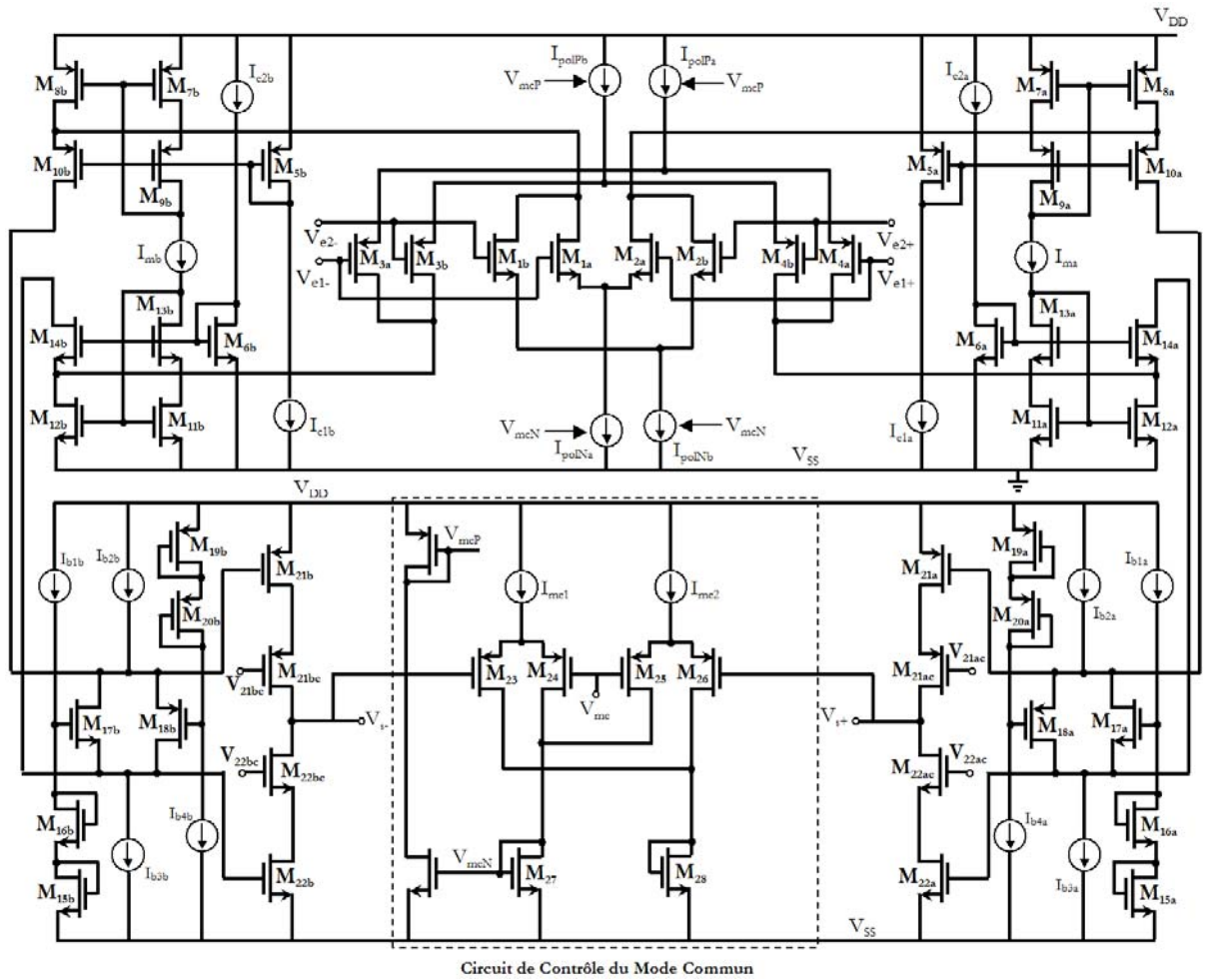


Fig. 7.11 : Schéma de principe de l'amplificateur opérationnel symétrique à quatre entrées avec son circuit de contrôle du mode commun

Nous pouvons aussi remarquer que les signaux issus du CMFB sont transmis jusqu'aux sources de  $M_{10a,b}$  et  $M_{14a,b}$  par l'intermédiaire d'un nœud à basse impédance, ce qui donne un faible temps de réponse jusqu'à la sortie du 1<sup>er</sup> étage.

L'amplitude de la tension différentielle  $V_s^+ - V_s^-$  disponible en sortie est élevée puisque nous cherchons une dynamique rail-to-rail. Avec des paires différentielles  $M_{24}$  à  $M_{26}$  du CMFB, sans contre-réaction locale sur les sources, ce dispositif ne fonctionne pas en régime linéaire. L'amplitude maximale de la tension différentielle admissible sans écrêtage notable est donnée par la relation [Geiger,2001] :

$$V_{dmaxi} = \sqrt{\frac{I_{pol}}{K} \frac{1}{W/L}} \quad (7-13)$$

Ce qui impose un fort courant de polarisation et des transistors étroits. Cependant l'utilisation de transistors MOS à grille fermée entraîne des rapports géométriques minimaux ( $5.7\mu\text{m}/0.407\mu\text{m}$ ).

Pour augmenter la plage admissible de la tension différentielle, il est plus simple d'effectuer une contre-réaction sur les sources des paires différentielles, ce qui a pour effet de réduire la transconductance  $G_m$  du dispositif. Une solution consiste à introduire « en série » deux transistors à grille fermée de taille minimale afin de maximiser la plage de fonctionnement linéaire du circuit.

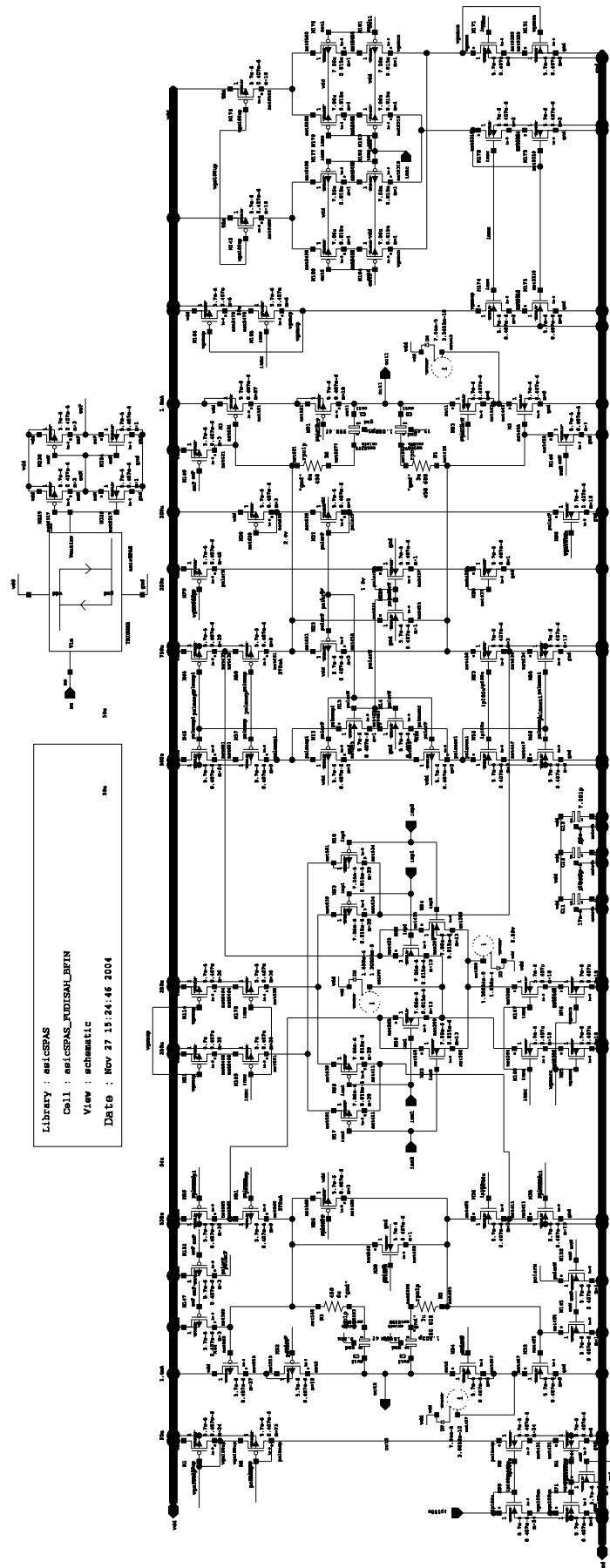


Fig. 7.12 : Schéma complet de l'amplificateur opérationnel différentiel d'entrée

## 2.3.4 Implémentation

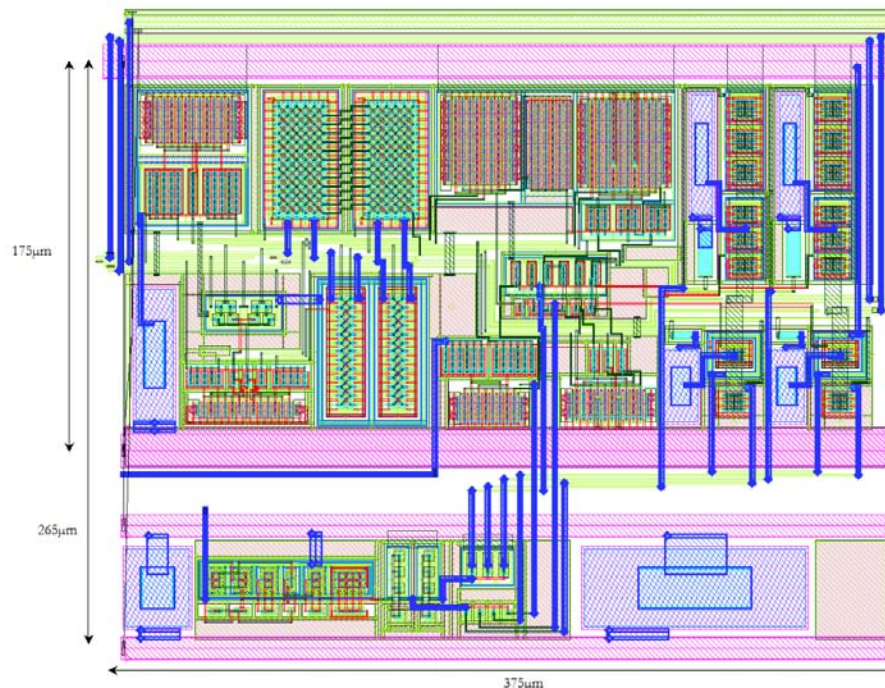


Fig. 7.13 : Layout de l'amplificateur opérationnel symétrique à quatre entrées de la figure (Fig. 7.12)

Le layout de l'amplificateur opérationnel symétrique à quatre entrées de la figure 7.12 est présenté Fig. 7.13. La surface requise sur le silicium est d'environ  $0.06\text{mm}^2$ . L'amplificateur possède une entrée numérique supplémentaire suivie d'un trigger permettant d'« éteindre » toutes les sources de courant de l'amplificateur via l'extérieur de l'Asic. Cela permet ainsi de pouvoir tester directement le circuit S/B sans passer par le buffer symétrique d'entrée. Nous remarquerons aussi la large capacité de découplage entre les alimentations.

## 2.3.5 Résultats

### a) Caractéristiques quasi-statiques

La consommation quasi-statique de l'amplificateur symétrique au repos est de  $6.3\text{mA}$ , soit une puissance consommée quasi-statique de  $20.8\text{mW}$ , dans les conditions typiques.

La figure 7.14 présente la variation de la tension de mode commun en sortie de l'amplificateur (pour une tension de mode commun désirée de  $1.65\text{V}$ ) en fonction de la tension de mode commun appliquée en entrée. Nous remarquons que sa dérive est faible, et le circuit de contrôle de mode commun parvient à conserver cette tension de mode commun en sortie dans la plage [ $1.643\text{V};1.648\text{V}$ ], c'est-à-dire avec une variation inférieure à  $\pm 3\text{mV}$ .

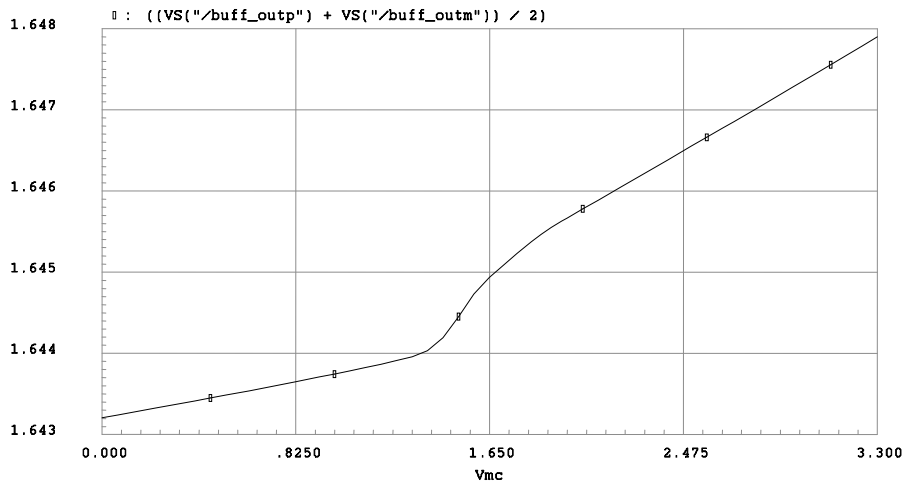


Fig. 7.14 : Variation de la tension de mode commun en sortie de l'amplificateur pour une tension désirée de 1.65V en fonction de la tension de mode commun en entrée (0-3.3V).

Afin de qualifier les caractéristiques quasi-statiques de transfert de l'amplificateur, et puisque celui-ci est utilisé en configuration de suiveur, nous modélisons les variations quasi-statiques de la sortie différentielle  $V_{sd}$  sous la forme (à tension de mode commun donnée) :

$$V_{sd} = [1 + \varepsilon]V_d + V_{off} + NL(V_d) \quad (7-14)$$

Comme formulé dans le chapitre 6, nous avons un degré de liberté sur le choix des origines de la fonction non-linéaire  $NL$ ; nous choisissons de fixer une non-linéarité nulle aux extrémités de la plage de fonctionnement du circuit. La chaîne traitant des signaux différentiels d'entrée d'amplitude maximale  $2V_{pp}$ , nous extrayons la valeur de l'erreur de gain pour ces extrémités de fonctionnement, soit  $\varepsilon = -3,2 \cdot 10^{-6}$ . Nous en déduisons la tension de décalage de l'amplificateur  $V_{off} = +13.3 \mu V$ . La non-linéarité différentielle est alors extraite et présentée Fig. 7.15. La variation crête à crête de la non-linéarité est  $[-52 \mu V; 26 \mu V]$ .

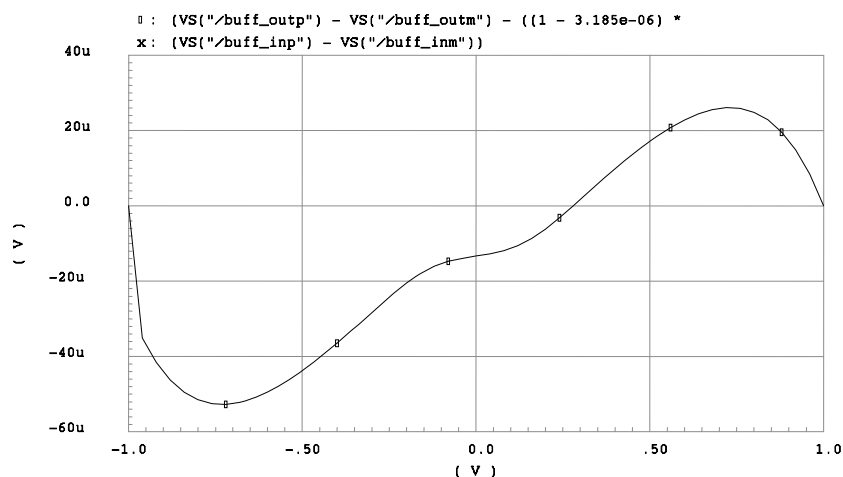


Fig. 7.15 : Non-linéarité de la tension de sortie différentielle du buffer symétrique en fonction de l'amplitude du signal différentiel en entrée (centré sur la tension de mode commun)

## b) Caractéristiques dynamiques



La figure 7.16 présente le diagramme de Bode de l'amplificateur opérationnel symétrique en boucle ouverte et en configuration de suiveur sur charge capacitive de 3pF (représentative de la charge capacitive introduite par le circuit S/B et dont les armatures basses sont connectées à la tension de mode commun désirée en sortie). L'amplificateur, compensé en fréquence, présente un produit gain bande au premier ordre de 207MHz pour un gain en tension différentiel quasi-statique de 99dB à la tension de mode commun  $V_{mc}=1.65V$ . Nous pouvons remarquer que la décroissance du module est de  $-20dB/décade$  et que le déphasage est proche de  $-45^\circ$  ( $-135^\circ$ ) à la fréquence pour laquelle le module du gain est 1.

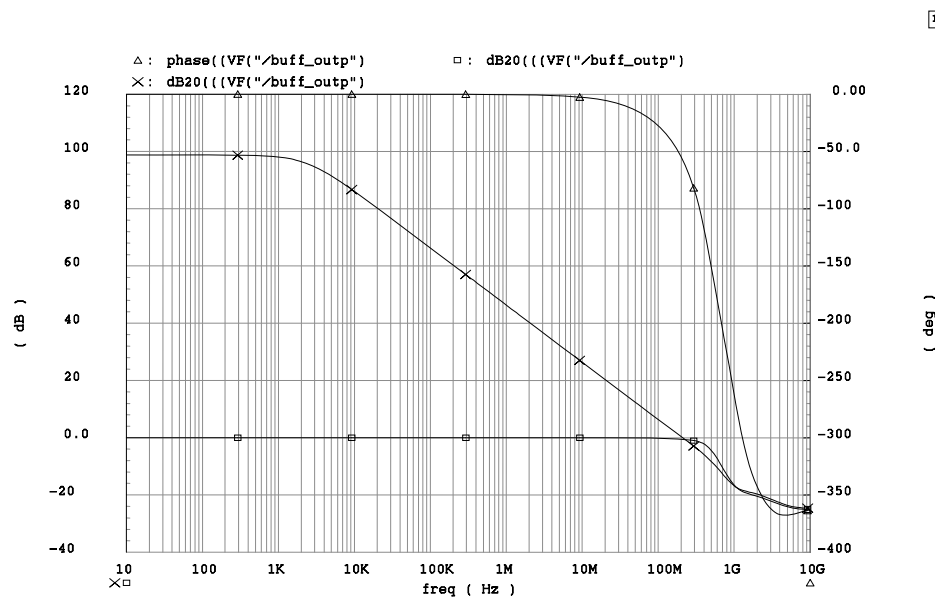


Fig. 7.16 : Diagramme de Bode (module et phase) en simulations post-layout de l'amplificateur opérationnel symétrique à quatre entrées en boucle ouverte et en configuration suiveur, en conditions typiques, sur charge capacitive de 3pF.

Les figures 7.17a,b,c représentent la variation du gain en tension différentiel quasi-statique et du produit gain bande au 1<sup>er</sup> ordre en fonction de la tension d'alimentation ( $3.3V \pm 10\%$ ), de la température ( $-55^\circ C / 125^\circ C$ ) et de la tension de mode commun en entrée ( $1.65V \pm 10\%$ ).

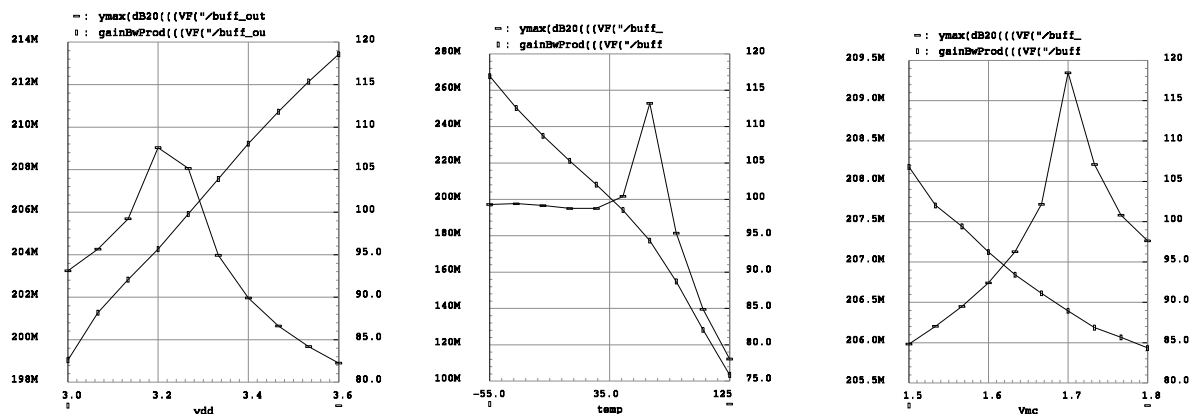


Fig. 7.17 : Variation du Produit Gain Bande et du gain en tension différentiel quasi-statique: a) en fonction de la tension d'alimentation  $V_{DD}$  ( $3.3V \pm 10\%$ ) b) en fonction de la température ( $-55^\circ C / 125^\circ C$ ) c) en fonction de la tension de mode commun ( $1.65V \pm 10\%$ )

Au voisinage des conditions nominales, nous pouvons donc en déduire les coefficients du produit gain-bande passante au 1<sup>er</sup> ordre :

$$\begin{aligned}
 a_{\Delta V_{DD}} &= \frac{1}{GBW} \frac{\Delta GBW}{\Delta V_{DD}} = +11\% / V \\
 a_{\Delta T} &= \frac{1}{GBW} \frac{\Delta GBW}{\Delta T} = -1,6 \cdot 10^{-3} / ^\circ C \\
 a_{\Delta V_{mc}} &= \frac{1}{GBW} \frac{\Delta GBW}{\Delta V_{mc}} = -8 \cdot 10^{-2} / V
 \end{aligned} \tag{7-15}$$

Dans sa configuration suiveur, nous en déduisons de manière équivalente la fréquence de coupure haute à  $-3\text{dB}$  (Fig. 7.18). Dans les conditions typiques,  $f_{\text{chf}}=440\text{MHz}$ .

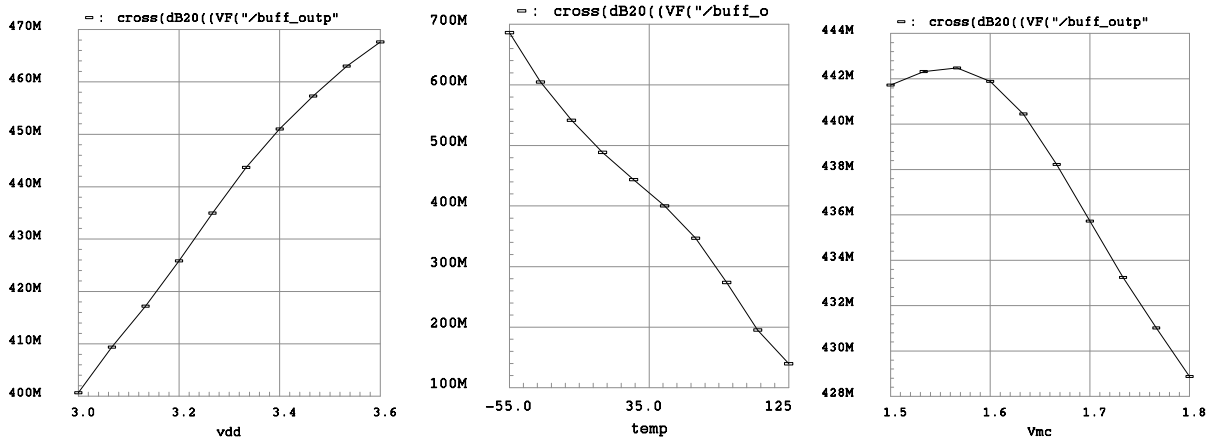


Fig. 7.18 : Variation de la fréquence de coupure haute à  $-3\text{dB}$  de l'amplificateur en configuration suiveur :  
 a) en fonction de la tension d'alimentation  $V_{DD}$  ( $3.3\text{V} \pm 10\%$ ) b) en fonction de la température ( $-55^\circ\text{C}/125^\circ\text{C}$ )  
 c) en fonction de la tension de mode commun ( $1.65\text{V} \pm 10\%$ )

Au voisinage des conditions nominales, nous pouvons aussi établir les coefficients :

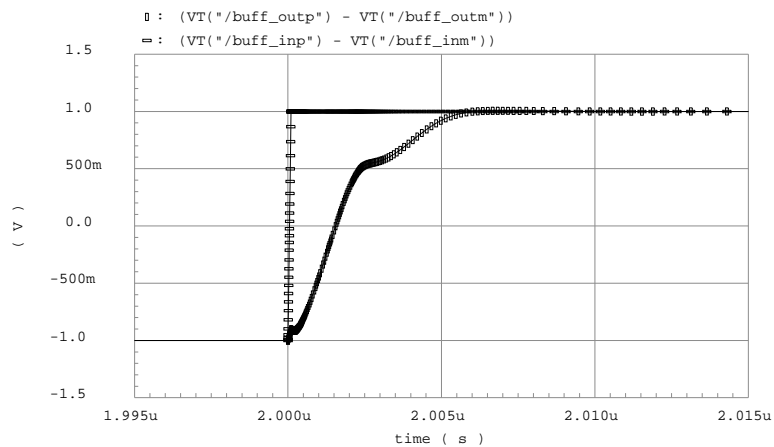
$$\begin{aligned}
 a_{\Delta V_{DD}} &= \frac{1}{f_{\text{CHF}}} \frac{\Delta f_{\text{CHF}}}{\Delta V_{DD}} = +32\% / V \\
 a_{\Delta T} &= \frac{1}{f_{\text{CHF}}} \frac{\Delta f_{\text{CHF}}}{\Delta T} = -7.10^{-3} / ^\circ C \\
 a_{\Delta V_{mc}} &= \frac{1}{f_{\text{CHF}}} \frac{\Delta f_{\text{CHF}}}{\Delta V_{mc}} = -18\% / V
 \end{aligned} \tag{7-16}$$

### c) Caractéristiques transitoires

La figure 7.19 présente la réponse temporelle de l'amplificateur opérationnel à sorties symétriques à un front montant différentiel d'amplitude  $2V_{pp}$  de tension de mode commun

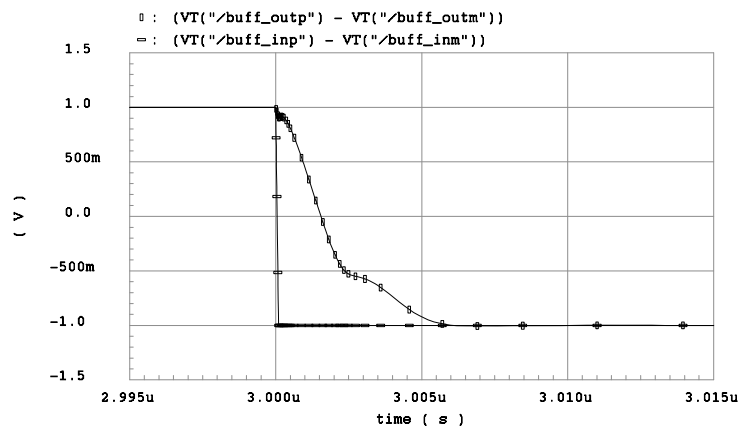
1.65V, de temps de montée 0.1ns en entrée sur charges capacitives de 3pF. Le temps d'acquisition simulé à 0.1% est de 9.5ns.

□



**Fig. 7.19 : Réponse temporelle de l'amplificateur opérationnel en configuration suiveur à un front montant différentiel d'amplitude 2Vpp, de tension de mode commun 1.65V, de temps de montée 0.1ns en entrée sur charges capacitives en sortie de 3pF**

De même, la [figure 7.20](#) présente la réponse temporelle de l'amplificateur à un front descendant dans les mêmes conditions que précédemment. Le temps d'acquisition simulé à 0.1% est de 9.6ns.



**Fig. 7.20 : Réponse temporelle de l'amplificateur opérationnel en configuration suiveur à un front descendant différentiel d'amplitude 2Vpp, de tension de mode commun 1.65V, de temps de descente 0.1ns en entrée sur charges capacitives en sortie de 3pF**

#### d) Tableau des caractéristiques

Le [tableau 7-1](#) présente les caractéristiques générales, statiques, dynamiques et transitoires de l'amplificateur opérationnel symétrique de la [figure 7.12](#). Ces résultats sont obtenus à partir de simulations post-layout du circuit implémenté.

PARAMETRE	VALEUR	UNITE
<b>CARACTERISTIQUES GENERALES</b>		
Technologie	ST BiCMOS 0.35 $\mu$ m	
Surface Layout	0.06	mm <sup>2</sup>
Plage d'alimentation	3.3V	V
<b>CARACTERISTIQUES STATIQUES</b>		
Courant de polarisation total	6.3	mA
Puissance consommée quasi-statique	20.8	mW
Tension de décalage en boucle fermée à gain unitaire	13.3	$\mu$ V
Erreur de gain en boucle fermée à gain unitaire	-3,185	10 <sup>-6</sup>
Gain quasi-statique en boucle ouverte	98.8	dB
<b>CARACTERISTIQUES DYNAMIQUES EN BOUCLE OUVERTE</b>		
Fréquence de gain unitaire	208	MHz
<b>CARACTERISTIQUES DYNAMIQUES EN SUIVEUR</b>		
Fréquence de coupure haute à -3dB	440	MHz
<b>CARACTERISTIQUES TRANSITOIRES EN SUIVEUR</b>		
Temps d'acquisition à 0.1% (montée) $\Delta V_{IN} = +2V_{pp}$	9.5	ns
Temps d'acquisition à 0.1% (descente) $\Delta V_{IN} = -2V_{pp}$	9.6	ns
(Par défaut) $V_{DD} = 3.3V$ , $R_L = \infty$ , $C_L = 3pF$ , $T = 27^\circ C$		

Tab. 7-1 : Caractéristiques de l'amplificateur opérationnel à sorties symétriques rail-to-rail large-bande en simulations typiques post-layout.

## 2.4 L'amplificateur opérationnel symétrique du circuit S/B

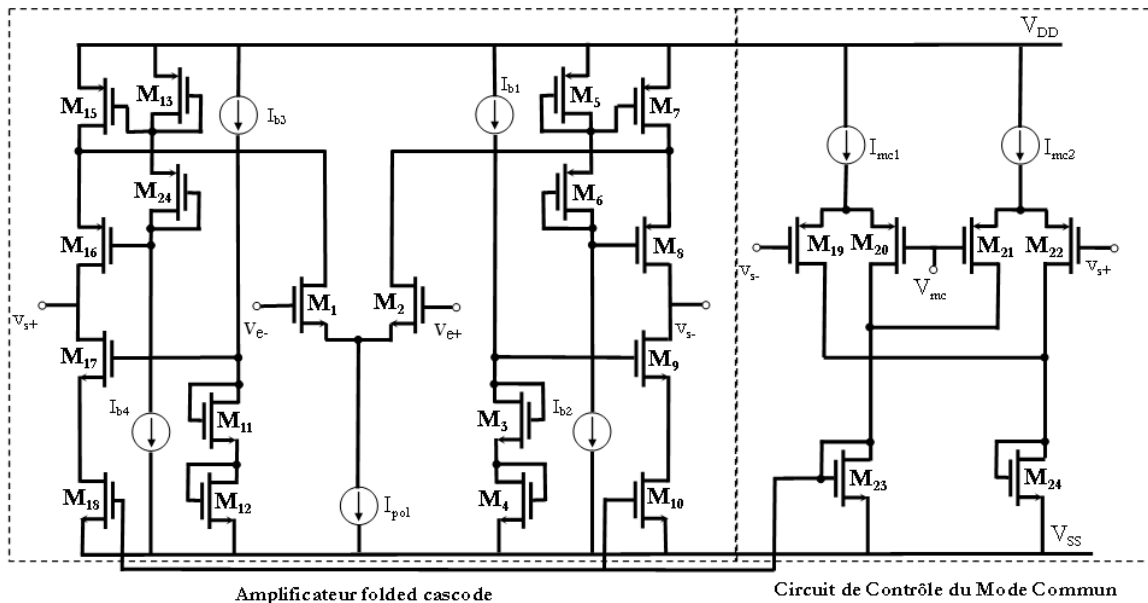


Fig. 7.21 : Schéma de l'amplificateur opérationnel à sorties symétriques du circuit S/B avec CMBF

L'amplificateur opérationnel à sorties symétriques du circuit S/B ne nécessitant pas d'étages rail-to-rail ni en entrée, ni en sortie, nous avons intégré une structure d'amplificateur plus « classique ». Le gain en tension différentiel en boucle ouverte peut être plus faible puisque n'intervenant que pour introduire l'effet Miller sur la capacité  $C_{112}$ . Ceci permet d'assurer que l'erreur résultante différentielle générée par les injections de charges via les commutateurs

analogiques  $S_1$  en entrée de l'amplificateur ne sature pas les sorties (cette saturation bloquerait l'effet Miller sur  $C_{H2}$ ).

Nous avons ainsi retenu une structure d'amplificateur à un seul étage, constitué d'un circuit transconductance et d'un circuit folded-cascode. La paire différentielle d'entrée est de type canal N afin d'obtenir une valeur élevée de transconductance. La contrainte de la sortie symétrique nous impose la présence d'un circuit de contrôle de mode commun.

### 2.4.1 Gain en tension

A partir du schéma de la figure (Fig. 7.21), nous pouvons directement établir l'expression du gain en tension différentiel à sorties symétriques. Les variations petit signal des courants drains  $i_{D1}(t)$  et  $i_{D2}(t)$  sont directement transférées sur les sources de  $M_{16}$  et  $M_8$ .

La conductance de sortie  $g_s$  du circuit (avec  $G_L=0$ ) « vue » par les drains de  $M_{16}$  et  $M_8$  est donnée par les propriétés du circuit cascode (en ne prenant pas en compte l'action du circuit de contrôle de mode commun dont le signal qu'il fournit est supposé non corrélé avec la tension différentielle appliquée à l'entrée du circuit différentiel. A partir de l'équation (5-9), on obtient l'expression de la conductance  $g_s$  :

$$g_s = \frac{g_{DS16}}{1 + g_{m16} / (g_{DS1} + g_{DS15})} + \frac{g_{DS17}}{1 + g_{m17} / g_{DS18}} \quad (7-17)$$

L'expression du gain en tension différentiel à sortie symétrique est donc :

$$A_{d0} = \frac{v_{s+} - v_{s-}}{v_{e+} - v_{e-}} = \frac{g_{m1}}{g_s} \quad (7-18)$$

### 2.4.2 Implémentation et caractéristiques dynamiques

#### a) Implémentation

Le layout de l'amplificateur opérationnel symétrique du circuit S/B est présenté Fig. 7.22. La surface requise sur le silicium est de  $0.022\text{mm}^2$ . Nous remarquerons ici, comme pour l'ensemble des fonctions implémentées, l'utilisation de diffusion p+ (aux endroits « vides » du circuit) polarisée en tout point par des contacts au potentiel le plus négatif du circuit.

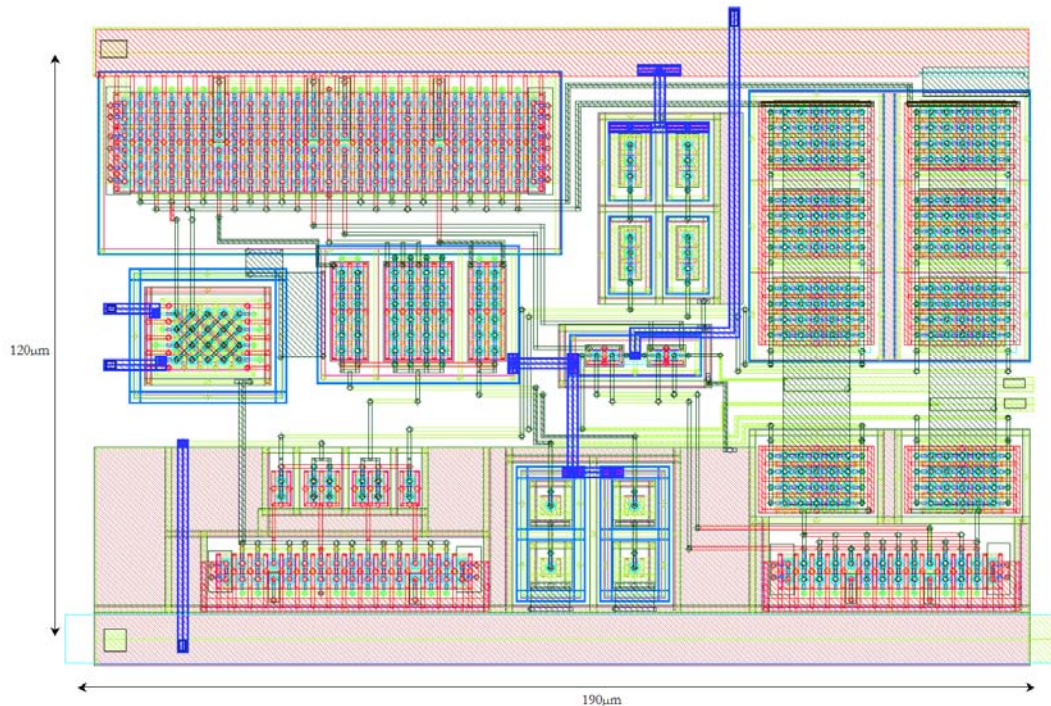


Fig. 7.22 : Layout de l'amplificateur opérationnel symétrique du circuit S/B (Fig. 7.21)

## b) Caractéristiques dynamiques

Afin d'obtenir les caractéristiques dynamiques de l'amplificateur opérationnel en boucle ouverte, il est nécessaire de faire fonctionner le dispositif en boucle fermée, même en simulation, pour obtenir en sortie le point de fonctionnement souhaité. Ensuite les variations du gain sera établi à partir de la relation (7-15). Les résultats sont présentés dans le [tableau 7-2](#).

	Typique 300°K-3.3V	Dérive en température	Dérive en fonction de $V_{DD}$
Gain de plateau en boucle ouverte	57.15dB	-17ppm/°C	1.4dB/V 2.4%/V
Fréquence de gain unitaire	345.1MHz	0.3%/°C	5.6%/V
Marge de Phase	57.7°	0.125°/10°C	-3°/V

Tab. 7-2 : Caractéristiques dynamiques de l'amplificateur

Le gain en tension quasi-statique de l'amplificateur en boucle ouverte est de 57dB pour une tension d'alimentation de 3.3V. La tension de mode commun en milieu de bande est fixée à  $V_{mcN}=1.65V$  à la température ambiante. La dérive relative du gain en température est, sous ces conditions,  $(1/A_{d0})(\Delta A_{d0}/\Delta T) = -17\text{ppm}/^{\circ}\text{C}$ . La dérive du gain en fonction de la tension d'alimentation est de 1.4dB/V, soit une dérive relative  $(1/A_{d0})(\Delta A_{d0}/\Delta V_{DD}) = +2.4\%/V$ .

La fréquence de gain unitaire de l'amplificateur en boucle ouverte est de 345MHz dans les mêmes conditions. Sa dérive relative en température est de  $-0.3\%/^{\circ}\text{C}$ . La dérive en fonction de la tension d'alimentation est de 19.6MHz/V, soit une dérive relative de 5.6%/V.

La stabilité en fréquence de l'amplificateur rebouclé au gain unitaire est assurée dans toutes les conditions, avec une marge de phase à la fréquence de gain unitaire de  $57.7^\circ$  en typique, pour une dérive en température de  $0.125^\circ/10^\circ\text{C}$  et une dérive de  $-3^\circ/\text{V}$  en fonction de la tension d'alimentation.

## 2.5 Les commutateurs analogiques

### 2.5.1 Commutateurs analogiques principaux

Puisque le circuit S/B subit une attaque en tension en mode différentiel et puisque la dynamique d'entrée est la plus large possible, les commutateurs analogiques  $S_C$  (Fig. 7.4) doivent être réalisés à l'aide de portes de transmission. Nous avons déjà montré que cette architecture de circuit S/B diminuait naturellement l'erreur introduite par les injections de charge des commutateurs en raison de l'effet Miller sur la capacité de stockage. Nous n'utilisons donc pas de structure de type « fantôme ». L'utilisation de la porte de transmission suppose, dans la théorie, que bien que l'amplitude des signaux appliquée sur chaque entrée différentielle  $V_{INm}$  et  $V_{INp}$  soit différente, les quantités de charges injectées seront équivalentes. Quant bien même les quantités de charges injectées diffèreraient, cela aurait une faible influence sur la précision du circuit S/B en raison de l'effet Miller sur les capacités  $C_{Hm2}$  et  $C_{Hp2}$  absorbant les charges.

### 2.5.2 Commutateurs analogiques de compensation

Pour les commutateurs analogiques  $S_1$ , l'approche théorique nous permet de déduire que pour des raisons de symétrie, les quantités de charges injectées par ces deux commutateurs seront équivalentes et qu'elles que soient l'amplitude des signaux différentiels en entrée. Ce principe sera d'autant plus intéressant qu'il n'introduira qu'une erreur de tension de mode commun en entrée de l'amplificateur opérationnel symétrique du circuit S/B. Cependant, la pratique montre (et comme nous nous sommes appliqués à l'introduire dans nos équations) que le rapport de charges injectées de part et d'autre du commutateur est dépendant des admittances vues de part et d'autre de ce même commutateur. Or, les valeurs des conductances des deux commutateurs  $S_C$  ne sont identiques que dans le cas d'un dimensionnement géométrique des transistors complémentaires tenant compte de la différence de mobilité de leurs porteurs majoritaires. Ce n'est malheureusement pas le cas pour notre application, car comme nous l'avons démontré au [chapitre 3](#), les rapports géométriques des transistors complémentaires doivent être égaux afin que les capacités de couplages soient voisines.

Nous avons donc utilisé un deuxième type de commutateurs analogiques en parallèle aux portes de transmission, à savoir, le commutateur analogique à basculement constant présenté au

[chapitre 3](#). Un contrôle numérique était donc nécessaire afin de valider le type de commutateurs à utiliser. Bien que ce type de commutateur présente un problème au point de vue tenue aux radiations spatiales, en raison des tensions relativement élevées pouvant être appliquées entre source/drain/grille et le substrat. Son intégration a pour but de valider son principe de fonctionnement. Cette intégration ne posera d'ailleurs moins de contraintes dans une technologie permettant l'utilisation de caissons séparés pour les transistors NMOS, telle qu'une technologie SOI.

## 2.6 Le circuit de contrôle des phases de commande

Comme nous avons pu le voir, le circuit S/B symétrique nécessite trois paires de commutateurs analogiques. Au [chapitre 4](#), nous avons insisté sur la nécessité de basculer les commutateurs  $S_1$  et  $S_2$  avant le commutateur principal  $S_C$  afin que la capacité  $C_{H12}$  présente un effet Miller. Un circuit de contrôle des phases de commande est ainsi nécessaire afin de contrôler les phases complémentaires commandant les grilles des portes de transmissions (dans le cas des commutateurs analogiques « classiques »), mais aussi de régler les retards entre les différentes phases correspondantes à chaque commutateur ( $S_1$ ,  $S_2$  et  $S_C$ ). Afin que la compensation des phénomènes des injections de charges soit la meilleure possible, nous nous sommes appliqués à générer des temps de commutations équivalents entre chaque porte logique. Les inverseurs ont été pris de taille minimale (soit un rapport pour le NMOS  $W/L=5.7\mu\text{m}/0.407\mu\text{m}$  par l'utilisation de transistor MOS à grille fermée) et en tenant compte de la différence de mobilité des porteurs des transistors NMOS et PMOS, soit un rapport respectif de 1:3 dans le dimensionnement géométrique. Ce rapport est approximatif en raison de l'utilisation de transistors à grille fermée de taille unitaire fixe ( $5.7\mu\text{m}/0.407\mu\text{m}$ ).

Nous avons intégré dans ce circuit une entrée de commande (bit de sélection) permettant de sélectionner le type de commutateurs analogiques devant être utilisé pour la commande principale (simple porte de transmission ou commutateur analogique à  $V_{GS}$  constant). Cela constitue une protection supplémentaire de fonctionnalité du circuit dans le cas où l'implémentation du commutateur analogique à  $V_{GS}$  constant ne serait pas fonctionnelle.

La phase de commande  $\phi_{1a}$  ([Fig. 7.23](#)) commandant le commutateur  $S_1$  présente un temps de retard 1ns par rapport à l'horloge de commande externe  $\phi_{clk}$ . La phase de commande  $\phi_{1b}$  est retardée de 2.4ns afin de laisser le temps aux charges accumulées dans les canaux des transistors du commutateur  $S_1$  d'être injectées. La phase de commande principale  $\phi_{1c}$  est, quant à elle,



retardée de 1.50ns par rapport à  $\phi_{1b}$  afin de s'assurer que les commutateurs  $S_1$  et  $S_2$  ont bien changé d'état.

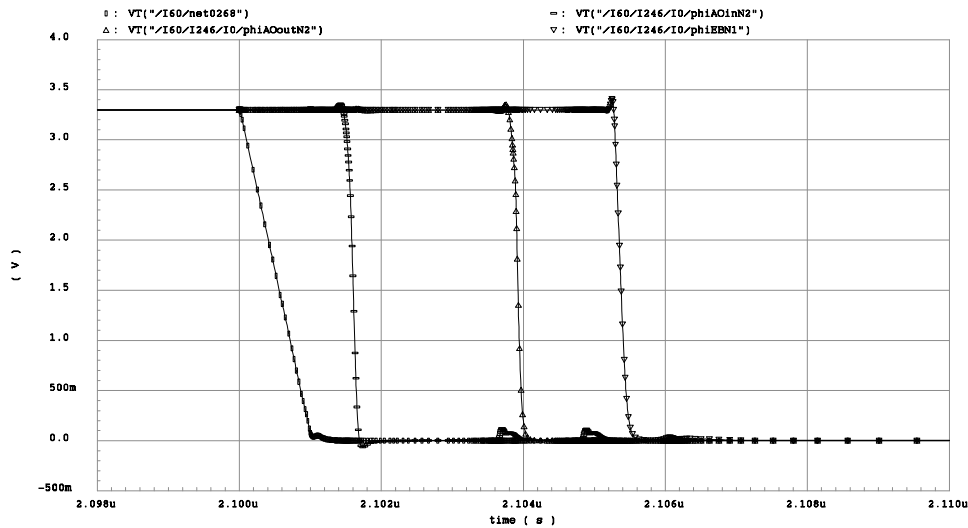


Fig. 7.23 : Réponse temporelle du circuit de contrôle des phases de commande. Ordre d'apparition temporelle : Horloge externe – Phase  $\phi_{1a}$  – Phase  $\phi_{1b}$  – Phase  $\phi_{1c}$

### 3. Implémentation et caractéristiques du circuit S/B

#### 3.1 Implémentation

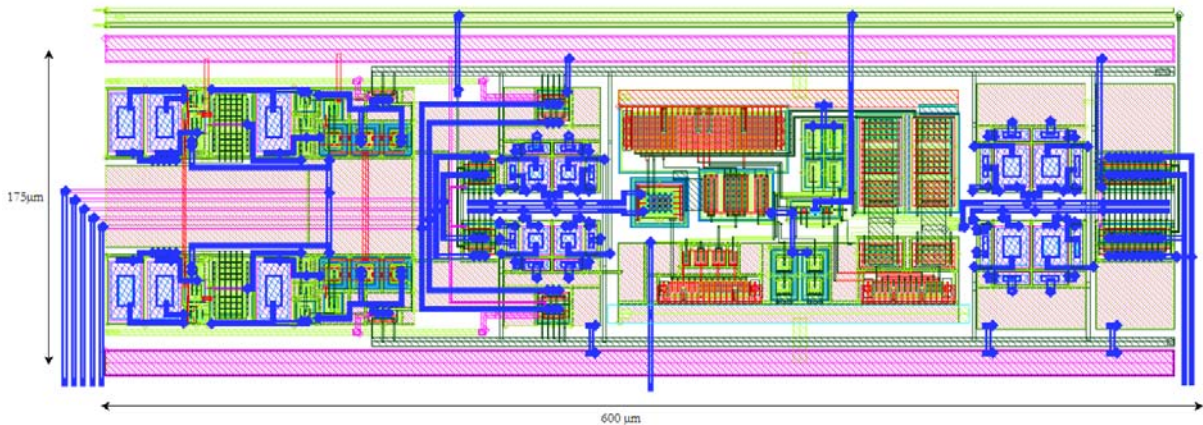


Fig. 7.24 : Layout du circuit S/B symétrique

Le layout du circuit S/B symétrique est présenté Fig. 7.24. La surface totale requise pour ce circuits sur le silicium est de 0.105mm<sup>2</sup>. Nous pouvons remarquer que le layout du circuit utilise des rails d'alimentation dont l'espacement (175 $\mu$ m) est égal à celui utilisé pour l'amplificateur opérationnel à sorties symétriques. Cela permet notamment d'assurer une intégration maximale du circuit complet. Nous remarquerons aussi la symétrie du dessin réalisé : les capacités de stockage sont ainsi dessinées de manière centroïde afin d'assurer un très bon appariement. L'implémentation utilise de plus abondamment des implantations p+ dans les zones « vides ».

## 3.2 Résultats

### 3.2.1 Caractéristiques quasi-statiques

Nous caractérisons le circuit S/B en supposant des sources de tension parfaites sur chaque entrée. L'utilisation de l'amplificateur opérationnel à sorties symétriques en entrée du circuit S/B sera présentée dans le paragraphe suivant.

Nous réutilisons la même méthode caractérisation qu'au [chapitre 6](#). A partir de l'expression caractéristique de la tension de sortie définie par l'équation (6-24), nous pouvons extraire, en simulations, l'erreur de gain du circuit S/B symétrique, sa tension de décalage ainsi que la non-linéarité résultante.

Le circuit S/B et le circuit numérique contrôlant les phases de commande consomme un courant de repos de 2.3mA, soit une puissance consommée de 7.6mW dans les conditions typiques de température et d'alimentation.

Notre circuit utilisant un buffer d'entrée à sorties symétriques, la tension de mode commun en entrée du circuit S/B est fixé par l'utilisateur. Afin de maximiser la dynamique des signaux utilisés, nous utilisons une tension de référence continue de valeur 1.65V, correspondant à  $V_{DD}/2$ . Nous avons montré que ce buffer d'entrée était à même d'adapter sa tension de mode commun en sortie autour de cette valeur pour une large plage de tension de mode commun en entrée ([Fig. 7.14](#)). Nous caractériserons donc le circuit S/B en utilisant cette valeur de tension de mode commun.

Nous pouvons ainsi déterminer l'amplitude différentielle maximale admissible des signaux à appliquer en entrée pour que le circuit S/B demeure dans son régime linéaire de fonctionnement. La [figure 7.25](#) présente la variation de la tension de mode commun en sortie du circuit S/B en fonction de l'amplitude des signaux différentiels appliqués en entrée. La plage de fonctionnement du circuit S/B est donc caractérisée pour des signaux différentiels d'amplitude maximale crête à crête  $\Delta V_{INd} = \pm 2V_{c\grave{a}c}$ . Néanmoins, afin d'obtenir la meilleure linéarité possible et par mesure de sécurité, nous limiterons les tensions différentielles en entrée à une amplitude maximale  $\Delta V_{INd} = \pm 1.5V_{c\grave{a}c}$ .

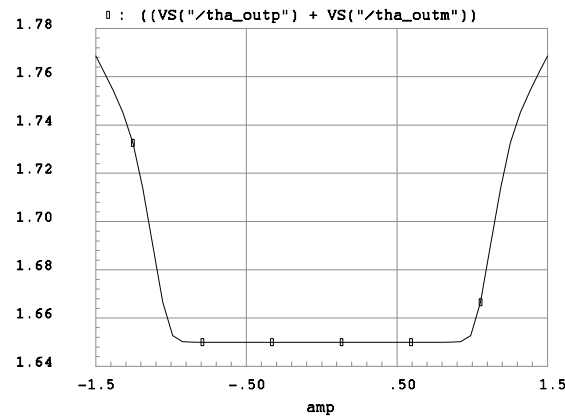


Fig. 7.25 : Variation de la tension de mode commun en sortie du circuit S/B en fonction de l'amplitude des signaux différentiels appliqués en entrée pour une tension de mode commun en entrée de 1.65V

A partir de cette plage de tension de fonctionnement admissible ( $\Delta V_{IND} = \pm 1.5 V_{c\grave{a}c}$ ), nous extrayons l'erreur de gain du circuit S/B avec l'hypothèse que le terme non-linéaire du circuit S/B est nul aux extrémités de cette plage, soit une erreur de gain  $\epsilon = -0,4 \cdot 10^{-6}$ .

A partir de la détermination de l'erreur de gain  $\epsilon$ , nous pouvons en déduire la tension de décalage différentielle  $V_{offD}$  du circuit S/B symétrique, soit  $V_{offD} < 1 \mu V$  (donc négligeable). La non-linéarité différentielle du circuit S/B en mode échantillonnage est déduite alors en fonction de l'amplitude des signaux différentiels en entrée du circuit, dans les conditions typiques  $T = 27^\circ C$  et  $V_{DD} = 3.3V$  (Fig. 7.26). La plage de non-linéarité simulée est ainsi  $[-500nV; 500nV]$ .

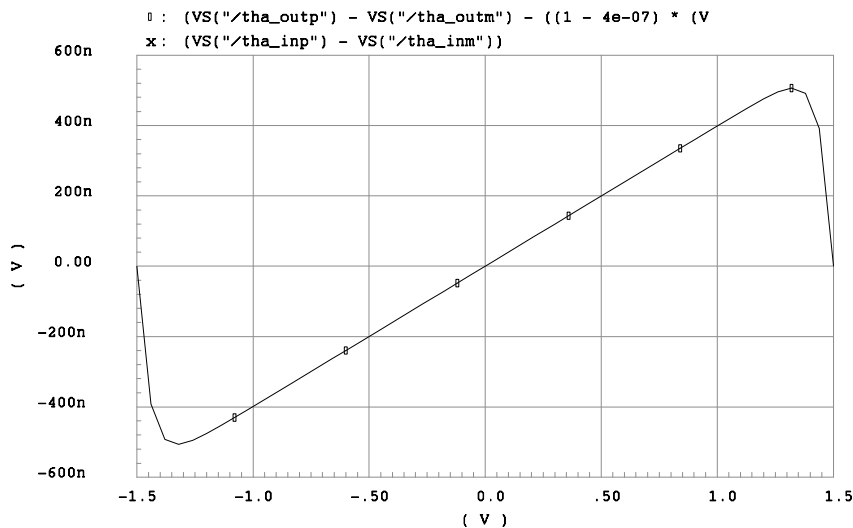


Fig. 7.26 : Non-linéarité différentielle du circuit S/B symétrique en mode échantillonnage en fonction de l'amplitude crête à crête des signaux différentiels en entrée du circuit pour une tension de mode commun de 1.65V, dans les conditions typiques  $T = 27^\circ C$  et  $V_{DD} = 3.3V$

Ces valeurs issues de la simulation, avec des transistors identiques par paires et avec de véritables sources de tension montrent les performances quasi-statiques intrinsèques de la structure utilisée pour le circuit S/B. Nous pouvons ainsi faire l'hypothèse que la limitation du circuit en mode échantillonnage n'est ainsi pas fixée pas le circuit en lui-même mais bien par la

réalisation de la source de tension équivalente en entrée du circuit S/B (en l'occurrence, le buffer à sorties symétriques en mode suiveur).

### 3.2.2 Caractéristiques dynamiques

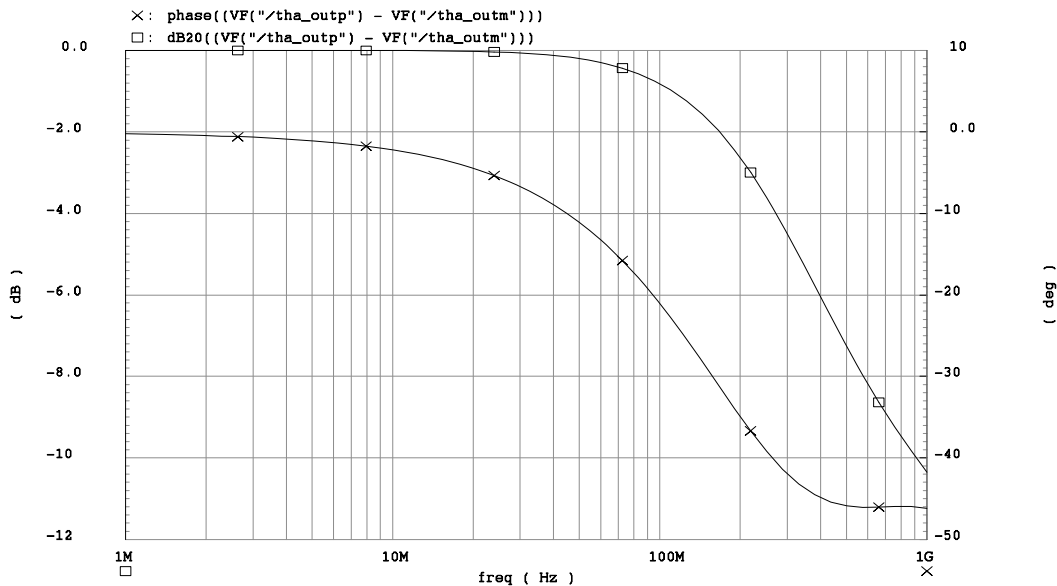


Fig. 7.27 : Diagramme de Bode post-layout (module et phase) en mode échantillonnage du circuit S/B dans les conditions typiques  $T=27^{\circ}\text{C}$  et  $V_{DD}=3.3\text{V}$ . Le circuit est chargé par un buffer de sortie statique (utilisé pour la mesure expérimentale du circuit), c'est-à-dire qu'il voit des grilles de transistors MOS.

La figure 7.27 présente le diagramme de Bode du circuit S/B symétrique en mode échantillonnage lorsque celui-ci est chargé par le buffer de sortie statique utilisé pour réaliser les mesures quasi-statiques expérimentales (capable d'attaquer les capacités des sondes d'oscilloscope). La fréquence de coupure haute du circuit S/B à  $-3\text{dB}$  est mesurée en simulation à 219 MHz.

### 3.2.3 Caractéristiques transitoires en mode échantillonnage

La figure 7.28 présente les réponses temporelles du circuit S/B à un échelon différentiel en entrée d'amplitude  $2V_{\text{cac}}$  dans les conditions typiques, le signal appliqué à l'entrée étant centré sur la tension de mode commun de 1.65V.

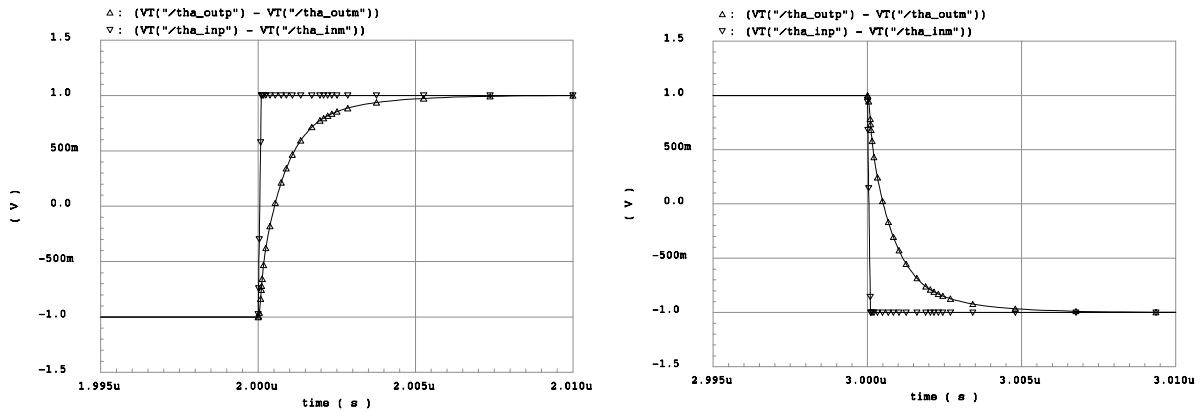


Fig. 7.28 : Réponses temporelles du circuit S/B à un échelon en entrée d'amplitude  $2V_{\text{càc}}$  (front montant et front descendant) pour une tension de mode commun de 1.65V et dans les conditions typiques.

Afin de qualifier le temps d'acquisition du circuit S/B en mode échantillonnage, nous considérons les deux types de commutateurs analogiques intégrés à l'intérieur du circuit. Nous caractérisons alors le temps d'acquisition en fonction de la résolution attendue : 10bits, 12bits et 14bits (en considérant une erreur allouée sur la tension différentielle mémorisée de 1LSB ou  $1/2\text{LSB}$ ), pour une amplitude crête à crête du signal différentiel en entrée du circuit de  $1V_{\text{càc}}$ . Le tableau 7-3 donne un récapitulatif des valeurs mesurées en simulations post-layout.

	10bits		12bits		14bits	
	1 LSB	$\frac{1}{2}$ LSB	1 LSB	$\frac{1}{2}$ LSB	1 LSB	$\frac{1}{2}$ LSB
$t_{\text{ac}}$ (Porte de Transmission)	13.3ns	19.2ns	24.1ns	29ns	33.7ns	38.4ns
$t_{\text{ac}}$ (Commutateur $V_{\text{GS}}$ constant)	2.8ns	12.6ns	18.4ns	23.5ns	28.5ns	33.3ns

Tab. 7-3 : Temps d'acquisition du circuit S/B en fonction de l'erreur allouée sur la tension différentielle échantillonnée pour un front montant en entrée d'amplitude crête à crête  $1V_{\text{càc}}$ . Ces valeurs sont mesurées en simulations post-layout et dans les conditions typiques.

Le commutateur analogique à  $V_{\text{GS}}$  constant ne possède ainsi pas seulement un intérêt pour sa caractéristique à injecter des quantités de charges constantes quelque soit l'amplitude des signaux en entrée mais aussi à diminuer la résistance dynamique équivalente du commutateur. En effet, la pompe de charge introduite dans ce commutateur permet de maximiser la tension appliquée sur la grille du transistor de commande et ainsi d'augmenter son  $V_{\text{GS}}$ .

### 3.2.4 Caractéristiques transitoires dues au basculement au mode de maintien

La figure 7.29 permet de visualiser l'avantage de la structure S/B par laquelle l'ajout de la capacité  $C_{\text{H2}}$  permet de réduire fortement l'erreur générée par les injections de charges des commutateurs analogiques principaux  $S_{\text{C}}$ . Le temps d'établissement du signal correspond au temps nécessaire d'établissement de l'amplificateur du circuit S/B dans sa configuration intégrateur.

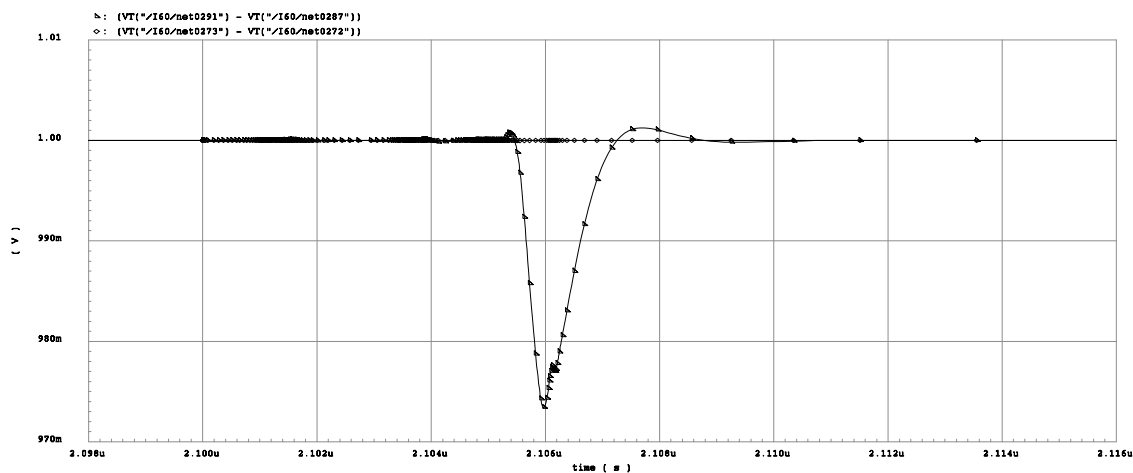


Fig. 7.29 : Zoom temporel sur la réaction du circuit S/B aux phénomènes d'injections de charges (signal différentiel en sortie du circuit S/B) dans les conditions de la figure Fig. 7.34. La phase de commande en mode de maintien bascule à 2.1µs pour un temps de basculement de 1ns.

Nous pouvons comparer le comportement des deux types de commutateurs intégrés dans le circuit (Fig. 7.30).

- Le commutateur analogique composé d'une simple porte de transmission bien que dimensionné pour compenser au maximum les phénomènes d'injection de charges ne permet pas de réaliser une compensation totale. En effet, comme nous l'avons déjà mentionné de manière théorique, les commutateurs  $S_1$  en entrée de l'amplificateur présentent des résistances différentes en fonction de la polarité du signal que l'on applique (voie + ou -) et injectent ainsi des quantités de charges différentes. Sur l'ensemble de la plage admissible des amplitudes de signaux différentiels en entrée du circuit, l'erreur de tension différentielle résultante en mode de maintien varie ainsi d'environ 1µV à 180µV.
- Par comparaison, le commutateur analogique à  $V_{GS}$  constant introduit une erreur de tension résultante négligeable en mode de maintien. Sur l'ensemble de la plage d'amplitude des signaux différentiels en entrée du circuit, l'erreur résultante varie entre -2µV et 12µV. Dans ce cas, le phénomène d'injection de charges n'est plus à considérer comme un facteur limitant dans la précision atteignable du circuit S/B !

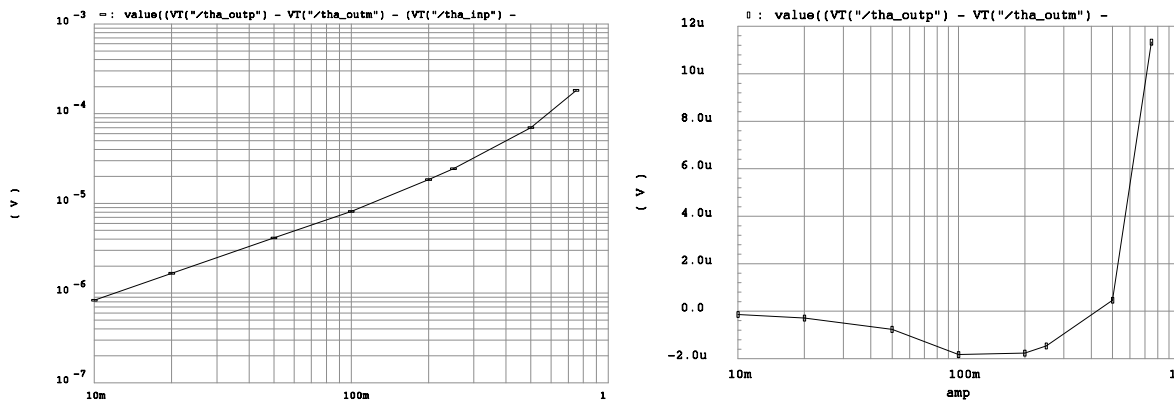


Fig. 7.30 : Erreur de tension différentielle résultante en mode de maintien en fonction du type de commutateur analogique utilisé et de l'amplitude des signaux différentiels en entrée du circuit : a) commutateur classique b) commutateur à  $V_{GS}$  constant

Intéressons-nous au temps d'établissement du circuit S/B en mode de maintien. Nous avons montré que la commutation des différentes phases de commandes du circuit introduisait un temps de retard d'environ 5ns (déphasage des différentes phases  $\phi_{1a}$ ,  $\phi_{1b}$  et  $\phi_{1c}$ ). La méthode utilisée ici consiste à allouer un rapport d'erreur en tension différentielle semblable en mode échantillonnage et en mode de maintien, ce qui signifie que quelque soit l'amplitude la résolution visée, une erreur de  $\frac{1}{2}$  LSB est accordée en mode d'échantillonnage ainsi qu'en mode de maintien. A partir de ce critère, nous pouvons ainsi affirmer que le commutateur analogique (Fig. 7.30) ne pourra atteindre une résolution quasi-statique de 14bits (l'erreur en tension introduite par les injections de charges étant supérieure à  $100\mu V$  pour une amplitude du signal différentiel en entrée de  $1.5V_{c\grave{a}c}$ ).

Le tableau 7-4 présente les temps d'établissement nécessaires en mode de maintien après le basculement de la dernière phase de commande  $\phi_{1c}$  en fonction de la résolution et du type de commutateur utilisé et pour une amplitude crête à crête du signal différentiel en entrée de  $1.5V_{c\grave{a}c}$ .

	10bits		12bits		14bits	
	1 LSB	$\frac{1}{2}$ LSB	1 LSB	$\frac{1}{2}$ LSB	1 LSB	$\frac{1}{2}$ LSB
$t_{st}$ (Porte de Transmission)	1.2ns	3.7ns	5.9ns	7.9ns	10ns	12.1ns
$t_{st}$ (Commutateur $V_{GS}$ constant)	0.6ns	1ns	1.2ns	2.4ns	2.6ns	3.7ns

Tab. 7-4 : Temps d'établissement du circuit S/B en mode de maintien en fonction de l'erreur allouée sur la tension différentielle maintenue pour un front montant en entrée d'amplitude crête à crête  $1V_{c\grave{a}c}$ . Ces valeurs sont mesurées en simulations post-layout et dans les conditions typiques.

### 3.2.5 Caractéristiques générales du circuit S/B

Nous pouvons désormais qualifier le circuit S/B en fonction des caractéristiques définies ci-dessus. Les tableaux 7-5 et 7-6 définissent les caractéristiques transitoires générales du circuit S/B en fonction du type de commutateur analogique utilisé. Le « temps d'acquisition total » prend en compte les phénomènes transitoires dus aux phénomènes d'injection de charges.

A partir de ces valeurs, nous qualifions le circuit S/B. En supposant un temps de maintien  $T_{\text{HOLD}}$  nécessaire de 10ns, nous en déduisons la fréquence d'échantillonnage maximale du circuit en fonction de la précision (Tab. 7-7).

Le tableau 7-8 présente les caractéristiques générales du circuit S/B.

		Précision					
		10bits		12bits		14bits	
<b>Temps d'Acquisition en mode échantillonnage</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$t_{\text{ac}}$		13.3ns	19.2ns	24.1ns	29ns	33.7ns	38.4ns
<b>Temps de retard (basculement des phases de commande)</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$\phi \rightarrow \phi_{1a}$		1 ns					
$\phi_{1a} \rightarrow \phi_{1b}$		2.4 ns					
$\phi_{1b} \rightarrow \phi_{1c}$		1.5 ns					
<b>Temps d'Etablissement en mode de maintien</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$t_{\text{st}}$		1.2ns	3.7ns	5.9ns	7.9ns	10ns	12.1ns
<b>Temps total</b>							
		<i>27.8ns</i>		<i>41.8ns</i>		<i>55.4ns</i>	

Tab. 7-5 : Caractéristiques transitoires générales du circuit S/B utilisant les commutateurs analogiques réalisés à l'aide d'une porte de transmission (SB1)

		Précision					
		10bits		12bits		14bits	
<b>Temps d'Acquisition en mode échantillonnage</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$t_{\text{ac}}$		2.8ns	12.6ns	18.4ns	23.5ns	28.5ns	33.3ns
<b>Temps de retard (basculement des phases de commande)</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$\phi \rightarrow \phi_{1a}$		1 ns					
$\phi_{1a} \rightarrow \phi_{1b}$		2.4 ns					
$\phi_{1b} \rightarrow \phi_{1c}$		1.5 ns					
<b>Temps d'Etablissement en mode de maintien</b>							
		1 LSB	½ LSB	1 LSB	½ LSB	1 LSB	½ LSB
$t_{\text{st}}$		0.6ns	1ns	1.2ns	2.4ns	2.6ns	3.7ns
<b>Temps total</b>							
		<i>18.5ns</i>		<i>30.8ns</i>		<i>41.9ns</i>	

Tab. 7-6 : Caractéristiques transitoires générales du circuit S/B utilisant les commutateurs analogiques à  $V_{\text{GS}}$  constant (SB2)

	10bits	12bits	14bits
Fréquence d'Echantillonnage	26 Mechs/s	19 Mechs/s	15 Mechs/s
Fréquence d'Echantillonnage	35 Mechs/s	24 Mechs/s	19 Mechs/s

Tab. 7-7 : Fréquences d'échantillonnage maximale atteignables en fonction du type de commutateur et de la précision requise





capacitive de 20pF comprenant les sondes de mesures de l'oscilloscope (10pF). Enfin, la polarisation des circuits est assurée grâce à une source de courant de référence (CUS) et par une tension de référence globale (BG) mettant en œuvre un circuit de type bandgap.

## 4.2 Caractéristiques de l'ASIC

### 4.2.1 Interfaces d'Entrées/Sorties

Bien entendu chaque fonction possède son propre plot de masse ainsi qu'un nombre de plot d'alimentation significatif. La tension de référence générée dans le circuit est connectée aux différents circuits via l'extérieur de la puce, afin d'assurer que des perturbations présentes sur cette tension ne viennent pas dégrader le comportement général de toute la puce. Les interfaces d'entrée/sortie sont présentées dans le [tableau 7-9](#).

SAMPLE & HOLD	PAD SUR ASIC	COMMENTAIRE	N° PIN SUR BOITIER
fd_vdd1	PPH	Alimentation (+) Buffer d'entrée+EB (+3.3V)	49-50
fd_gndt1	PPL	Alimentation (-) Buffer d'entrée+EB (0V)	43-44
asb_vdd	PPH	Alimentation (+) Buffer statique (+3.3V)	35-36
fd_gndt2	PPL	Alimentation (-) Buffer statique (0V)	30
fd_vddp	PPH	Alimentation (+) Buffers Dynamiques (5V)	28-29
fd_gndp	PPL	Alimentation (-) Buffers dynamique (+0V)	24-25
fd_bfinp	IP1X	Entrée (+) Buffer d'entrée	47-48
fd_bfinm	IP1X	Entrée (-) Buffer d'entrée	51-52
fd_mcin	IP1X	Entrée Tension mode commun	64-65
fd_bfinen	IP1	Selection ON/OFF buffer d'entrée (default=1)	53
fd_bypassp	IP1X	Entrée (+) directe EB	45-46
fd_bypassm	IP1X	Entrée (-) directe EB	41-42
fd_ensw	IP1	Sélection Interrupteur de Commande (default=1)	56
fd_bfoutp	IP1X	Sortie statique (+) EB	32
fd_bfoutm	IP1X	Sortie statique (-) EB	31
fd_bfouthfp	IP1X	Sortie dynamique (+) EB	26-27
fd_bfouthfm	IP1X	Sortie dynamique (-) EB	22-23
fd_clk	IP1	Horloge de commande EB (0-3.3V)	57
<b>ASYMTOsym</b>			
asb_vdd	PPH	Alimentation (+) Conversion AsymToSym (+3.3V)	35-36
asb_gnd	PPL	Alimentation (-) Conversion AsymToSym (0V)	39-40
asb_in	IP1X	Entrée Dynamique Conversion AsymToSym	38
asb_mcin	IP1X	Entrée Référence Conversion AsymToSym	37
asb_outp	IP1X	Sortie dynamique (+) Conversion AsymToSym	33
asb_outm	IP1X	Sortie dynamique (-) Conversion AsymToSym	34
<b>BAND-GAP</b>			
bg_vdd3	PPH	Alimentation (+) Band-Gap (+3.3V)	58-59
bg_gndt	PPL	Alimentation (-) Band-Gap (0V)	66-67
bg_refB	IP1X		60
bg_rvref	IP1X	Réglage tension de référence	61
bg_vref	IP1X	Tension de référence (1.65V)	62-63
<b>SOURCE DE COURANT</b>			
bg_vdd	PPH	Alimentation (+) Source de Courant (+3.3V)	68-69
bg_gndt	PPL	Alimentation (-) Source de Courant (0V)	66-67
bg_irefS	IP1X	Contrôle source de courant de polarisation (100µA)	70
bg_irefD	IP1X	Courant de polarisation forcé (100µA)	71

Tab. 7-9 : Fonctions des interfaces d'entrées/sorties de l'asic présenté dans sa vue synoptique (Fig. 7.31)

## 4.2.2 Caractéristiques globales

La surface totale de l'Asic est de  $4\text{mm}^2$ . Le nombre de plots d'entrée/sortie est de 52. La consommation statique de l'Asic complet, incluant les cellules « comparateur en courant », [Bernal,2005] est de  $160\text{ mW}$  sur l'alimentation  $3.3\text{V}$  et de  $440\text{mW}$  sur l'alimentation  $5\text{V}$ . Le circuit S/B associé à son étage d'entrée consomme  $59\text{mW}$  sur l'alimentation  $3.3\text{V}$ .

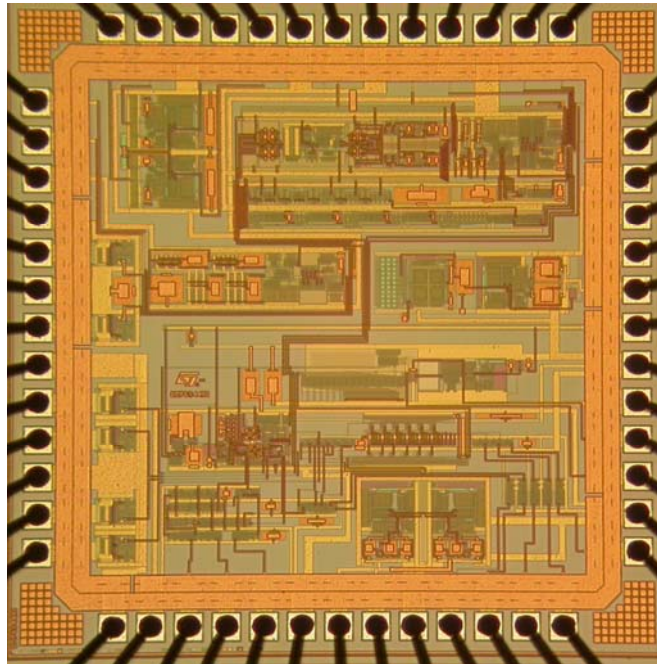


Fig. 7.32 : Photographie du démonstrateur en technologie ST BiCMOS6G  $0.35\mu\text{m}$   $3.3\text{V}$

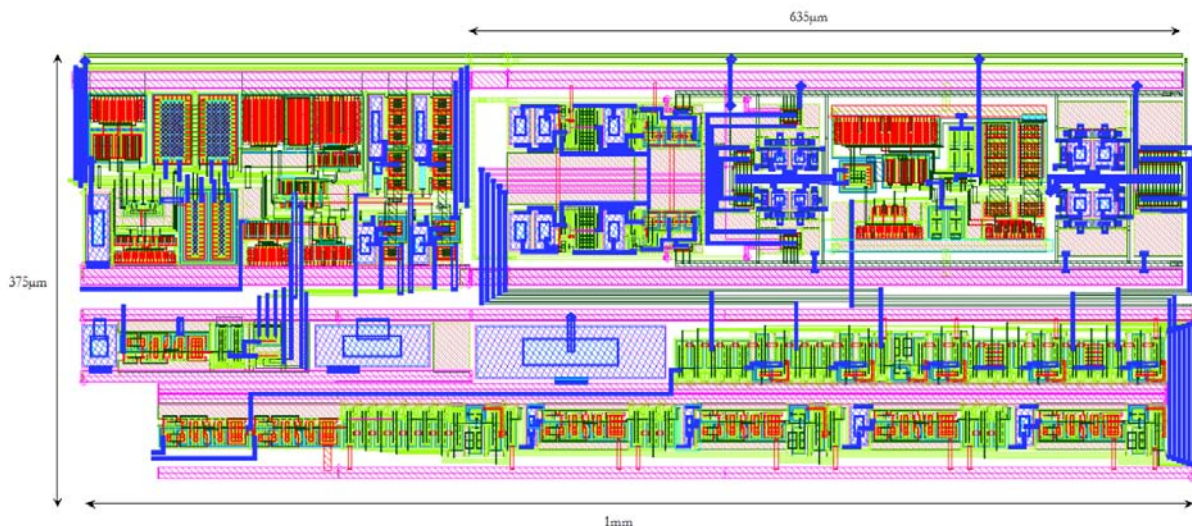


Fig. 7.33 : Layout du circuit S/B symétrique, de son buffer d'entrée et du circuit de contrôle des phases de commande

La figure 7.34 présente la réponse temporelle de l'Asic à un échelon différentiel d'amplitude  $1V_{\text{câc}}$  ( $\pm 500\text{mV}$  sur chaque entrée différentielle) pour une tension de mode commun en entrée  $V_{\text{mcIN}}$  de  $1.65\text{V}$ . Les signaux sont respectivement présentés en entrée de l'Asic, en sortie du buffer

d'entrée, en sortie du circuit S/B, en sortie des buffers de sortie dynamiques et statiques (des capacités de valeur de 10pF modélisent les sondes d'oscilloscope en sortie de l'Asic).

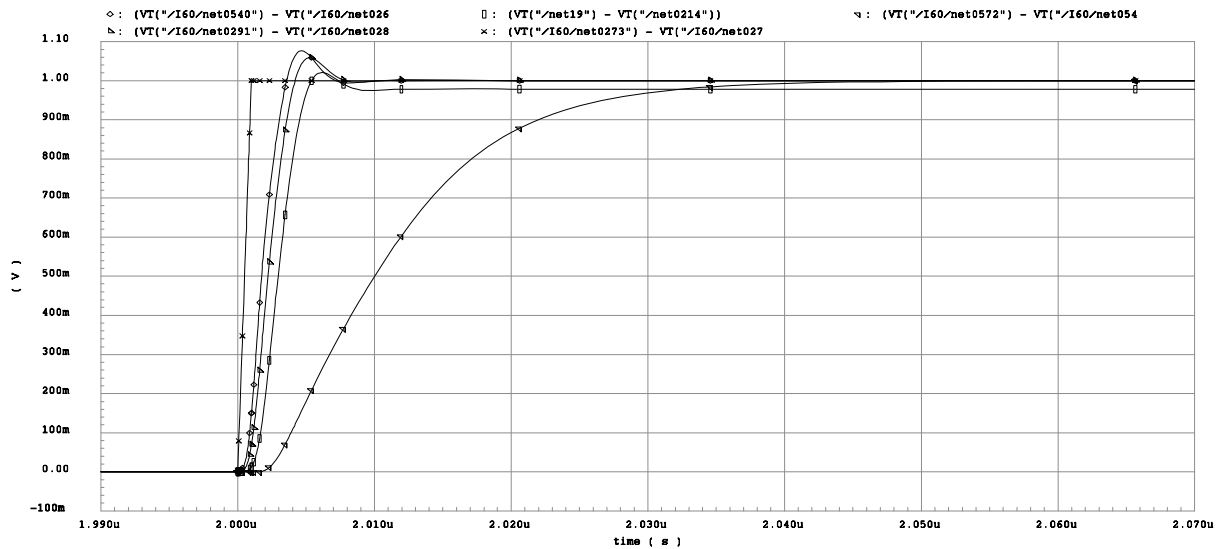


Fig. 7.34 : Réponse temporelle en mode échantillonnage du circuit d'échantillonnage à un échelon de tension +/-500mV sur les entrées différentielles pour une tension de mode commun 1.65V. Ordre d'apparition temporelle : Entrée différentielle Asic – Sortie Buffer d'entrée – Sortie S/B – Sortie Dynamique – Sortie Statique

## Conclusion

Nous avons démontré dans ce dernier chapitre l'intégration réussie d'un circuit échantillonneur-bloqueur dans une technologie BiCMOS submicronique (0.35 $\mu$ m) basse-tension (3.3V). Les circuits intégrés (« tout CMOS ») ont utilisé l'ensemble des études menées à travers ce mémoire.

Nous avons ainsi réalisé un amplificateur opérationnel à sorties symétriques large-bande (fréquence de gain unitaire en boucle ouverte de 208MHz), à fort gain en boucle ouverte (~100dB), rail-ro-rail, utilisé en configuration de suiveur. Son comportement est analogue à celui d'un amplificateur d'instrumentation à sorties symétriques. Un second amplificateur opérationnel dont la structure est simplifiée en comparaison de la précédente présente des caractéristiques suffisantes pour l'E/B (fréquence de gain unitaire en boucle ouverte de 345MHz), de gain en boucle ouverte 58dB). Le circuit S/B, quant à lui, utilisant la structure 5, différentiel en entrée et en sortie, présente des caractéristiques permettant de valider la conception d'une chaîne vidéo complète de performances (20Mechs/s – 12bits).

Les méthodes de durcissement aux radiations ont été appliquées au niveau du dessin du circuit. Les performances sous contraintes radiatives seront réalisées en dehors de ce présent mémoire.

---

## Conclusion Générale

---

Par la conception et la réalisation de fonctions analogiques représentatives d'une chaîne de traitement analogique d'un signal CCD telles qu'un échantillonneur-bloqueur et un amplificateur opérationnel symétrique rail-to-rail classe-AB présentées à travers ce présent mémoire, nous avons démontré la faisabilité d'une chaîne vidéo dédiée à une instrumentation spatiale pour l'observation de la Terre. Cette contribution permet ainsi de valider la possibilité de concevoir des circuits intégrés analogiques implantés sur des technologies basse-tension dites « commerciales » pour réaliser l'ensemble de la chaîne de traitement du signal issu du détecteur CCD.

Nous avons ainsi tout d'abord rappelé les contraintes de l'environnement spatial. Les radiations inhérentes nous ont alors montré qu'il était nécessaire d'utiliser des méthodes rigoureuses tant au niveau de la conception des circuits que du dessin des masques utilisés pour l'intégration de circuits durcis. Ces méthodes ont été appliquées sur la conception d'un démonstrateur.

Ne cessant pas d'évoluer en raison d'une forte demande pour des applications numériques, les technologies accessibles aujourd'hui sont principalement CMOS submicroniques et basse tension. L'intérêt est certain pour des circuits numériques complexes, par laquelle la consommation est d'autant plus faible que la tension d'alimentation baisse. Mais dans le cas d'un traitement analogique du signal, la nécessité de garder une dynamique suffisante, indispensable lorsque l'on recherche des performances en terme de précision et de bande passante toujours plus élevées, remet en cause les architectures de circuit établies jusqu'à maintenant.

Enfin, la demande croissante d'intégration portée par la téléphonie mobile et autres dispositifs portables a progressivement désengagé les fondeurs de certaines niches telles le domaine spatial. Pour la conception des circuits de démonstration, nous avons choisi volontairement l'option « tout CMOS », c'est-à-dire sans transistor bipolaire. Dans ce contexte, nous avons décidé d'avoir un recours à un centre multi-projets permettant l'intégration sur un même wafer de circuits provenant de différents demandeurs de petit volume. Nous avons principalement retenu une technologie SiGe BiCMOS submicronique (0.35 $\mu\text{m}$ ) basse tension (3.3V) comme technologie cible pour une future instrumentation spatiale.

Nous avons alors étudié une cellule limitatrice dans la chaîne vidéo : le circuit échantillonneur-bloqueur. Une étude théorique permet de comprendre l'ensemble des limitations introduites par le simple commutateur analogique, principalement lorsque l'on prend en compte le temps d'établissement du dispositif. Nous avons ainsi démontré qu'il n'était pas possible d'utiliser une structure d'E/B élémentaire pour obtenir les précisions et vitesses requises. En terme de précision, le phénomène d'injection de charges se révèle très limitant et demande des méthodes de compensation, plus ou moins complexes. Néanmoins, la complexité des architectures du circuit ne doit pas limiter la vitesse d'échantillonnage.

Par conséquent, nous avons mené une étude sur différentes architectures de circuits d'échantillonnage, représentative des circuits aujourd'hui couramment utilisés dans la bibliographie. A partir d'une étude qualitative, nous avons retenu un certain nombre de structures pouvant répondre au besoin de l'instrumentation. Une étude dynamique sur ces circuits nous a alors permis de démontrer la limitation intrinsèque des circuits d'échantillonnage fonctionnant en boucle fermée en raison de la nécessaire stabilité fréquentielle. Une architecture très intéressante a été étudiée en raison de son fonctionnement en boucle ouverte auquel était adjoint un effet Miller lors du basculement du circuit en mode de maintien afin de minimiser l'erreur en tension introduite par le phénomène d'injection de charges.

La réalisation de ces circuits d'échantillonnage nous a alors amené à étudier des cellules CMOS basse-tension telles que les miroirs de courant à grande excursion, les circuits cascades améliorés, les étages de sortie de type source commune classe AB. Nous avons du aussi étudier des dispositifs de contrôle de mode commun pour les structures symétriques. L'analyse de ces cellules « tout CMOS » est d'une grande utilité pour établir une méthodologie du calcul analytique des principales fonctions de transfert en boucle ouverte des circuits transconductance et amplificateurs opérationnels.

La réalisation de deux circuits intégrés analogiques respectivement dans une technologie CMOS 0.6 $\mu$ m et BiCMOS 0.35 $\mu$ m alimentés en 3.3V démontre finalement la faisabilité d'intégration des principales fonctions analogiques de chaînes vidéo sur des technologies dites « commerciales ». Les performances atteintes pour ces circuits échantillonneurs-bloqueurs ainsi que celles d'un amplificateur large bande symétrique (proche d'un amplificateur d'instrumentation) permet d'envisager des spécifications de 20Mecha/s pour une précision supérieure à 12bits pour les futures chaînes vidéo et en prenant en compte les contraintes de durcissement.

---

## Références

---

- [Abo,1999] A.M. Abo and P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter." IEEE J. Solid-State Circuits, vol. 34, no. 5, May 1999.
- [Antognetti,1993] P. Antognetti, G.Massobrio, "Semiconductor Device Modelling with SPICE", McGraw-Hill, New York, 1993, ISBN 0-07-002469-3. TK7871.85.S4454.
- [Babanezhad,1987] J.N. Babanezhad and R.Gregorian, "A Programmable Gain/Loss Circuit", IEEE Journal of Solid-State Circuits, Vol.22, No.6, pp.1082-1090, December 1987.
- [Baker,1998] R.J.Baker, H.W.Li, D.E.Boyce, "CMOS:Circuit design, layout and simulation", IEEE Press, 1998, pp.201-229.
- [Botma,1993a] J.H.Botma, R.F.Wassenaar, R.J.Wiegerink, "Simple rail-to-rail low-voltage constant transconductance CMOS input stage in weak inversion", Electronics Letters, Vol.29, No 12, pp.1145-1147, June 1993.
- [Botma,1993b] J.H.Botma, R.F.Wassenaar, R.J.Wiegerink, "A low voltage CMOS op amp with a rail-to-rail constant-gm input stage and a class AB rail-to-rail output stage", IEEE Proc. ISCAS 1993, Vol.2, pp.1314-1317, May 1993.
- [Brière,1972] T.Kwan, K.Martin, "An adaptative analog continuous-time CMOS biquadratic filter", IEEE Journal of Solid-State Circuits, Vol.SC-26, pp.859-867, June 1991.
- [Burr Brown] "CCD imaging systems", Stephan Baier, Burr Brown (Texas Instrument), Application Note
- [Castello,1985] R.Castello et al., "A high-performance micropower switched-capacitor filter", IEEE Journal of Solid-State Circuits, vol.SC-20, no.6, pp.1122-1132, December 1985.
- [Castello,1985] R.Castello, P.R.Gray, "Performance Limitation in switched-capacitor filters", IEEE Trans. Circuits Syst., vol.CAS-32, pp.865-876, Septembre 1985.
- [CCD,2005] Introduction to Optical Microscopy, Digital Imaging, and Photomicrography .  
<http://www.microscopy.fsu.edu/primer/digitalimaging/concepts/ccdanatomy.html>
- [Cherry,1968] E.M.Cherry, D.E.Hooper, "Amplifying Devices and Low-Pass Amplifier Design", Wiley, New York, 1968.
- [Cho,1995] T. Cho and P. R. Gray, "A 10 b 20 Msamples/s, 35 mW pipeline A/D converter," IEEE J. Solid-State Circuits, vol. 30, pp. 166–172, Mar. 1995.

- [Dai,2000] L.Dai, R.Harjani, "CMOS Switched-Opamp Based Sample-and-Hold Circuit", IEEE Journal of Solid-State Circuits, Vol.35, No 1, pp.109-113, January 2000.
- [Ding,2000] Y.Ding, R.Harjani, "A Universal Charge Injection Model and its Applications", IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Geneva, Switzerland.
- [Eichenberger,2000] C.Eichenberger, W.Guggenbühl, "Charge injection of analogue CMOS switches", IEE Proceedings-G, vol.138, no.2, pp.155-159, April 1991.
- [Gatti,1992] U.Gatti, F.Maloberti, G.Palmisano, "An Accurate CMOS Sample-and-Hold Circuit", IEEE Journal of Solid-State Circuits, Vol.27, No 1, pp.120-122, January 1992.
- [Geiger,1990] R.Geiger, P.Allen, N.Strader, "Analog Integrated Circuits", 3<sup>rd</sup> ed. John Wiley & Sons, New York, 1993.
- [Giraldo,1998] A. Giraldo, "Evaluation of Deep Submicron Technologies with Radiation Tolerant Layout for Electronics in LHC Environments", Ph.D. Thesis at the University of Padova, Italy, December 1998.
- [Giraldo,2000] A. Giraldo, A. Paccagnella, A. Minzoni, "Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout", Solid-State Electronics, vol. 44, 1<sup>st</sup> June 2000, pp. 981-989.
- [Gray,1993] P.R.Gray, R.G.Meyer, "Analysis and Design of Analog Integrated Circuits", 3th Edition, John Wiley, New York, 1993, 792p, ISBN 0-471-57495-3.
- [Gray,2001]
- [Grignoux,1982] P. Grignoux and R. L. Geiger, "Modeling of MOS Transistors with Nonrectangular-Gate Geometries", IEEE Transactions on Electron Devices, vol. 29, no. 8, August 1982, pp. 1261-1269.
- [Hogervost,1994a] R.Hogervost, J.P.Tero, R.G.H.Eschauzier, J.H.Huijsing, "A compact power-efficient 3-V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries", IEEE Journal of Solid-State Circuits, Vol.29, No 12, pp.1505-1513, December 1994.
- [Hogervost,1994b] R.Hogervost, R.J.Wiegerink, P.Al.de Jong, J.Fonderie, R.F.Wassenaar, J.H.Huijsing, "CMOS Low-Voltage operational amplifiers with constant-gm rail-to-rail input stage", Analog Integrated Signal Processing, Vol.5, pp.135-146, 1994.
- [Hovergorst,1995] R.Hogervost, S.M.Safai, J.H.Huijsing, "A programmable 3-V CMOS rail-to-rail opamp with gain boosting for driving heavy loads", IEEE Proc. ISCAS 1995, pp.1544-1547.
- [Hovergorst,1996] R.Hogervost, J.P.Tero, J.H.Huijsing, "Compact CMOS constant-gm rail-to-rail input stage with gm-control by an electronic zener diode", IEEE Journal of Solid-State Circuits, Vol.31, No 7, pp.1035-1040, July 1996.
- [Hovergorst,1996b] R.Hogervost, J.H.Huijsing, "Design of Low-Voltage, Low-Power operational amplifier cells", Kluwer Academic Publishers, Boston, 1996..



- [Hsu,2002] C.-C. Hsu, J.-T. Wu, "A CMOS 33-mW 100-MHz 80-dB SFDR Sample-and-Hold Amplifier", *IEICE Trans. Electron.*, Vol.E85-C, No 1, January 2002.
- [Huijsing,1985] J.H.Huijsing, D.Linebarger, "Low voltage operational amplifier with rail-to-rail input and output stages", *IEEE Journal of Solid-State Circuits*, Vol.SC-20, No 6, pp.1144-1150, December 1985.
- [Huijsing,1995] J.H.Huijsing, R.Hogervost, K.-J.de Langen, "Low-power low-voltage VLSI operational amplifier cells", *IEEE Trans. Circuits and Systems-I*, Vol.42, No 11, pp.841-852, November 1995.
- [Ishikawa,1989] M.Ishikawa, T.Tsukahara, "An 8-bit 50-MHz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H", *IEEE Journal of Solid-State Circuits*, Vol.24, No 6, December 1989.
- [Johns,1997] D.Johns, K.Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc, 1997.
- [Josse,2003] S.Josse,
- [Krishnamoorthy,1996] A.V.Krishnamoorthy, D.A.B.Miller, "Scaling Optoelectronic-VLSI Circuits into the 21st Century: A Technology Roadmap (1996)", 1996.
- [Kwan,1991] T.Kwan, K.Martin, "An adaptative analog continuous-time CMOS biquadratic filter", *IEEE Journal of Solid-State Circuits*, Vol.SC-26, pp.859-867, June 1991.
- [Lasco,2000] D.J.McComas et al., *Geophys.Res.Lett.*, 25, 1-4, 1996. The U.S. Naval Research Laboratory Large Angle and Spectrometric Coronagraph Experiment (LASCO). Site web : <http://lasco-www.nrl.navy.mil/>
- [Lim,1991] P.J.Lim, B.A.Wooley, "A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance", *IEEE Journal of Solid-State Circuits*, Vol.26, No 4, April 1991.
- [Liu,2004] M.-H.Liu, W.-Y.Ou, T.-Y.Su, K.-C.Huang, S.-I.Liu, "A 1.5V 12-bit 16 MSPS CMOS Pipelined ADC with 68-dB Dynamic Range", *Analog Integrated Circuits and Signal Processing*, 41, 269-278, 2004.
- [McComas,1996] D.J.McComas et al., *Geophys.Res.Lett.*, 25, 1-4, 1996. <http://pwg.gsfc.nasa.gov/istp/outreach/images/Gusts/windspeed.jpg>
- [McCreary,1975] J.McCreary, P.R.Gray, "All MOS Charge Redistribution Analog-to-Digital Conversion Techniques – Part I", *IEEE Journal of Solid-State Circuits*, Vol.SC-10, No 6, pp.371-379, December 1975.
- [Monticelli,1986] D.M. Monticelli, "A Quad CMOS single-supply Opamp with rail-to-rail output swing", *IEEE Journal of Solid-State Circuits*, Vol.SC-21, pp.1026-1034, December 1986.
- [Nakagome,1991] Y. Nakagome et al., "Experimental 1.5-V 64-Mb DRAM," *IEEE J.Solid-State Circuits*, vol. 26, pp. 465–472, Apr. 1991.
- [Nasa,2005] D.J.McComas et al., *Geophys.Res.Lett.*, 25, 1-4, 1996. Site web : <http://radbelts.gsfc.nasa.gov/index.html>

- [Philips,2001] TDA9952 CCD Signal Processor, AN01051, Philips, Mickaël DENIE, Patrick LEJOLY, December 2001.
- [Razavi,1995] B.Razavi, "Principles of Data Conversion System Design", Piscataway, NJ: IEEE Press,1995.
- [Real,1991] P.Real, D.Mercer, "A 14-b Linear, 250ns Sample-and-Hold Subsystem with Self-Correction", IEEE Int. Solid-State Circuits Conf., pp.164-165, February 1991.
- [Renirie,1992] W.C.M. Renirie, J.H. Huijsing, "Simplified Class-AB control circuits for Bipolar Rail-to-Rail Output stages of Operational Amplifiers", Proceedings European Solid-State Circuits Conference, pp.183-186, Sept.21-23,1992.
- [Sakurai,1996] S.Sakurai, M.Ismail, "Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage", IEEE Journal of Solid-State Circuits, Vol.31, No 2, pp.146-156, February 1996.
- [Säll,2002] E.Säll, "Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 $\mu$ m CMOS Technology", Linköping University, LITH-ISY-EX-3248-2002, September 2002.
- [Senderowics,1981] D.Senderowics, S.F.Dreyer, J.H.Huggins, C.F.Rahim, C.A.Laber, "A family of differential CMOS analog circuits for a PCM codec filter chip", IEEE Journal of Solid-State Circuits, Vol.SC-17, pp.1014-1023, December 1981.
- [Sone,1993] K.Sone, Y.Nishida, N.Nakadai, "A 10-b 100-Msample/s Pipelined Subranging BiCMOS ADC", IEEE Journal of Solid-State Circuits, Vol.28, No 12, December 1993.
- [Sooch,1985] N.S. Sooch, "MOS Cascode Current Mirror", U.S. patent no. 4550284, October 1985.
- [Stafford, 1974] K.R.Stafford, P.R.Gray, R.A.Blanchard, "A Complete Monolithic Sample/Hold Amplifier", IEEE Journal of Solid-State Circuits, Vol.SC-9, No 6, December 1974.
- [Texas Instruments,1993] CCD Image Sensors and Analog-to-Digital Conversion, Texas Instruments, January 1993
- [Vittoz,1990] E.A.Vittoz, "Future of Analog in VLSI Environment", Proceedings of IEEE Int. Symp. Circuits Syst., pp.1372-1375, Mai 1990.
- [Vittoz,1994] E.A.Vittoz, "Low-power Design : Ways to approach the limits", Proceedings of IEEE Int. Symp. Circuits Syst., pp.4-18, Mai 1994.
- [White,1974] M.H.White,D.R.Lampe,F.C.Blaho,I.A.Mack, "Characterization of surface channel CCD image arrays at low light levels", IEEE Journal of Solid-State Circuits, Vol.9 , Issue 1 , Feb 1974, Pages:1 – 12
- [Wu,1996] J.-T. Wu, Y.-H. Chang, and K.-L. Chang, "1.2V CMOS switched capacitor circuits," in 1996 IEEE Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, Feb. 1996, pp. 388–389.
- [Yotsuyanagi,1993] M.Yotsuyanagi, T.Etoh, K.Hirata, "A 10-b 50-MHz Pipelined CMOS A/D Converter with S/H", IEEE Journal of Solid-State Circuits, Vol.28, No 3, pp.292-300, March 2003.

- [Yotsuyanagi,1995] M.Yotsuyanagi, H.Hasegawa, M.Yamaguchi, M.Ishida, K.Sone, "A 2V, 10b, 20 Msample/s, Mixed-Mode Subranging CMOS A/D Converter", IEEE Journal of Solid-State Circuits, Vol.30, No 12, pp.1533-1537, December 1995.
- [Wang,1999] M.Wang, T.L.Mayhugh Jr., S.H.K.Embabi, E.Sánchez-Sinencio, "Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition region", IEEE Journal of Solid-State Circuits, Vol.34, No 2, pp.148-156, February 1999.
- [Wu,1994] W.-C.S.Wu, W.J.Helms, J.A.Kuhn, B.E.Byrkett, "Digital-compatible high performance operational amplifier with rail-to-rail input and output ranges", IEEE Journal of Solid-State Circuits, Vol.29, No 1, pp.63-66, January 1994.