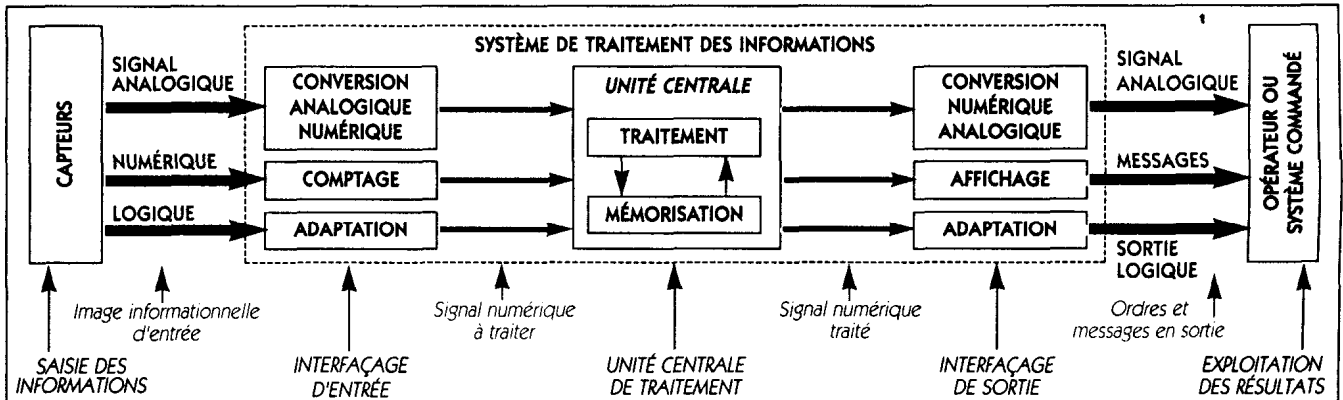


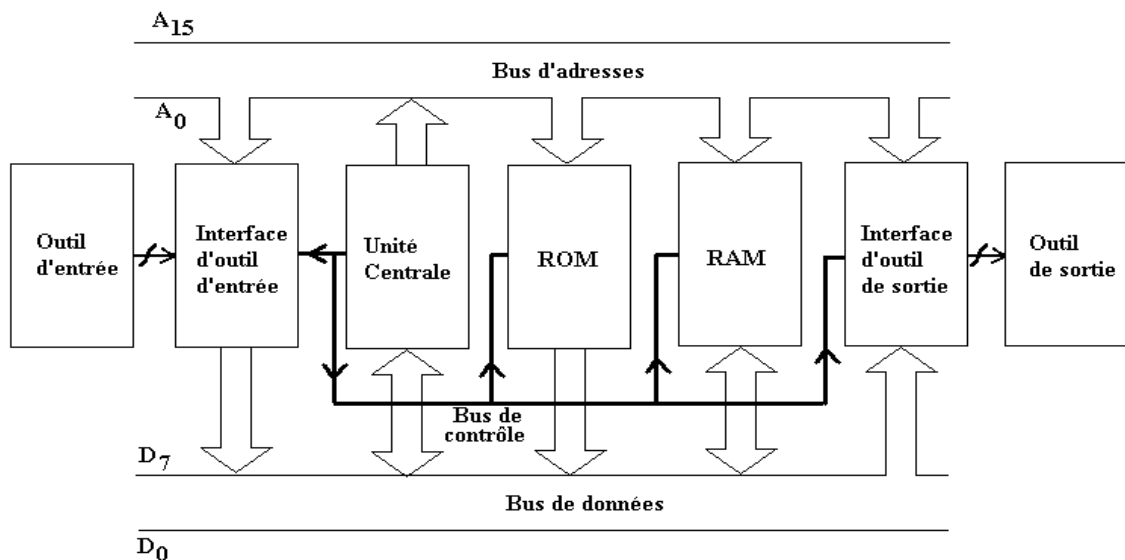
On se propose d'exposer les principes de fonctionnement d'un système microprogrammé, ainsi que les définitions de base ayant trait aux microprocesseurs et leur environnement. Le but étant de se familiariser avec les termes utilisés.

Tous les concepts, termes et abréviations déterminés introduits dans ce chapitre sont fondamentaux et devront être bien assimilés ; ils permettront de décrire d'une manière précise les systèmes et les composants présentés.

## 1 ) ORGANISATION FONCTIONNELLE DU TRAITEMENT DES INFORMATIONS



## 2 ) ORGANISATION STRUCTURELLE D'UN SYSTEME MICROPROGRAMME



Les structures matérielles des systèmes de traitement de l'information sont essentiellement organisées autour du microprocesseur.

Le microprocesseur est un circuit intégré complexe caractérisé par une très grande intégration et doté de facultés fonctionnelles d'interprétation et d'exécution des instructions d'un programme.

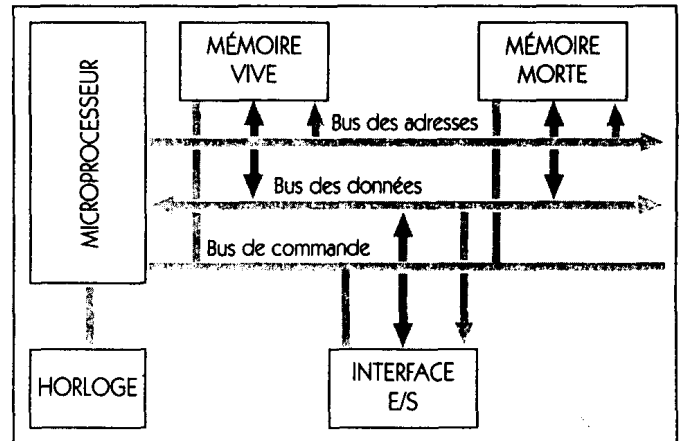
Comme dans tout circuit intégré, la technologie de fabrication impose au microprocesseur des caractéristiques de : - \* temps de réponse,

\* consommation.

Actuellement, l'avenir du microprocesseur est préservé par l'arrivée de composants extrêmement performants tels que les fameux Pentium III, AMD K6 3, Celeron, Athlon,... pouvant fonctionner à des fréquences de l'ordre de 500MHz et en constante évolution.

Cependant, le microprocesseur ne peut fonctionner sans un environnement minimal comportant :

- une zone de mémoire **vive** pour les données et résultats,
- une zone de mémoire **morte** pour les programmes ou systèmes d'exploitation,
- une ou plusieurs interfaces pour les périphériques.



Entre les différents ensembles, les liaisons fonctionnelles sont assurées par trois groupes de conducteurs en parallèles appelés **bus** et ayant chacun une fonction spécifique.

- **le bus de données** : (Data bus), bus bidirectionnel qui assure le transfert des informations entre le microprocesseur et son environnement et inversement ; son nombre de lignes est égal à la capacité de traitement du microprocesseur : 8, 16, 32 ou 64 bits. (Habituellement nommés D0 à D7 pour un bus 8 bits).
- **Le bus d'adresse** : (Adress bus), bus unidirectionnel qui permet la sélection du destinataire des informations à traiter dans un espace mémoire '*adressable*' qui peut avoir  $2^n$  emplacements ;  $n$  étant le nombre de conducteurs du bus d'adresse, habituellement  $n = 16$  (A0 à A15), pour un processeur 8 bits.
- **Le bus de commande** : (Control bus), bus constitué par quelques conducteurs qui assurent la synchronisation des flux d'infos sur le bus de données et d'adresse.

Les fonctions du microprocesseur sont variées :

- organiser l'enchaînement des tâches précisées dans la mémoire programme,
- rythmer et synchroniser l'exécution des tâches,
- analyser le contenu du programme, sélectionner, gérer et commander les circuits nécessaires à l'exécution de chaque tâche,
- prendre en compte les informations extérieures au système.

### 3 ) L'ENVIRONNEMENT DU MICROPROCESSEUR

#### 3.1 ) Mémoire :

Un circuit intégré de type mémoire permet de stocker et de restituer une très grande quantité d'informations correspondant à  $N$  mots de  $n$  bits.

Une mémoire est constituée par un assemblage de cellules mémoires. Dans chaque cellule, il est possible d'écrire, de conserver et d'extraire un élément d'information.

Pour gérer cet ensemble de cellules mémoires, le circuit comprend également des sélecteurs d'adresse, des amplificateurs, des commandes de modes de fonctionnement...

Il existe deux familles de mémoires :

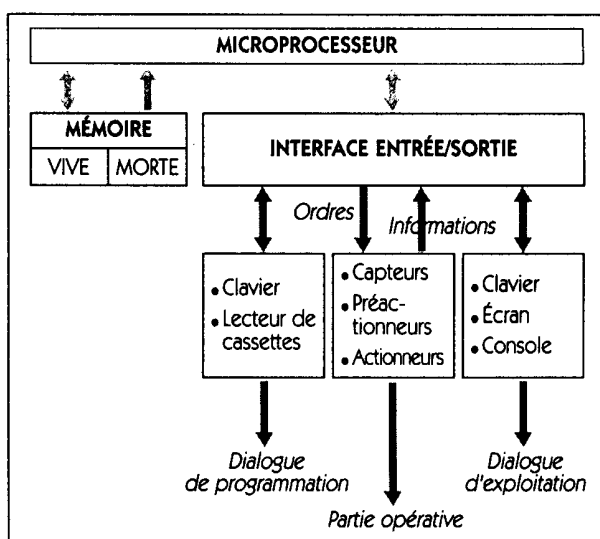
- les **mémoires vives, RAM** (*Random Access Memory*) : mémoires qui peuvent être lues et écrites en permanence. Elle contient habituellement les données pendant le traitement d'un programme. Elle est effacée en cas de coupure d'énergie,
- les **mémoires mortes, ROM** (*Read Only Memory*) : Avec ces mémoires, seule la lecture est possible. Les données qu'elle contient sont enregistrées par le concepteur du système. En fonction de leur construction, il existe différents types :
  - PROM, Programmable ROM : ROM programmable,
  - EPROM, Erasable PROM : PROM effaçable,
  - EEPROM, Electric Erasable PROM : PROM effaçable électriquement.

### 3.2 ) Interface :

L'interfaçage est l'ensemble matériel qui permet de transférer les données entre le système de traitement de l'information et les périphériques.

On distingue les interfaces série et les interfaces parallèles.

### 3.3 ) Périphériques :



Les périphériques sont les matériels extérieurs aux systèmes informatiques. On y retrouve :

- tous les matériels qui servent à la communication de l'homme avec le système informatique : écran, clavier, souris...
- tous les systèmes de stockage des informations : lecteur de disquettes et CDROM, disque dur, lecteur de bandes magnétiques...
- tous les appareils qui servent à traduire les données sur papier : imprimante à aiguilles, jet ou bulles d'encre, laser...
- tous les appareils qui servent à acquérir des informations extérieures : lecteur de cartes magnétiques, scanner, appareil photo numérique, carte d'acquisition son et vidéo...

#### Rappel : Capacité d'un circuit mémoire

La capacité mémoire caractérise le nombre de bits ou d'octets mémorisables par un circuit mémoire. Elle est exprimée en clair :

$64K \times 8 = 512K$ , c'est un circuit qui mémorise 64K mots de 8bits (1 octet), sa capacité est donc de 512K.

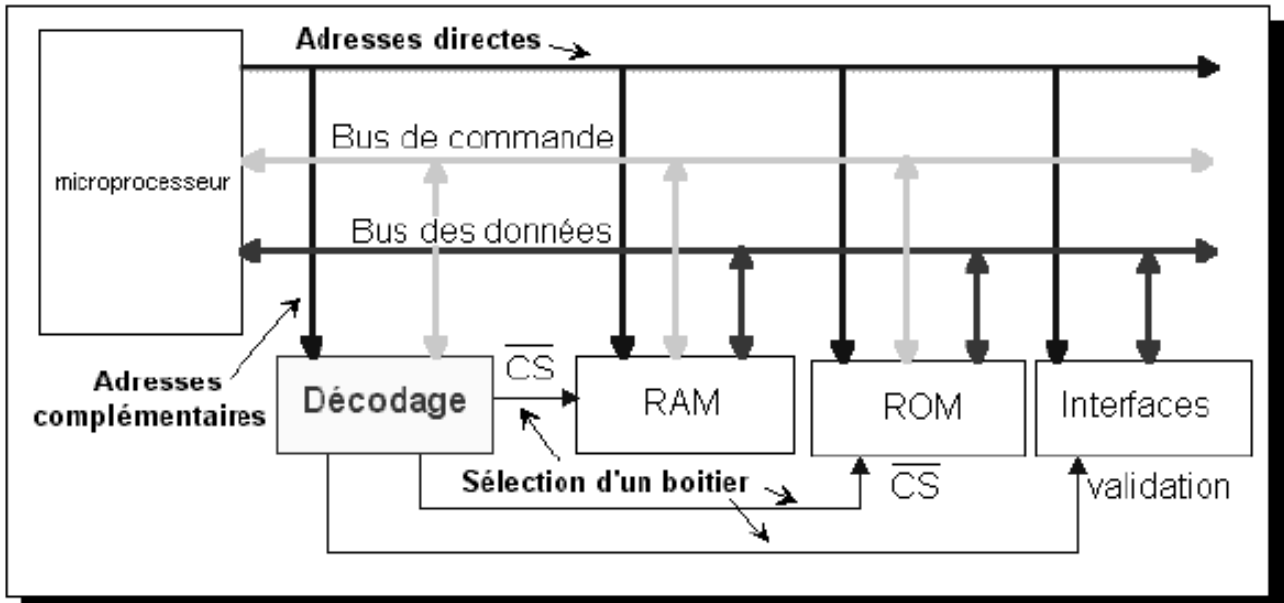
$64K \times 16 = 1024K$ , c'est un circuit qui mémorise 64K mots de 16bits, sa capacité est de 1024K = 1Méga.

$$1K = 1024 ; 1Méga = 1024K.$$

Un circuit mémoire de 10 lignes d'adresse =  $2^{10} = 1024$ , de 8 lignes de données, ce circuit mémoire 1K de mots binaires de 1octet, il a donc une capacité de  $1024 \times 8 = 8192$  bits ou 8 Kbits ou 1024 octets ou 1koctet.

#### 4 ) LE DECODAGE D'ADRESSE

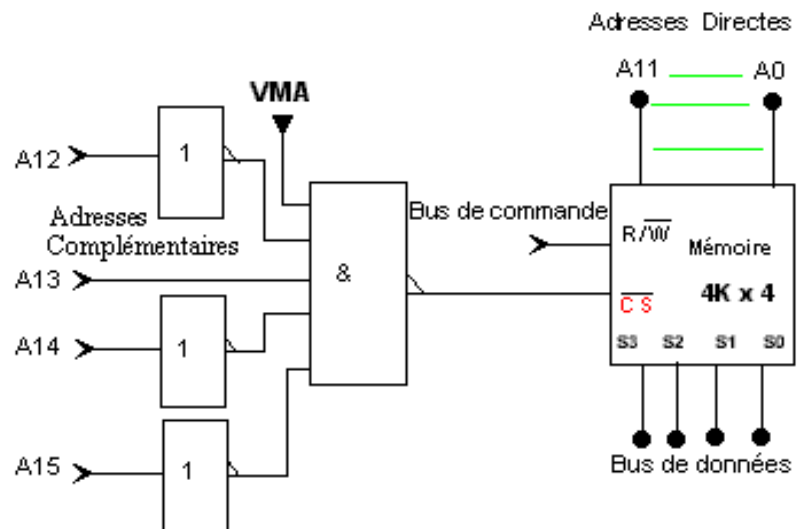
Le décodage d'adresse doit permettre de satisfaire l'échange entre le microprocesseur et ses périphériques, ceci dans les meilleures conditions afin d'éviter les conflits. Ainsi, à une adresse présentée par le microprocesseur, devra répondre un seul périphérique (RAM, P.I.A. ..etc.).



Principe de gestion des zones d'adresses :

Prenons l'exemple ci-contre d'une mémoire RAM (4K\*4) situé dans l'espace mémoire adressable.

On désire déterminer la plage d'adresses utilisée par ce périphérique ; le décodage d'adresse étant réalisé par une simple structure à portes logiques.



- Quel est le rôle de la broche  $R/\overline{W}$  sur un circuit « Mémoire » ?
- Quel est le rôle de la broche  $\overline{CS}$  ?
- De combien de bits est constituée la donnée stockée ?
- De quelle capacité est cette mémoire ( en Kquartets puis Kbits puis Ko ) ?
- Comment sélectionne-t-on l'adresse d'une donnée ?

- f. Quel doit être l'état du signal VMA (valid memory access) pour sélectionner cette mémoire ?
- g. Déterminer l'état des lignes A12 à A15 qui sélectionnent la mémoire .
- h. Donner la plage d'adresse utilisée par cette mémoire.

Dans le cas où plusieurs périphériques seraient à adresser dans le même espace mémoire, il convient d'utiliser une structure appropriée de manière à alléger la structure du décodage d'adresses. Très souvent, un simple décodeur/démultiplexeur (3 vers 8 par exemple) suffit à réaliser la fonction. Le décodage d'adresses est alors aussi simple à déterminer pour peu que l'on dispose de la documentation constructeur du circuit logique utilisé.

Le schéma structurel proposé à la page suivante constitue la carte calculateur du système technique : « Analyseur de Fraises-scies ».

Elle est composée d'un microprocesseur 8 bits (U1 : Motorola, 6809) autour duquel sont organisés les périphériques suivants :

- U6 : Interface série programmable (ACIA 6850),
- U7, U9 : Interface programmable.
- U10 : Temporisateur programmable (Timer 6840),
- U14 : Mémoire EPROM 8k\*8 (2764),
- U15 : Mémoire RAM 8k\*8 (6264),

Ils sont tous intégrés dans l'espace mémoire adressable (\$0000 à \$FFFF) ; chacun ayant sa plage définie par un circuit décodeur/démultiplexeur 3 vers 8.

## QUESTIONNAIRE

1. Identifier sur le schéma structurel et décrire le circuit utilisé pour le décodage d'adresses.
2. Proposer un schéma fonctionnel de l'organisation de la fonction « décodage d'adresses » comprenant le bus d'adresses, le circuit caractérisé à la question 1. et les périphériques gérés par le microprocesseur.
3. Quel doit être l'état des signaux E et Q (broche 34 et 35 de U1) pour permettre la validation du circuit U4 ?
4. Que est le rôle des broches CE ou  $\overline{CS}$  et RS sur un circuit logique ?
5. Quel est le niveau logique présenté sur la sortie sélectionnée du circuit U4 ? Justifier cet état.
6. Déterminer la capacité des circuits U14 et U15.
7. Donner l'équation logique de :  $\overline{CS2}_{(U9)}$  ,  $\overline{CS2}_{(U7)}$  ,  $\overline{CS2}_{(U6)}$  ,  $\overline{CS0}_{(U10)}$  ,  $\overline{CS1}_{(U15)}$  ,  $\overline{CE}_{(U14)}$  en fonction de A15, A14, A13.
8. Etablir, à partir du décodage d'adresses, l'occupation de l'espace mémoire par les circuits U6, U7, U9, U10, U14, U15.

Circuit	@	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
U6	+																
	-																
U7	+																
	-																
U9	+																
	-																
U10	+																
	-																
U14	+																
	-																
U15	+																
	-																

Compléter le tableau ci-dessous :

Composant	Type	<u>Domaine d'adresses utilisées</u>		<u>Sélection des registres internes</u>	
		Adresse la Plus basse	Adresse la plus haute	Adresse la Plus basse	adresse la plus haute
U6	6850 ACIA				
U7					
U9					
U10					
U14					
U15					

