

Le timer0 de l'ATMEL ATmega16

1 Présentation

Multi function Timer fonctionnant en mode

- overflow (normal mode)
- comparaison permettant 3 configurations :
 1. Mode CTC (clear timer on compare match)
 2. Mode Fast PWM
 3. Mode Fast correct PWM

Interruptions possible sur overflow et comparaison.

Registre de comptage du Timer0 : Compteur/décompteur 8 bits **TCNT0** (R/W).

Sortie sur comparaison OC0 (Pb3), entrée de comptage externe T0 (Pb0).

Ce timer ne possède pas la fonction capture.

2 prédivision

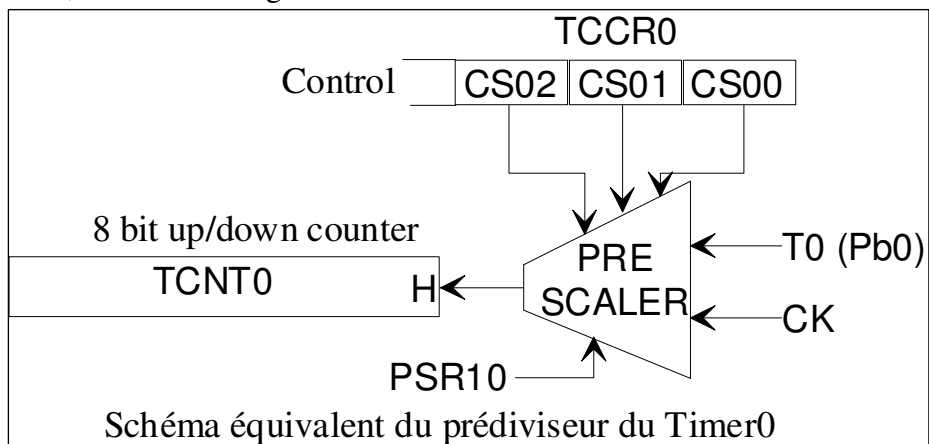
TCCR0: Timer0 control register

7	6	5	4	3	2	1	0
FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00

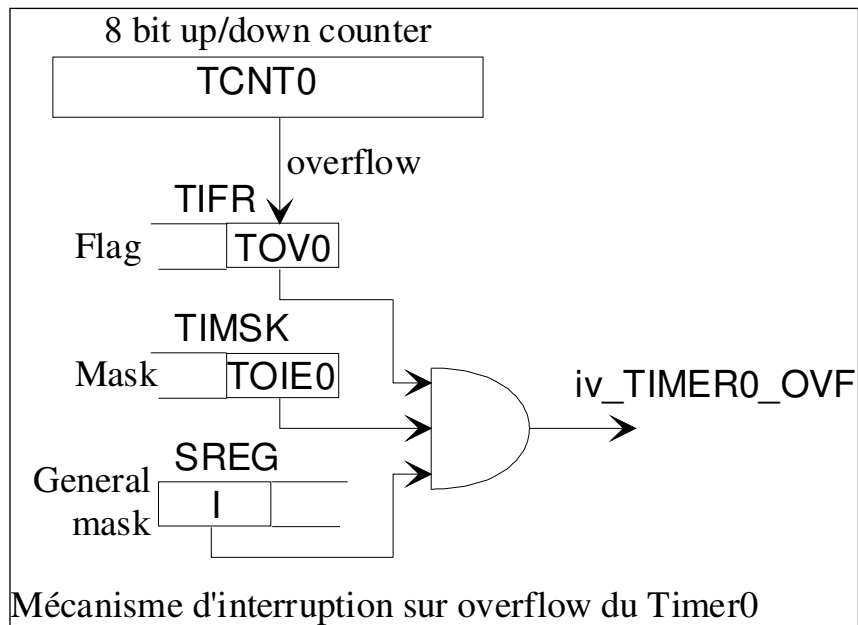
CS02	CS01	CS00	Description
0	0	0	Stop timer0
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	Pin T0 ↓ (PB0)
1	1	1	Pin T0 ↑ (PB0)

CK est l'horloge de la CPU (la fréquence du quartz).

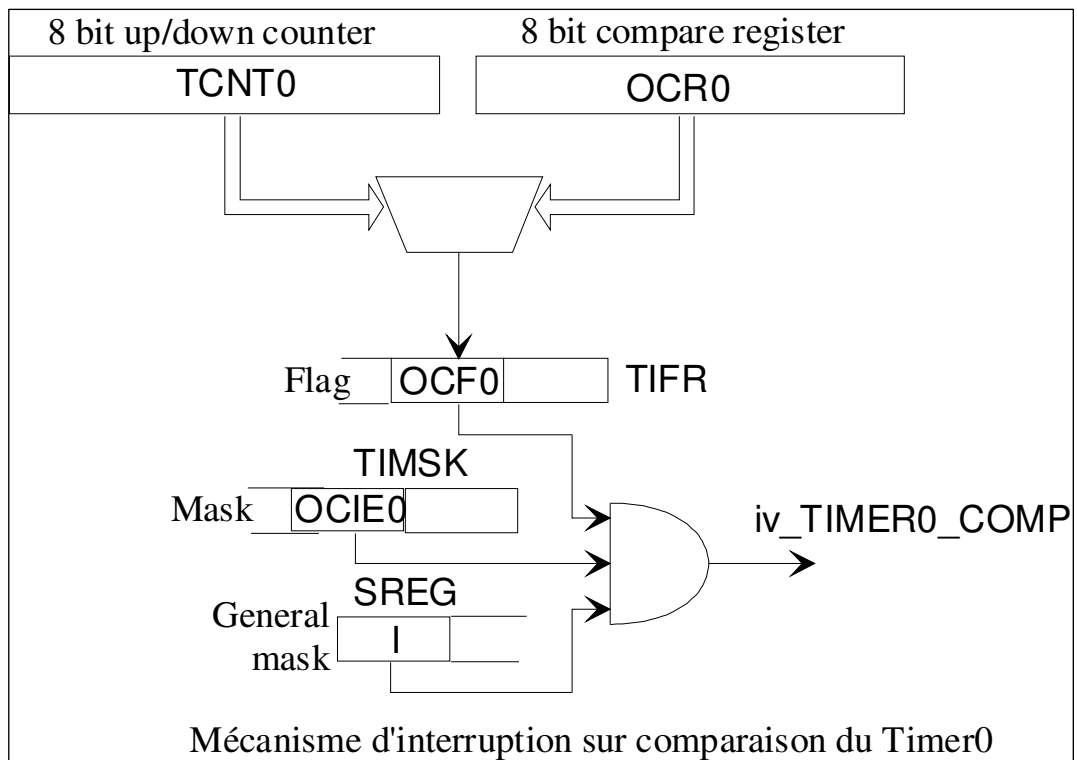
Si T0 est utilisée, Pb0 sera configurée en entrée.



3 mode overflow du timer0



4 Mode comparaison du timer0



5 Les modes de fonctionnement

TCCR0: Timer0 control register

7	6	5	4	3	2	1	0
FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00

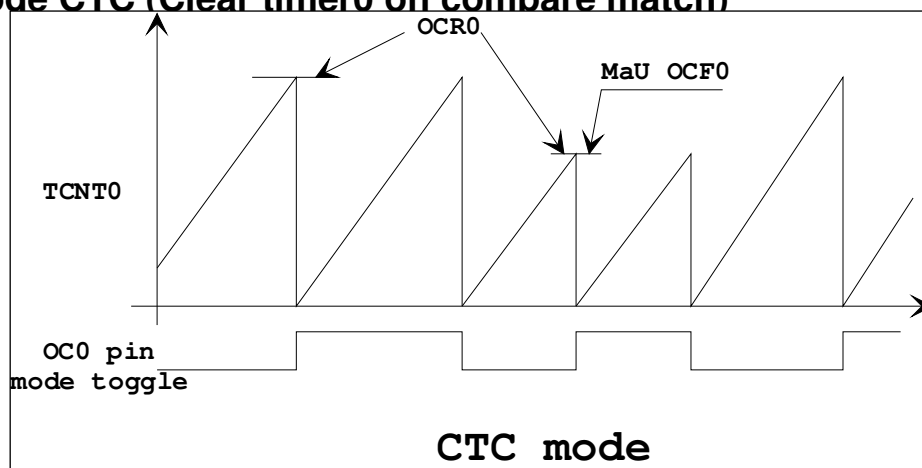
Mode	WGM01	WGM00	TOP
Normal	0	0	0xFF
Phase correct PWM	0	1	0xFF
CTC	1	0	OCR0
Fast PWM	1	1	0xFF

6 Evolution de la sortie OC0 selon le mode

TCCR0: Timer0 control register

7	6	5	4	3	2	1	0
FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00

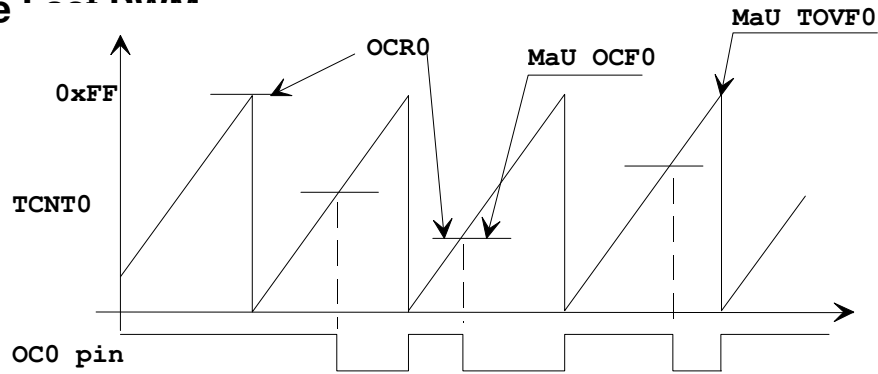
6.1 Mode CTC (Clear timer0 on compare match)



IT sur comparaison possible mais pas sur overflow, sauf si OCR0=0xFF.

COM01	COM00	Description
0	0	OC0 déconnecté
0	1	Toggle OC0
1	0	RaZ OC0 sur comparaison
1	1	MaU OC0 sur comparaison

6.6 Mode Fast PWM

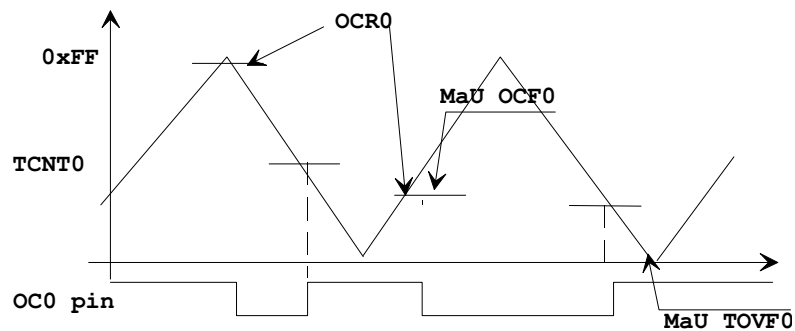


Fast PWM mode

IT sur comparaison et sur overflow possibles.

COM01	COM00	Description
0	0	OC0 déconnecté
0	1	reservé
1	0	RaZ OC0 sur comparaison, MaU OC0 sur overflow
1	1	MaU OC0 sur comparaison, RaZ OC0 sur overflow

6.7 Mode Phase correct PWM



Fast correct PWM mode

IT sur comparaison et sur overflow possibles.

COM01	COM00	Description
0	0	OC0 déconnecté
0	1	reservé
1	0	RaZ OC0 sur comparaison en phase de comptage, MaU OC0 sur comparaison en phase de décomptage
1	1	MaU OC0 sur comparaison en phase de comptage, RaZ OC0 sur comparaison en phase de décomptage

7 Les registres de commande et d'état du timer0

7.1 TIFR : Timers interrupt flag register

(registre commun aux 3 timers de l'ATMega 16)

7	6	5	4	3	2	1	0
OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0

TOV0 : Timer0 overflow flag, mise à '0' automatique avec l'IT correspondante (#10), ou en écrivant un '1' dans TOV0.

OCF0 : Timer0 match compare flag, mise à '0' automatique avec l'IT correspondante (#10), ou en écrivant un '1' dans OCF0.

7.6 TIMSK : Timers interrupt mask register

(registre commun aux 3 timers de l'ATMega 16)

7	6	5	4	3	2	1	0
OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0

TOIE0 : Timer0 overflow interrupt mask

OCIE0 : Timer0 compare match interrupt mask

7.7 SFIOR : Special function IO register

(registre commun aux 3 timers de l'ATMega 16)

7	6	5	4	3	2	1	0
ATDS2	ATDS1	ATDS0	-	ACME	PUD	PSR2	PSR10

PSR10 : Prescaler reset Timer1 et Timer0. Le prédiviseur des timer0 et 1 est mis à '0' lorsque ce bit est mis à '1', il est ensuite automatiquement remis à '0'.

7.8 Bit FOC0 du registre TCCR0

7	6	5	4	3	2	1	0
FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00

FOC0 : Force output compare. Actif seulement pour WGM00='0', il doit rester positionné à '0' sinon. Quand il est mis à '1', une comparaison immédiate se produit (sans générer d'IT) et fait évoluer la sortie OC0 selon l'état des bits COM01 et COM00.

8 Exemple de configuration du timer0 : mode CTC avec IT

```
/*
*****
Timer0 en mode CTC et IT
*****
*/
// ATmega 16
// le 30 08 03
// Attention : module à copier hors de Bibli_AVR avant de le modifier
// Temporisation de 20 ms avec Timer0 et quartz 7.3728MHz
// Tquartz = 1/7.3728µS. En mode CTC, avec prédiv par 1024 et TOP = 144
// (1/7.3728)*1024*144=20 000.

#include <iom16v.h>
#define TOP 144

#pragma interrupt_handler Timer0_COMP:iv_TIMER0_COMP

// Initialisation du timer 0 : CTC avec IT
// -----
void Init_OCF0_IT (void)
{
    TCCR0 = (1<<CS02)|(1<<CS00); // Prédvision 1024
    TCCR0 |= (1<<WGM01); // Mode CTC
    OCR0 = TOP;
    TIMSK = (1<<OCIE0); // IT comp Timer0 enable
}

// Interruption du Timer0
// -----
void Timer0_COMP (void)
{
    Programme d'IT à écrire ...
}
}
```