

INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE
TOULOUSE

2^{ème} Année MIC

Systemes électroniques pour les communications

-

Cours et Travaux dirigés

Année 2015 - 2016

DOCUMENT REALISE PAR JY. FOURNIOLS ET A. BOYER
AVEC LA PARTICIPATION DE M. AIME, S. BEN DHIA, M. BONNET ET C. ESCRIBA

SOMMAIRE

I. Notions Élémentaires	1
II. Amplification	11
III. Réponse temporelle des fonctions de transfert	19
IV. Transformée de Laplace	25
V. Traitement de l'information	35
VI. Montages électroniques à base d'A.Os	43
VII. Electronique analogique en mode saturé	67
VIII. Introduction à l'électronique numérique	81
IX. Conversions analogique – numérique	89
X. Caractéristiques physiques des circuits numériques	101
XI. Liaison entre circuits numériques	109
XII. Registres, compteurs et afficheurs	119
XIII. Mémoires, multiplexeurs et décodeurs	127
Glossaire	136
Annexe A. Etude du fonctionnement d'un montage à Amplificateur opérationnel.....	137
Annexe B. Synthèse des outils d'analyse fréquentielle des circuits	138
Enoncé des travaux dirigés.....	139
Annales.....	156

Chapitre 1

Notions élémentaires

I. PRESENTATION DES OBJECTIFS DE L'OUVRAGE

Ce document pédagogique construit par une équipe d'enseignants du Génie Electrique de l'INSA de Toulouse, décompose en treize chapitres, les fondements de l'électronique nécessaires à un ingénieur. Orienté volontairement électronique pour les télécoms, il aborde les concepts utiles à l'analyse et à la conception de systèmes électroniques.

II. HISTOIRE ET SCIENCE

II.1 - Géologie ou électricité ?

L'électricité est l'interaction de particules chargées sous l'action de la force électromagnétique. Délicat d'attribuer la paternité de la découverte de l'électricité à un homme tant l'humanité depuis l'antiquité à observé des phénomènes naturels d'origine magnéto-électrique : triboélectricité, foudre, électricité statique de la laine, aimantation naturelle... S'il fallait se risquer à donner un nom, il faudrait remonter à 600 av. J.-C., chez les Hellènes, et confier à Thalès de Milet la paternité de la réflexion sur l'électricité et le magnétisme, avec une vision animiste de la matière où faute de notions théoriques (les propriétés de l'électricité ont commencé à être comprises au cours du XVIIIe siècle), on octroyait « une âme aux choses qu'on croyait inanimées ».

Aussi c'est du mot grec « elektron » qui désigne l'ambre jaune, une résine fossile possédant des propriétés électrostatiques que le terme électricité provient. Quant au terme « électromagnétique », il se réfère à la pierre de magnésie, un aimant naturel utilisé dès la Haute Antiquité.

II.2 - Basculement de l'Electricité vers Electronique :

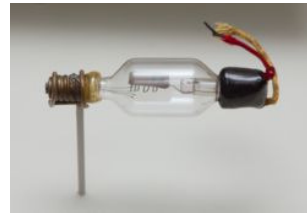
L'électronique est une science de l'ingénieur, orientée vers la conception et analyse de systèmes qui conditionnent des signaux électriques, sous la forme courants (faibles ou forts) ou de tensions électriques, porteurs d'information ou d'énergie.

Le virage aboutissant à la genèse de l'électronique est pris en 1904, lorsque John Ambrose Fleming inventa la diode basée sur une observation de Thomas Edison. La construction de la diode originale amena en 1906, Sir Lee De Forest, à placer une autre électrode, et un fil tendu comme grille de contrôle, entre le filament et la plaque : il découvre que la grille exerce un contrôle électrostatique sur le courant de la plaque. Le courant circulant du filament vers la plaque (anode) dépend de la tension appliquée sur la grille, et que le courant de grille est très faible et composé des électrons captés par celle-ci.

C'est l'invention du futur transistor qu'il appelle « audion » (que l'on baptisera « triode »), l'acte de naissance de l'électronique est scellé.



Sir Lee De Forest



L'audion

III. DEFINITIONS

III.1 – Digital ou Analog Electronics ?

Le traitement et le conditionnement d'un signal s'effectue selon deux familles de circuits qui appartiennent au domaine de :

- ***l'électronique analogique*** (« Analog electronics »). L'information $s(t)$ est véhiculée par une grandeur continue dans le temps qui peut prendre une infinité de valeurs dans un intervalle borné (fréquemment, la tension, plus rarement, le courant ou la puissance) :

$$\forall t, \{ \exists (A, B) \mid s(t) \in]A, B[\}$$

Conceptuellement on localise les signaux analogiques d'un système en début ou en fin de chaîne (respectivement capteurs ou actionneurs).

- ***l'électronique numérique*** (« digital electronics »). L'information $s(t)$ est *discrétisée dans le temps*, on la notera s_k pour l'instant k de prise d'information, et *est représentée* ou codée par un **nombre fini de niveaux** dont la valeur est représentée en base 2 (logique booléenne à base de 0 ou de 1).

$$\forall k, \{ \exists (A, B, C, D, E, \dots) \mid s_k = A \text{ ou } s_k = B \text{ ou } s_k = C \text{ ou } s_k = D \text{ ou } \dots \}$$

avec par exemple $A=00001110101$

On différencie l'électronique numérique asynchrone de l'électronique numérique synchrone selon que la fonction est réalisée en permanence ou à certains instants déterminés par les caractéristiques d'un signal d'horloge.

Le son, l'image, la vidéo numérique sont autant d'utilisations quotidiennes de systèmes numériques dont l'émergence a été facilitée par des techniques de compression de données et les composants associés (microprocesseurs, DSP [Digital Signal Processing])

III.2 .– Composant actif ou composant passif ?

Un composant actif est un composant électronique qui nécessite une source externe d'énergie fournie par une alimentation externe. Cet apport d'énergie externe confère au composant actif la capacité d'augmenter la puissance d'un signal (tension, courant, ou les deux). Le transistor, l'amplificateur opérationnel, le processeur sont des exemples de composants actifs.

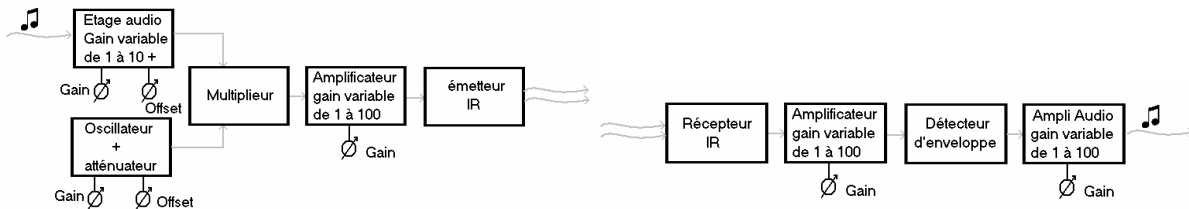
Par opposition, un composant passif ne permet pas d'augmenter la puissance d'un signal et même bien souvent il la diminue par effet Joule.

Diodes, transformateur, résistance, condensateurs, bobines, parfois agencés en structure pour réaliser des filtres passifs sont des exemples de composants passifs.

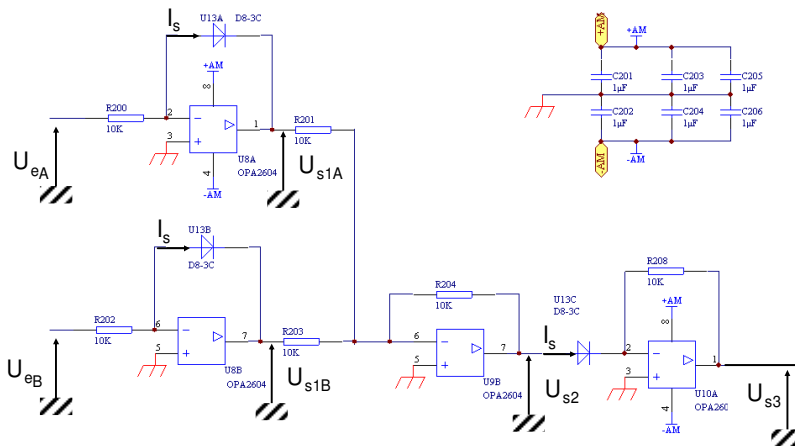
III.3 – Niveaux de représentation de l'électronique

Le concepteur électronique ou le maître d'œuvre de tout système intégrant des fonctionnalités électroniques échangent des informations de type :

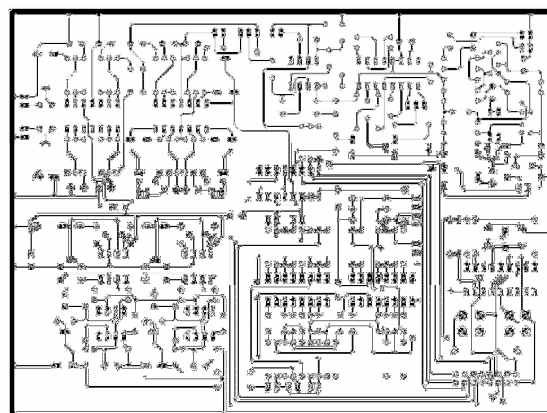
- **plan de principe** qui spécifie les fonctions à réaliser. Un exemple d'un synoptique présentant un émetteur/récepteur InfraRouge d'un Home cinéma est présenté



- **schéma électronique** qui présente la réalisation des fonctions au travers d'un agencement de composants



- **Plan du circuit imprimé (Printed Circuit Board)** d'une carte électronique avec le dessin des interconnexions entre tous les composants.



- Jusqu'à la fabrication/montage/tests fonctionnels de la carte électronique.



Remarques :

1) Le concepteur devra toujours s'efforcer de respecter le code de couleurs suivant :

- Alimentation positive : fil rouge.
- Alimentation négative : fil bleu.
- Masse : fil noir.

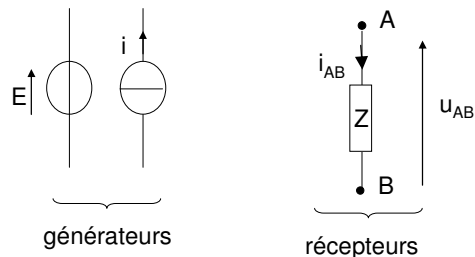
2) Une approche « industrielle » de la conception d'un système électronique consiste à décliner les spécifications globales du système en différents blocs fonctionnels (les sous-systèmes) puis à les simuler. Ce découpage du système en blocs élémentaires a pour objectif, outre le gain de temps dans le flot de conception, de valider chaque sous-système indépendamment des autres en s'affranchissant dans un premier temps du problème de l'interfaçage entre blocs. Typiquement si deux blocs A et B ont été validés séparément, si la connexion entre A et B n'est plus fonctionnelle c'est que le problème se situe généralement aux interfaces (par exemple perte de la fonction à cause d'une mauvaise adaptation d'impédance).

III.4 .– Analyse des circuits électriques

a) Générateurs / Récepteurs / Loi d'Ohm

Un générateur est un élément qui fournit de l'énergie électrique en garantissant constant une de deux grandeurs électriques

- on parle de générateur de tension lorsque la fem E est le paramètre constant (exemple d'une pile)
- on parle de générateur de courant lorsque l'intensité i est constante.



Tous les autres éléments seront considérés comme des récepteurs électriques vérifiant la loi d'Ohm généralisée : $u_{AB} = Z i_{AB}$, avec Z impédance du dipôle AB , impédance qui peut appartenir au corps des complexes.

Nombreux sommes-nous à nous interroger un jour sur la vigilance à apporter quant à la définition du sens positif d'une intensité de courant. Il n'y a aucun risque, en respectant la convention récepteur (u et i de sens opposés) et générateur (u et i dans le même sens), un choix arbitraire du sens positif conduira après résolution des équations des mailles :

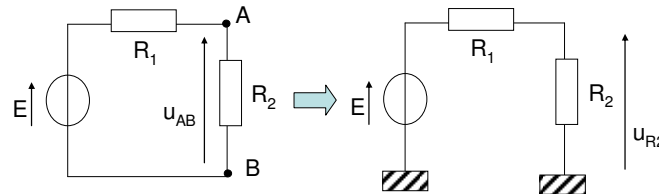
- ⇒ a une intensité ou une tension **positive** dans le cas où le sens arbitrairement choisi est physiquement le bon,
- ⇒ ou bien à une intensité ou une tension **négative** dans le cas contraire. Le signe négatif permettant ainsi de rester cohérent avec la physique des choses.

Pour l'anecdote, les scientifiques au début de l'étude de la conduction de l'électricité, ont pensé à tort que les particules qui se déplaçaient dans les métaux étaient chargées positivement et ont défini un sens conventionnel du courant comme étant le sens de déplacement des charges positives. Erreur, puisque ce sont majoritairement

les électrons, particules négatives, qui se déplacent dans les métaux et qui vont dans le sens opposé au sens conventionnel qui a été conservé...avec tous les théorèmes fondamentaux...

b) Analyse d'un circuit électrique/ Théorème du pont diviseur de tension.

Considérons un circuit électrique constitué par la mise en série d'un générateur de tension, de force électromotrice E , et de deux résistances R_1 et R_2 . L'intensité i du courant qui circule dans la maille n'existe que si la maille est refermée (notion de maille ou de boucle), et s'écrit : $i=E/(R_1+R_2)$.

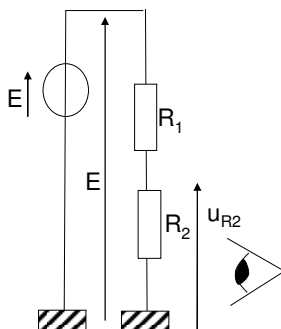


Pour simplifier la lisibilité des schémas électriques, tous les potentiels étant forcément référencés par rapport à un potentiel de référence appelé communément masse, on adopte les conventions suivantes :

- les équipotentielles de masse, bien que reliés physiquement ne sont pas représentées sur les schémas.
- les tensions aux bornes d'éléments sont représentées comme des vecteurs

La tension u_{AB} définie comme étant la différence de potentiel V_A-V_B est aussi la tension aux bornes de la résistance R_2 , d'où $u_{AB}=u_{R2}=V_A-V_B=R_2i=E R_2/(R_1+R_2)$.

Ce résultat est aussi connu sous le nom de théorème **du pont diviseur de tension** : en effet la tension u_{AB} est définie entre le potentiel de référence (appelé point froid en référence à sa valeur nulle) et un point du circuit qui représente une fraction de la somme des résistances.



En redessinant le circuit précédent, on fait apparaître d'une part la tension E appliquée aux bornes de la somme des résistances, et d'autre part la tension à prélever aux bornes de R_2 .

Aussi la simple lecture du montage doit permettre une écriture directe :

$$u_{R_2} = \text{Potentiel de branche} \cdot \frac{\text{impédance(s) du point chaud à la masse}}{\text{Somme des impédances}} = E \frac{R_2}{R_1 + R_2}$$

c) Cas multi-sources

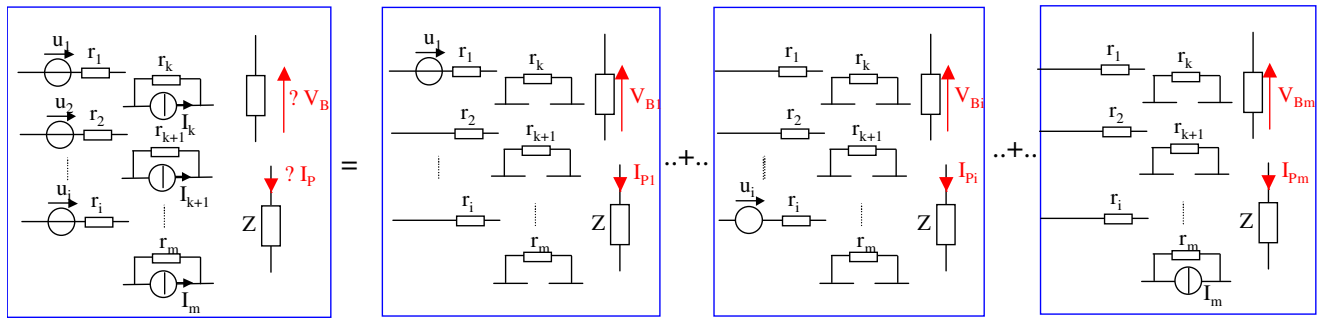
Pour un réseau constitué de dipôles linéaires, la mise en équation de la loi d'Ohm et des lois de Kirchhoff conduit à l'expression d'un système d'équations linéaires dont les seconds membres sont des combinaisons linéaires des termes de source type force électromotrices E_i ou courants électromoteurs J_m indépendants. On peut donc exprimer tout courant de la branche k comme une fonction linéaire des termes de sources sous la forme :

$$I_k = a_{1k}E_1 + a_{2k}E_2 + \dots + a_{nk}E_n + b_{1k}J_1 + \dots + b_{mk}J_m$$

où chaque contribution $a_{ik}E_i$ ou $b_{lk}J_l$ au courant I_k peut être calculée en considérant tous les termes nuls sauf un. Le courant I_k sera la somme de toutes ces contributions indépendantes.

Enoncé du théorème de superposition :

Dans un réseau linéaire comportant des générateurs indépendants, le courant I_k d'une branche peut se déduire de la somme de courants élémentaires de cette branche. Un courant élémentaire est le courant produit dans la branche en considérant successivement chacun des générateurs isolément, les autres générateurs étant rendus passifs ce qui est équivalent à les remplacer par leur résistance interne.



$$V_B = \sum_{i=1}^m V_{Bi} \quad \text{et} \quad I_P = \sum_{i=1}^m I_{Pi}$$

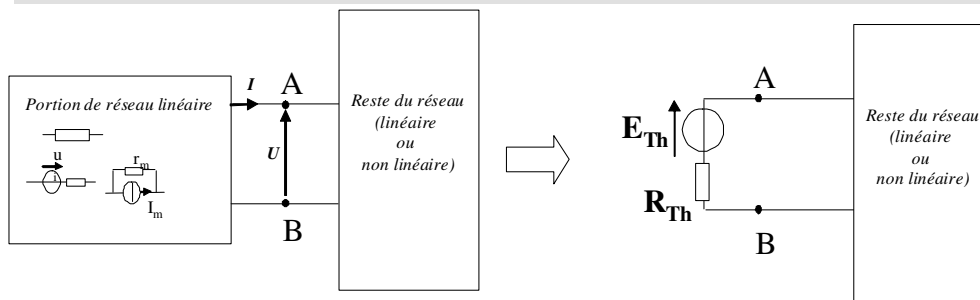
Remarque : déformation du théorème de superposition par abus de langage

Dans la plupart des montages étudiés les sources de tension ou de courant sont supposées parfaites. Dès lors, par abus de langage, la passivation de la source non considérée se traduit par sa mise en court-circuit dans le cas d'une source de tension ou sa mise en circuit ouvert dans le cas d'une source de courant.

d) Théorème de Thévenin.

On peut substituer une portion de réseau linéaire entre deux bornes A et B par un générateur linéaire de tension, dit générateur de Thévenin, ayant les caractéristiques suivantes :

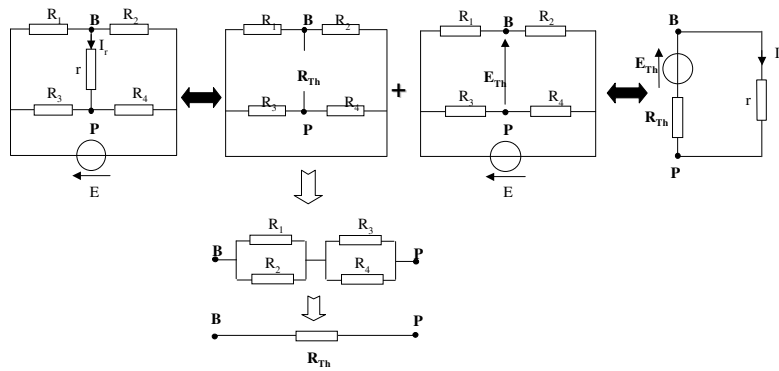
- sa résistance interne notée R_{Th} , est la résistance équivalente entre les bornes A et B du réseau passif associé à la portion du réseau considéré, obtenu en remplaçant chaque générateur indépendant par sa résistance interne.
- sa f.e.m (force électromotrice notée E_{Th}) est la tension à vide entre A et B de cette portion de réseau.



L'application concrète de ce théorème consiste à remplacer une partie complexe d'un réseau linéaire par un générateur de Thévenin.

Exemple d'illustration avec la résolution d'un pont de Wheatstone, utilisé pour mesurer des impédances :

On cherche les conditions sur les résistances R_i telles que à l'équilibre du pont, le courant I_r circulant dans un galvanomètre ou un ampèremètre doit être nul.



La résistance de Thévenin est $R_{th} = R_1 // R_2 + R_3 // R_4$, soit :

$$R_{Th} = \frac{R_1 R_2}{(R_1 + R_2)} + \frac{R_3 R_4}{(R_3 + R_4)} = \frac{R_1 R_2 (R_3 + R_4) + R_3 R_4 (R_1 + R_2)}{(R_1 + R_2)(R_3 + R_4)}$$

Le pont diviseur en tension au travers des résistances R_3 et R_4 pour le potentiel V_P et R_1 et R_2 pour le potentiel V_B induit les relations :

$$V_P = \frac{R_4}{R_3 + R_4} E \quad V_B = \frac{R_2}{R_1 + R_2} E \quad \text{d'où :} \quad V_{BP} = \left[\frac{R_2}{R_1 + R_2} - \frac{R_4}{R_3 + R_4} \right] E = \frac{R_2 R_3 - R_4 R_1}{(R_1 + R_2)(R_3 + R_4)} E = E_{Th}$$

D'où :

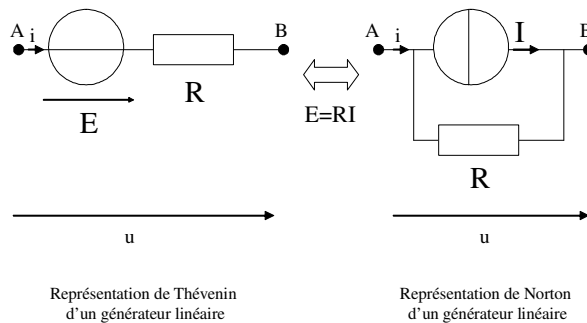
$$I_r = \frac{E_{Th}}{r + R_{Th}}$$

Le pont sera équilibré, si le courant I_r est nul soit si la fem de Thévenin est nulle d'où la relation :

$$R_2 R_3 = R_4 R_1$$

e) Théorème de Norton.

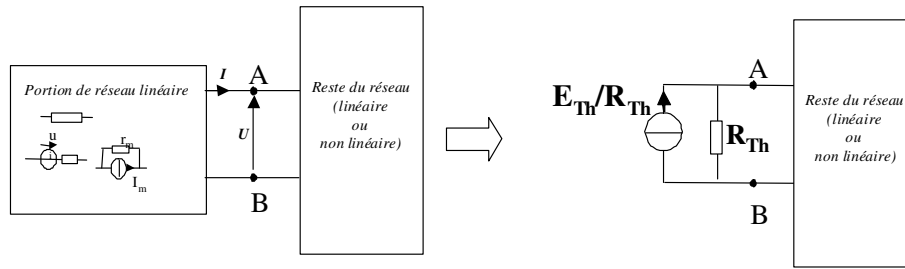
Un générateur linéaire peut être représenté indifféremment par un générateur de courant ohmique ou un générateur de tension ohmique. Dès lors que ces générateurs ne sont pas idéaux, le passage d'une représentation à une autre est illustré ci-après :



A partir de cette représentation duale des deux types de sources on peut transcrire le Théorème de Thévenin par un passage en représentation Thévenin- Norton du générateur linéaire de tension de Thévenin.

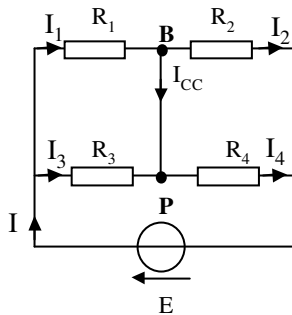
On peut substituer une portion de réseau linéaire entre deux bornes A et B par un générateur linéaire de courant, dit générateur de Norton, ayant les caractéristiques suivantes :

- sa résistance interne notée R_{Th} , est la résistance de Thévenin, résistance équivalente entre les bornes A et B du réseau passif associé à la portion du réseau considéré, obtenu en remplaçant chaque générateur indépendant par sa résistance interne.
- Son courant électromoteur $I = E_{th} / R_{Th}$ est égal à l'intensité de court-circuit obtenue en reliant les bornes A et B par un court-circuit.



On privilégiera une modélisation par le théorème de Norton lorsqu'il sera plus facile de calculer le courant de court circuit entre les deux bornes que la tension à vide E_{th} .

Exemple d'application du théorème de Norton dans le cas du pont de Wheatstone :



Le courant total fourni par le générateur est défini par l'expression :

$$I = \frac{E}{R_1 // R_3 + R_2 // R_4} = E \frac{(R_1 + R_3)(R_2 + R_4)}{R_1 R_3 (R_2 + R_4) + R_2 R_4 (R_1 + R_3)}$$

Les points B et P étant reliés par un court-circuit, ils sont au même potentiel. Le courant I se partage donc dans les branches 1 et 3, puis 2 et 4 selon un pont diviseur de courant. On a donc les expressions des courants dans les résistances du pont :

$$I_1 = I \frac{R_3}{R_3 + R_1} \quad I_3 = I \frac{R_1}{R_1 + R_3} \quad I_2 = I \frac{R_4}{R_2 + R_4} \quad I_4 = I \frac{R_2}{R_2 + R_4}$$

Par la loi des nœuds aux points B et P, on déduit l'expression du courant de court-circuit :

$$I_{cc} = I_1 - I_2 = I_3 - I_4$$

$$I_{cc} = I \left[\frac{R_3}{R_3 + R_1} - \frac{R_4}{R_2 + R_4} \right] = I \left[\frac{R_2 R_3 - R_1 R_4}{(R_3 + R_1)(R_2 + R_4)} \right]$$

On retrouve la condition d'équilibre du pont pour $I_{cc} = 0$, soit $R_2 R_3 = R_1 R_4$.

En développant l'expression de I_{cc} on obtient

$$I_{cc} = E \left[\frac{R_2 R_3 - R_1 R_4}{(R_3 R_1)(R_2 + R_4) + R_2 R_4 (R_3 + R_1)} \right]$$

La résistance entre les points B et P est telle que calculée précédemment soit $R_{th} = R_1 // R_2 + R_3 // R_4$, expression qui peut se mettre sous la forme :

$$R_{th} = \frac{R_1 R_2}{(R_1 + R_2)} + \frac{R_3 R_4}{(R_3 + R_4)} = \frac{R_1 R_2 (R_3 + R_4) + R_3 R_4 (R_1 + R_2)}{(R_1 + R_2)(R_3 + R_4)}$$

L'expression de la force électromotrice du générateur de Thévenin équivalent se déduit

$$E_{th} = I_{cc} R_{th} = E \left[\frac{R_2 R_3 - R_1 R_4}{(R_3 R_1)(R_2 + R_4) + R_2 R_4 (R_3 + R_1)} \right] \frac{R_1 R_2 (R_3 + R_4) + R_3 R_4 (R_1 + R_2)}{(R_1 + R_2)(R_3 + R_4)}$$

de :

Soit :

$$E_{th} = E \left[\frac{R_2 R_3 - R_1 R_4}{(R_1 + R_2)(R_3 + R_4)} \right]$$

On démontre ainsi l'équivalence entre la fem de Thévenin E_{th} calculée précédemment et le courant de court-circuit I_{cc} défini par E_{th}/R_{th} .

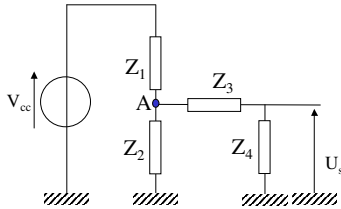
TESTEZ VOS CONNAISSANCES

- ☺ Classez ces éléments (actifs/passifs/analogiques/numériques/mixtes/ synchrones/asynchrones...)

Ferrite, Fusible, Polyswitch, Relais, Thyristors, Transformateurs , Triacs, Varistances, Diode Schottky
 Diode Zener, Transistor, Photocoupleur, Microprocesseur, Microcontrôleur, Quartz, Opto-coupleur,
 Afficheur
 à segment, LCD, Haut-parleur, Interrupteur, Led, Potentiomètre.

- ☺ Etablir la loi du pont diviseur en courant

- ☺ On considère le réseau suivant constitué par quatre impédances notées Z_i et une source de tension V_{cc} .



En appliquant le théorème de Thévenin au nœud A, démontrer que :

$$U_s = \frac{Z_4}{Z_{th} + Z_3 + Z_4} E_{th} \text{ en précisant les expressions de } E_{th} \text{ et } Z_{th}.$$

Chapitre 2

Amplification

On doit à George A. Philbrick vers 1938 le premier développement de « calculatrice analogique » baptisée « Polyphemus » en référence à la mythologie Grecque. C'est en 1943, que le terme « amplificateur opérationnel » est mentionné dans l'article « Analysis of Problems in Dynamics » de John R. Ragazzinni, rédigé avec le support technique de Philbrick pour le compte d'un projet « U.S. National Defense Research Council ». Cet article ne sera publié qu'en Mai 1947, alors que le premier amplificateur opérationnel à tubes le « K2-W tubes » est finalisé en 1952 par l'Institut de recherches George A. Philbrick. Une décennie plus tard, en 1963, Bob Widlar conçoit la première version d'A.O à base de neuf transistors: le "µA702" commercialisé par « Fairchild Semiconducteurs » dont les tensions d'alimentation ne sont pas encore symétriques (+12V et -6V) mais dont le prix de 300\$ limite son application au marché aéronautique et militaire. En 1965, Widlar améliore son architecture en bande passante, gain et courants de polarisation et présente le « µA709 » qui offre des tensions d'alimentations symétriques (+15V et -15V). Le succès commercial est tel qu'en 1969 le prix se situe en dessous des 2\$. La série des « LM101 » incluant une protection contre les court-circuits et une compensation en fréquence est présentée en 1967, et la version hybride « LH101 » avec capacité intégrée dans le boîtier. La version « µA741 » avec compensation interne est proposée en Mai 1968 par « Fairchild » avec le succès que l'on connaît...En 1974, « Raytheon Semiconductors » présente le « RC4558 », premier boîtier intégrant deux A.O. similaires au 741. La même année « National Semiconductor » commercialise le « LM324 », quadruple A.O toujours sur la base du 741 mais avec l'originalité de présenter une alimentation unipolaire. Le succès de l'architecture du 741 conduiront Bob Widlar à la retraite en 1970 à moins de trente ans. Consultant, il développera d'autres architectures et s'éteint à 53 ans le 27 Février 1991.

Circuit de base des montages analogiques ou numériques, l'Amplificateur Opérationnel, abrégé A.O par la suite, est un circuit actif qui nécessite des sources d'alimentation (par opposition aux circuits passifs). Son champ d'applications s'étend depuis le traitement de grandeurs électriques, tension ou courant, (amplification, conversion, filtrage) issues de capteurs (microphones, thermocouples, photopiles, interrupteurs) jusqu'à la génération de signaux (par exemple oscillateurs sinusoïdaux ou numériques) capables de commander divers actionneurs (moteurs, haut-parleurs, résistances chauffantes, relais, etc...).

Dans ce chapitre, l'A.O est présenté depuis sa description analytique et son modèle électrique équivalent nécessaires à l'étude des deux régimes de fonctionnement : saturé ou linéaire avec respectivement une application en électronique numérique ou analogique.

I. –AMPLIFICATEUR OPERATIONNEL

Utilisé en tant que « système analogique », l'Amplificateur Opérationnel, composant ACTIF noté A.O., présente la propriété de délivrer en sortie un signal (tension ou courant) proportionnel à l'amplitude de :

- la grandeur (tension ou courant) présente en entrée,
- la somme de plusieurs grandeurs,
- la dérivée ou l'intégrale d'une grandeur.

L'ensemble de ces caractéristiques lui ont valu de nombreuses utilisations dans la résolution « analogique » d'opérations à base d'équations différentielles d'où son qualificatif d'Amplificateur Opérationnel.

Dans l'étude des systèmes à base d'A.O, on définit deux types de modèles :

- **le modèle idéal**, qui permet de faire une analyse ou une synthèse très efficace des montages à base d'A.O,
- **le modèle réel**, qui traduit les caractéristiques réelles de l'A.O au sens des imperfections du modèle.

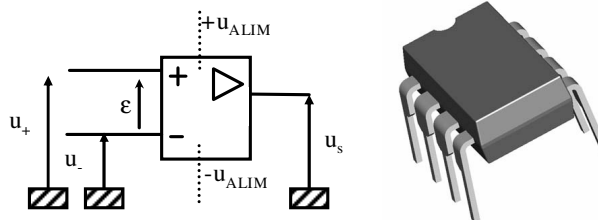
En pratique, il est toujours recommandé d'aborder la modélisation d'un système à base d'A.O en utilisant le modèle idéal, puis de prendre en considération les imperfections du composant dans l'identification des valeurs des éléments passifs (résistances, condensateur, ..) ou encore pour minimiser les effets des imperfections de l'A.O sur les performances globales du système.

I.1.- Symbole et représentation

L'amplificateur opérationnel est un composant ACTIF auquel on associe « au moins » 5 broches (ou plots de connexion) correspondant à :

- deux entrées, respectivement notées u_+ et u_- ,
- une sortie, notée u_s ,
- une tension de polarisation positive, notée $+u_{ALIM}$
- une tension de polarisation négative, notée $-u_{ALIM}$

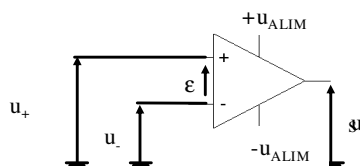
Le symbole électrique de l'A.O est :



Remarques sur la représentation schématique :

1) Par convention, on ne **représentera plus ni les tensions d'alimentation**, ni la connexion au potentiel de référence commune, ni les générateurs de tension en entrée du montage.

2) Dans certains ouvrages (ou en notation anglosaxonne) on trouve encore le symbole électrique de l'A.O associé à un triangle traduisant la caractéristique unidirectionnelle du composant.



figure(\ref{aost})

I.2.- Repérage des entrées/sortie

La plupart des composants électroniques fabriqués sur la base d'un semi-conducteur (silicium, germanium,..) sont ensuite encapsulés dans différents types de boîtiers («package» en anglais) qui assurent une connexion de la puce vers la circuit imprimé tout en garantissant la tenue mécanique et le caractère hermétique vis-à-vis de l'environnement extérieur.

L'assignation géographique des différentes entrées et sorties d'un composant sont données par la fiche technique du composant (data sheet) où il est conventionnel de repérer la broche (ou « pin ») numéro un par un point sur une encoche.

Sans se risquer à énoncer les différents types de boîtiers, on peut souligner que la plupart des A.O se présenteront dans le cas d'un boîtier de 8 broches :

- soit sous la forme unitaire,
- soit par paire

avec l'assignation conventionnelle détaillée ci-dessous et extraite d'un datasheet composant.

Boitier unitaire		<p>Vue rayons X et vue optique</p>
Boitier double		<p>Vue rayons X et vue optique</p>

I.3.- Architecture et équation de fonctionnement

En pratique, il n'est aucunement nécessaire de connaître la structure interne d'un A.O présenté ci-dessous pour en déduire l'équation linéaire reliant la sortie aux entrées différentielles.

On associe donc à tout amplificateur opérationnel le modèle comportemental mis sous la forme :

- d'une équation algébrique de variables dans l'espace des fréquences (ou des pulsations), avec un coefficient de proportionnalité A(f)

$$u_s(f) = A(f)(u_+ - u_-) = A(f)\mathcal{E}(f)$$

- d'une équation différentielle d'ordre un dans l'espace temps, équation présentant des analogies avec l'équation de la tension aux bornes de la capacité dans un filtre passe-bas type réseau RC :

$$\tau_c \frac{du_s}{dt} + u_s = A_0 \mathcal{E}$$

avec :

- u_s : tension de sortie
- u_+ : tension sur l'entrée non inverseuse
- u_- : tension sur l'entrée inverseuse
- \mathcal{E} : tension différentielle d'entrée.
- A : fonction complexe de la variable pulsation radiale associée au gain différentiel en

boucle ouverte de l'A.O, définie par :

$$A(x) = \frac{A_0}{1 + jx} \text{ avec } x = \frac{\omega}{\omega_c} = \frac{f}{f_c}$$

où : A_0 grandeur sans unité est le gain différentiel statique obtenu lorsque tend vers zéro (valeur typique comprise entre 10^4 , 10^7).

τ_c constante de temps de l'A.O, dont l'ordre de grandeur est la dizaine de millisecondes

ω_c pulsation de coupure l'A.O et f_c fréquence de coupure l'A.O, définie par $f_c = \frac{1}{2\pi\tau_c}$.

BURR-BROWN® **OPA2604**

www.burr-brown.com/databook/OPA2604.html

Dual FET-Input, Low Distortion OPERATIONAL AMPLIFIER

FEATURES

- LOW DISTORTION: 0.0003% at 1kHz
- LOW NOISE: 10nV/√Hz
- HIGH SLEW RATE: 25V/μs
- WIDE GAIN-BANDWIDTH: 20MHz
- UNITY-GAIN STABLE
- WIDE SUPPLY RANGE: $V_s = \pm 4.5$ to ± 24 V
- DRIVES 600Ω LOADS

APPLICATIONS

- PROFESSIONAL AUDIO EQUIPMENT
- PCM DAC I/V CONVERTER
- SPECTRAL ANALYSIS EQUIPMENT
- ACTIVE FILTERS
- TRANSDUCER AMPLIFIER
- DATA ACQUISITION

DESCRIPTION

The OPA2604 is a dual, FET-input operational amplifier designed for enhanced AC performance. Very low distortion, low noise and wide bandwidth provide superior performance in high quality audio and other applications requiring excellent dynamic performance. New circuit techniques and special laser trimming of dynamic circuit performance yield very low harmonic distortion. The result is an op amp with exceptional sound quality. The low-noise FET input of the OPA2604 provides wide dynamic range, even with high source impedance. Offset voltage is laser-trimmed to minimize the need for interstage coupling capacitors. The OPA2604 is available in 8-pin plastic mini-DIP and SO-8 surface-mount packages, specified for the -25°C to $+85^\circ\text{C}$ temperature range.

* Patents Granted: #5053718, 5019789

Remarque sur la « signalétique des entrées » :

Le repérage des entrées par les signes «+» et «-» est identifiable à partir de l'expression précédente lorsque :

- une tension est appliquée entre u_+ et u_- avec l'entrée u_- reliée à la masse, la tension de sortie u_s est en phase avec cette tension d'entrée. On qualifie u_+ d'entrée « non inverseuse » ou « non déphaseuse » de l'amplificateur,
- une tension est appliquée entre u_- et u_+ avec l'entrée u_+ reliée à la masse, la tension de sortie u_s est en opposition de phase avec cette tension d'entrée (déphasage de π). On qualifie u_- d'entrée « inverseuse » de l'amplificateur.

I.4.- Limites de la modélisation : notions de saturations

L'expression du gain différentiel de l'A.O fonction de la pulsation radiale ω est applicable à un régime sinusoïdal permanent avec :

$$u_+(\omega) = U_1 \cos(\omega t + \varphi_1), \text{ et } u_-(\omega) = U_2 \cos(\omega t + \varphi_2)$$

L'expression linéaire $u_s = \underline{A}\varepsilon$, est limitée par le caractère « composant actif » de l'A.O qui implique au minimum trois limites :

- la fonction ne peut être obtenue que sous réserve de polariser le composant au travers des deux sources de polarisation $+u_{ALIM}$ et $-u_{ALIM}$. Cela induit **une limite en tension** pour la tension de sortie. Le principe de conservation de l'énergie suppose que la tension u_s soit toujours inférieure ou égale aux limites de tension imposées par $+u_{ALIM}$ et $-u_{ALIM}$. En pratique les limites autorisées seront $+u_{SAT}$ et $-u_{SAT}$ (parfois notées $+S_M$ et $-S_M$) avec $|u_{SAT}| \leq |u_{ALIM}|$ (la différence étant en partie liée à la tension Base-Emetteur ou Grille-Drain des transistors constituant le composant),
- la fonction est indépendante de la charge connectée, sous réserve que le courant induit en sortie de l'A.O soit inférieur à $i_{S_{MAX}}$, grandeur fournie par le constructeur qui représente le courant maximal débité par l'A.O. On définit la notion de **limitation en courant**,
- la fonction présente une **vitesse de variation maximale** définie par $\max \left[\frac{du_s}{dt} \right] < \sigma_{A.O}$, où le paramètre $\sigma_{A.O}$, donné par le constructeur, représente la vitesse maximum de balayage (slew rate en anglais).

Remarque concernant le modèle comportemental :

Dans les faits, l'équation dans l'espace des fréquences est représentée par l'expression :

$$u_s = \underline{A} \left[(u_+ - u_-) + \frac{1}{\Gamma} \left(\frac{u_+ + u_-}{2} \right) \right]$$

où

* Γ représente le taux de réjection de mode commun (en anglais Common Mode Rejection Ratio) qui est très grand, d'où le caractère essentiellement différentiel de l'A.O,

* et les constantes de temps τ_1 et τ_2 de l'A.O définies telles que

$$\underline{A}(j\omega) = \frac{A_0}{(1 + j\omega\tau_0)(1 + j\omega\tau_1)(1 + j\omega\tau_2)} \text{ seront négligées.}$$

II. -CARACTERISTIQUES ELECTRIQUES ET MODELE EQUIVALENT

La modélisation comportementale est complétée par les aspects électriques essentiels du composant définis par les paramètres :

- **impédance différentielle d'entrée :**

On nomme ainsi l'impédance équivalente qui relie les deux entrées notées (+) et (-). Dans la bande passante de l'amplificateur (fréquence d'utilisation $f < f_0$) c'est une résistance que l'on notera R_c dont l'ordre de grandeur s'échelonne entre $100K\Omega$ et $10M\Omega$ selon la technologie. On observe également l'existence d'une impédance de mode commun qui relie l'entrée (+) [ou (-)] à

la masse, l'autre entrée n'étant pas connectée. Dans la bande passante de l'amplificateur, c'est une résistance R_{MC} qui est de l'ordre de 50 à 500 M Ω qui, compte tenu de sa valeur très élevée par rapport à R_e et aux impédances que l'on connecte sur l'amplificateur, n'intervient pratiquement pas dans les résultats numériques. On la néglige donc systématiquement.

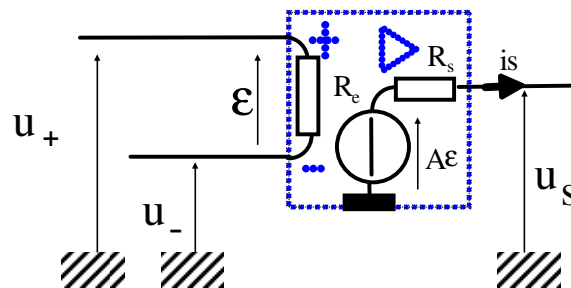
- **impédance de sortie :**

C'est l'impédance interne du générateur de tension contrôlé par la tension différentielle d'entrée $\underline{A}\cdot\epsilon$. Dans la bande passante de l'amplificateur, c'est une résistance R_s qui est de l'ordre de 10 à 100 Ω . On doit noter que sa valeur dépend de l'amplitude de la tension de sortie. Plus cette tension est élevée plus R_s est faible.

- **saturation en courant :**

La structure interne d'un A.O assure une protection contre les court-circuits, en limitant la valeur maximale du courant à i_{smax} (de l'ordre de 20 à 80mA pour un A.O d'instrumentation par opposition avec un A.O de puissance). En pratique, on peut déterminer la valeur de ce courant de saturation en connectant une charge résistive variable (potentiomètre) en sortie de l'A.O. En faisant diminuer cette charge, à partir d'une certaine valeur, apparaît un écrêtage (symétrique ou non) du signal, correspondant à une saturation en courant du système.

La figure suivante représente sous la forme d'un schéma électrique équivalent les caractéristiques de l'A.O.



On peut citer deux intérêts à la représentation en modèle équivalent :

- la résolution des équations du système par les équations classiques des réseaux électriques,
- la modélisation du système indépendamment de toute impédance de charge. En effet la mise en place d'une charge Z_L en sortie modifiera la tension de sortie u_s selon l'expression du pont diviseur de tension :

$$u_{s(Z_L \neq \infty)} = \frac{Z_L}{Z_L + R_s} \underline{A}\epsilon = \frac{Z_L}{Z_L + R_s} u_{s(Z_L = \infty)}$$

III. – CONCEPT D'AMPLIFICATEUR IDEAL

Il est d'usage de déterminer les caractéristiques d'un montage construit autour d'un A.O de considérer dans un premier temps l'A.O idéal.

Cette hypothèse de travail se traduit sur le symbole par la lettre ∞ positionnée sous le triangle.

Les hypothèses associées au modèle idéal sont :

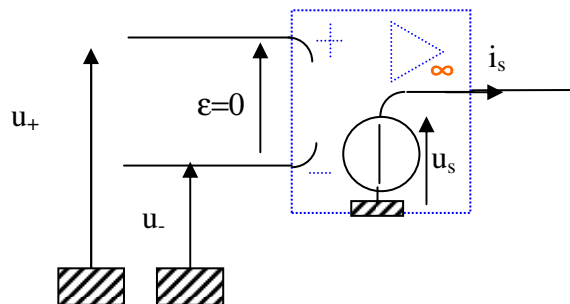
- gain statique A_0 infini
- impédance d'entrée infinie (vis-à-vis des impédances utilisées dans les montages)
- impédance de sortie nulle (vis-à-vis des impédances utilisées dans les montages)
- fréquence de coupure f_c infinie (cette hypothèse qui permet de considérer \underline{A} comme une fonction réelle, n'est vraie qu'en régime statique). Néanmoins, en régime dynamique, au vu des valeurs de f_c cette hypothèse semble difficilement justifiable. On reviendra ultérieurement sur cette limitation de

l'hypothèse A.O idéal dans le paragraphe relatif aux imperfections de l'A.O., ou bien on appliquera le modèle électrique équivalent « non idéal » (modèle réel présenté précédemment).

En régime linéaire, la relation $u_s = A_0 \epsilon$ exprime une source parfaite de tension $A_0 \epsilon$, avec A_0 qui tend vers l'infini. Comme $u_s = A_0 \epsilon$ est une tension finie, on peut considérer que l'A.O idéal fait évoluer son potentiel de sortie pour garantir la relation $\epsilon = 0$.
 Dès lors un A.O idéal, en régime de linéarité, fait évoluer son potentiel de sortie pour garantir une entrée différentielle nulle, ce que traduit l'équation :

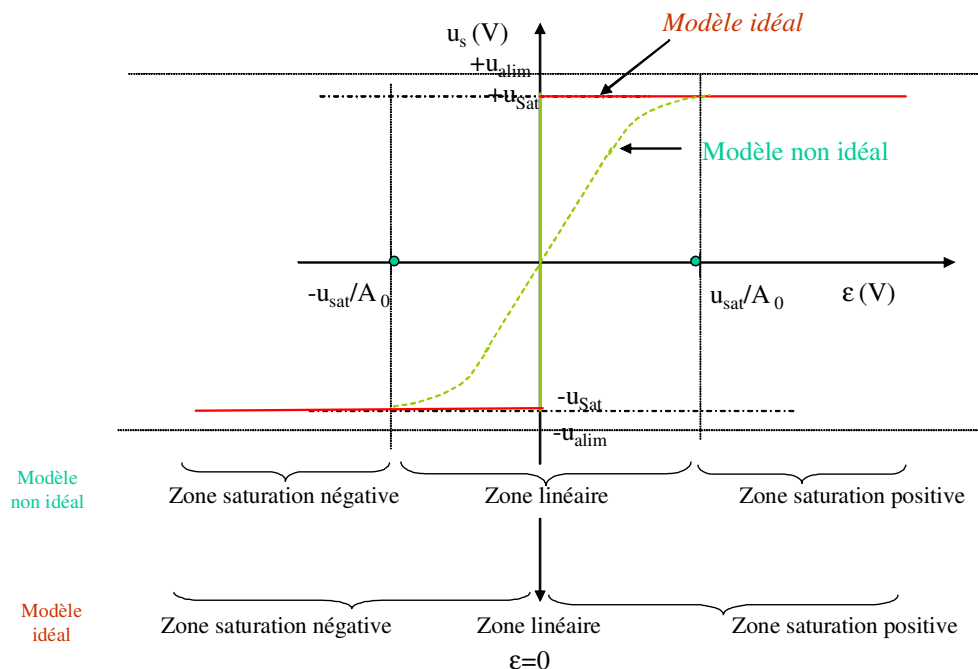
$$\epsilon = 0$$

Dans le modèle idéal, la tension différentielle d'entrée peut se voir négligée par rapport aux autres potentiels présents, à condition d'être en régime linéaire : le générateur parfait de tension $G\epsilon$ se retrouve remplacé par un générateur parfait de tension u_s limité dans sa capacité à fournir un courant inférieur au courant de saturation.



IV. – DOMAINES DE FONCTIONNEMENT : REGIME LINEAIRE ET SATURE

La caractéristique statique $u_s(\epsilon)$ fait apparaître trois zones de fonctionnement de l'amplificateur suivant les valeurs de la tension d'entrée.



En fonctionnement en régime linéaire, la structure interne de l'A.O va modifier sa tension de sortie pour assurer un potentiel quasiment nul ($\epsilon=0$) sur son entrée différentielle.

Type AOP Fabricant	A.O Idéal	LM741C National Semiconducteur	TL072C ST Microelectronics	OPA2604 Burr-Brown	THS 4062 C/I Texas Instruments
Paramètre					
Nombre d'A.O par boîtier	x	1	2	2	2
Gain en Boucle Ouverte (G_0)	∞	200V/mV => 106 dB	200V/mV => 106 dB	100dB	15V/mV => 83,5dB
f_T (Bandwidth)	∞	1.5 MHz	2 MHz	20MHz	50MHz
f_0 fréquence de coupure (Bande Passante en Boucle Ouverte)	∞	Déduit de $f_T=f_0G_0$ => 7.5 Hz	Déduit de $f_T=f_0G_0$ => 20 Hz	Déduit de $f_T=f_0G_0$ => 200 Hz	Déduit de $f_T=f_0G_0$ => 3333 Hz
R_e (input resistance)	∞	$2 \cdot 10^6 \Omega$	$10^{12} \Omega$	$10^{12} \Omega$ en parallèle avec 8pF	$10^6 \Omega$ en parallèle avec 2pF
i_{smax}	∞	25mA	40mA	± 35 mA	115mA
Tension d'alimentation (Power supply, typical V_{cc})	alimentation bipolaire: $\pm U_{ALIM}$ alimentation unipolaire: $+U_{ALIM}$ et zéro Volts	± 15 V	± 15 V	± 15 V	± 15 V
Courant de polarisation (I_p polar current)	0	80nA	65pA	100pA	3 μ A
Courant d'offset (I_d offset current)	0	20nA	5pA	± 4 pA	75nA
Tension d'offset (input offset voltage)	0	2mV	3mV	± 1 mV	2,5mV
Vitesse maximum de balayage (Slew rate)	∞	0,5V/ μ s	16V/ μ s	25V/ μ s	400V/ μ s
Température d'utilisation	x	0°C à 70°C	0°C à 70°C (avec le suffixe M : gamme militaire -55°C à 125°C)	-40°C à +100°C	0°C à 70°C

Chapitre 3

Réponse temporelle des fonctions de transfert

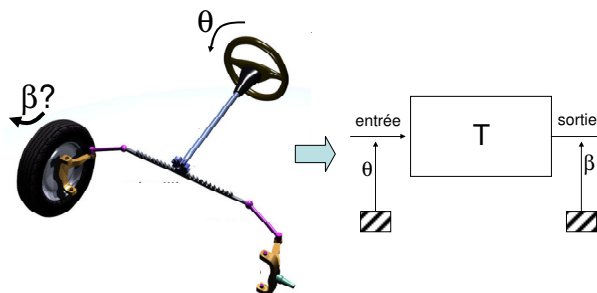
Qu'ils soient à dominante mécanique, électronique, biologique, chimique, ou même humain, le scientifique a toujours cherché à prédire le fonctionnement temporel des phénomènes et objets de son environnement. La première technique mathématique enseignée est la résolution d'une équation différentielle, technique éprouvée mais qui requiert des méthodes et une connaissance du système pour poser l'équation à résoudre. La seconde méthode consiste à déterminer la fonction de transfert du système à étudier, par des méthodes de description ou d'identification expérimentale.

Pourquoi ce terme de fonction de transfert ? Car c'est l'opérateur mathématique relie le(s) entrée(s) à la sortie d'un système. Vu sous l'angle du praticien, c'est la fonction qui **TRANSFORME** l'entrée en sortie du système, d'où le qualificatif de fonction de transfert.

I. -NOTIONS DE FONCTION DE TRANSFERT

I.1.- Définition

Illustrons la définition de l'utilisation de la notion de fonction de transfert sur l'exemple ci-dessous.



On souhaite connaître la relation entre l'angle θ de rotation du volant et l'angle β de rotation des roues d'un véhicule. Sans modéliser l'ensemble des éléments mécaniques de la chaîne cinématique de transmission, la fonction de transfert T , se définit dans cet exemple à partir de la relation $T\theta=\beta$, d'où l'expression :

$$T = \frac{\text{sortie}}{\text{entrée}} = \frac{\beta}{\theta}$$

Remarque : la fonction de transfert est une fonction du corps des complexes de la variable f (fréquence) ou (ω pulsation), l'AFNOR préconise de l'écrire :

$\underline{T}(f)$ pour la variable f

$\underline{H}(j\omega)$ pour la variable ω , en rappelant que $\omega=2\pi f$.

I.2.- Notions de boucle ouverte et boucle fermée

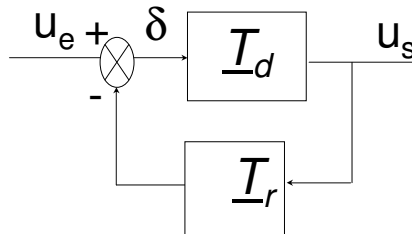
Il est nécessaire de contrôler un système en observant sa sortie et en venant compenser les erreurs éventuelles en modifiant le signal de consigne. L'algèbre de la représentation par schémas blocs fonctionnels permet de conceptualiser la notion de boucle ouverte et boucle fermée (respectivement open or closed loop).

Exemple : Considérons un système d'entrée u_e , de sortie u_s , avec les équations de fonctionnement $u_s = \underline{T}_d \delta$ où $\delta = u_e - K_r u_s$

Ce système peut être représenté par le diagramme fonctionnel suivant où on identifie :

- une chaîne directe de fonction de transfert $\underline{T}_d(f)$,
- une chaîne de retour de fonction de transfert $\underline{T}_r(f)$.

et où la notion de boucle fermée apparaît au travers de la fonction de retour de la sortie vers l'entrée modélisée par $\underline{T}_r(f)$.



On peut déduire l'expression de \underline{T} , fonction de transfert globale définie par :

$$\underline{T} = \frac{u_s}{u_e} = \frac{\underline{T}_d}{1 + \underline{T}_d \underline{T}_r} = \frac{1}{\underline{T}_r} \frac{\underline{T}_d \underline{T}_r}{1 + \underline{T}_d \underline{T}_r}$$

Remarques :

- 1) Le symbole \otimes désigne le point de sommation du signal d'entrée u_e et du signal de retour $\underline{T}_r u_s$.
- 2) Le signe '-' signifie que le signal de sortie u_s , multiplié par \underline{T}_r est ramené en opposition de phase sur l'entrée.
- 3) Dans la suite des leçons, l'amplificateur opérationnel sera placé en tant qu'élément de la chaîne directe et nous construirons différentes formes de chaînes de retour ce qui confèrera à l'ensemble une nouvelle fonction de transfert.

I.3.- Quel type de rétroaction pour un A.O ?

Deux types de rétroaction (retour d'une partie de la sortie sur l'entrée) sont parfois possibles. En effet dans le cas de l'A.O deux entrées existent, l'entrée notée « + » et l'entrée notée « - ». Les propriétés des montages à rétroaction découlent du type de rétroaction positive ou négative, laquelle va conditionner la stabilité temporelle du montage.

Pour preuve, en reprenant l'équation différentielle de l'AO en boucle ouverte :

$$\tau_c \frac{du_s}{dt} + u_s = A_0 \varepsilon$$

On modélise la rétroaction par la relation :

$$\varepsilon = u_+ - u_- = u_e + [\text{sgn}(r)] \alpha_r u_s$$

avec α_r coefficient positif compris entre 0 et 1 ;*

$\text{sgn}(r)$ = fonction signe de la rétroaction ; $\text{sgn}(r) = +1$ pour une rétroaction positive, $\text{sgn}(r) = -1$ pour une rétroaction négative

D'où l'équation différentielle à résoudre en boucle fermée:

$$\tau_c \frac{du_s}{dt} + u_s [1 - \text{sign}(r) \alpha_r A_0] = A_0 u_e$$

Equation différentielle dont la solution générale est de la forme :

$$u_s = K \exp \left[\text{sign}(r) \alpha_r A_0 \frac{t}{\tau_c} \right]$$

Où la constante K est déterminée par les conditions initiales.

La fonction exponentielle ne convergera que si **sign(r)=-1**, soit dans le cas d'une **rétroaction NEGATIVE**.

II. -REPONSE D'UN A.O EN REGIME PERMANENT SINUSOÏDAL

II.1.- Régime permanent calculé à partir de la résolution de l'équation différentielle

La réponse en régime permanent de l'A.O est donnée par la solution particulière de l'équation différentielle :

$$\tau_c \frac{du_s}{dt} + u_s = A_0 \varepsilon$$

où ε est une tension constante, d'où $u_s = A_0 \varepsilon$

En régime permanent sinusoïdal, à la tension différentielle d'entrée $\varepsilon(t) = U \sin \omega t$ correspond la solution particulière u_s de la forme $u_s(t) = U \sin(\omega t + \beta)$.

En injectant la forme de la solution dans l'équation différentielle, on identifie les constantes K et β d'après l'expression :

$$K \sin(\omega t + \beta) + K \tau_c \omega \cos(\omega t + \beta) = A_0 U \sin \omega t$$

Par analogie avec le plan des complexes (les fonctions sinus et cosinus étant déphasées de $\pi/2$), le premier membre de l'équation précédente peut se mettre sous la forme module et argument :

$$K \sin(\omega t + \beta) + K \tau_c \omega \cos(\omega t + \beta) = K \sqrt{1 + (\tau_c \omega)^2} \sin(\omega t + \beta + \theta)$$

Avec

$$\theta = \text{Arc tan}(A_0 \omega / 1) = \text{Arc tan}(A_0 \omega)$$

En identifiant avec le second membre de l'équation différentielle, il vient :

$$K = \frac{A_0 U}{\sqrt{1 + (\tau_c \omega)^2}} = |\underline{A}(\omega)| U$$

$$\beta = -\theta = -\text{Arc tan}(A_0 \omega) = \text{Arg}(\underline{A}(\omega))$$

Il s'en suit que la réponse du système en régime permanent pour une entrée différentielle sinusoïdale $\varepsilon(t) = U \sin \omega t$ est définie par l'expression :

$$u_s(t) = |\underline{A}(\omega)| U \sin \{ \omega t + \text{Arg}[\underline{A}(\omega)] \} \text{ sous réserve de satisfaire les trois critères de non saturation.}$$

II.2.- Notion de représentation dans le diagramme de Bode

Bien qu'il n'existe pas de relation linéaire dans le temps entre la sortie et l'entrée différentielle de l'A.O, dans le cas particulier d'une entrée sinusoïdale, on vient de démontrer comment déterminer en régime permanent le signal de sortie à partir des caractéristiques module et argument de la fonction de transfert $A(f)$.

Intéressons nous à généraliser à toutes les fréquences le résultat précédent pour obtenir à la simple lecture d'un graphe toutes les réponses sinusoïdales données pour une fonction de transfert.

L'exploitation d'un tracé référencée par rapport à des axes gradués linéairement n'est pas envisageable :

- en abscisse, l'intervalle des fréquences s'étend de quelques Hz à quelques centaines de MHz,
- en ordonnée le module du gain, varie de A_0 (10^4 au minimum) à des valeurs inférieures à l'unité.

Pour déterminer l'expression mathématique du gain $|A|$ en fonction de la fréquence f on lui substitue une représentation dans le plan de BODE où :

- en abscisse, les fréquences sont portées sur une échelle logarithmique,
- en ordonnée, les gains sont portés sur une échelle linéaire graduée en décibels.

On définit le gain en tension exprimé en décibels par la relation :

$$G_{u,dB} = 20 \lg |A(f)| = 20 \lg \left| \frac{u_s(f)}{e(f)} \right|$$

A titre d'exemple un gain de $100000=10^5$ correspond à $20 \lg 10^5 = 100 \text{ dB}$.

On peut aussi remarquer que la « transcription d'un module », bien que défini strictement positif, en décibels, peut entraîner des valeurs négatives dès lors que la module sera inférieur à l'unité.

Remarque sur le décibel et le son:

1) Issue d'un quotient entre deux grandeurs de même dimension, cette unité n'a pas de dimension physique. On connaît un exemple d'application dédiée à la « mesure » du niveau sonore qui résulte d'une pression acoustique. On définit la relation de référence entre dB audio et pression: 0 dB équivaut à $2 \cdot 10^{-5} \text{ Pa}$. La pression acoustique P est liée à l'intensité sonore I ou densité de puissance par l'impédance acoustique : $I (\text{W/m}^2) = P^2 (\text{Pa}) / R$; avec R impédance de l'air définie à 400 unités S.I. à l'air libre.

Le seuil de perception est défini à 0dB (soit une pression RMS de $20 \mu\text{Pa}$ ou une intensité de 1pW/m^2) alors que le seuil de la douleur est estimé à 120 dB (20Pa ou 1W/m^2).

2) Tracer $20 \log \{ A_0 / [1 + (f/f_c)^2]^{1/2} \}$ avec une fonction logarithme base10 incluant une racine carrée est inenvisageable sans moyen de calcul, aussi, en pratique on préfère effectuer le tracé des asymptotes en repérant **les points caractéristiques**.

II.3.- Tracé asymptotique dans le diagramme de Bode

En décomposant l'espace des fréquences en trois zones, on identifie **sans calculs** le tracé des asymptotes :

Zone i) Pour $f_1 \ll f_c$ on a $|A(f)| \cong A_0$, valeur réelle d'où :

- une phase nulle (ou un déphasage nul entre le signal de sortie et le signal d'entrée)
- une asymptote du module représentée par la droite horizontale

$$|A(f_1)|_{u,dB} = 20 \log A_0 = G_{u,dB}$$

Zone ii) Pour $f \gg f_c$ on a :

$$\underline{A}(f) \cong \frac{A_0}{j \frac{f}{f_c}} \cong -\frac{j f_c A_0}{f}$$

soit $|A(f)| \cong f_0 A_0 \tilde{f}$

- l'asymptote du module est définie par

$$|\underline{A}(f)|_{u,dB} = 20 \log A_0 - 20 \log \left(\frac{f}{f_0} \right) = G_{u,dB} - 20 \log \left(\frac{f}{f_0} \right)$$

qui dans le tracé logarithmique représente l'équation d'une droite dont le coefficient directeur (la pente) vaut -20dB/dec où une décade correspond à une multiplication par dix de la fréquence ce qui se traduit par la graduation supérieure sur un tracé logarithmique.

- la phase est constante et égale à $-\pi/2$.

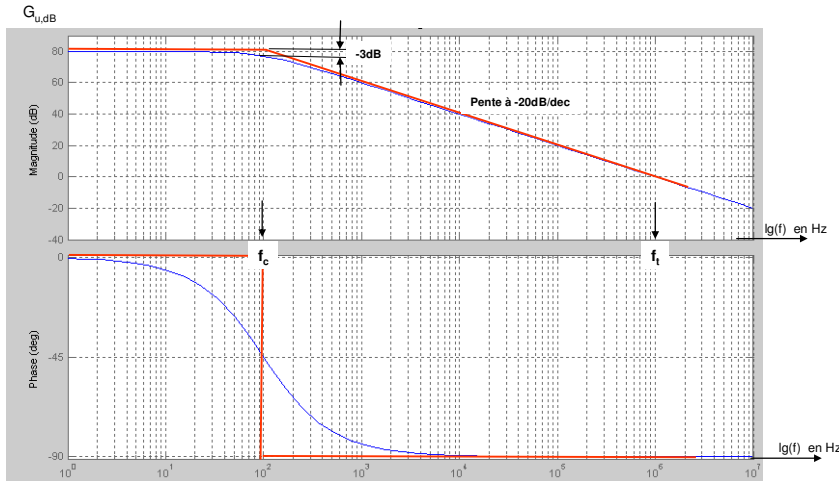
Zone iii) Si $f = f_c$ Alors on se situe à la fréquence de coupure de la fonction de transfert, qui s'écrit :

$$\underline{A}(f_c) = \frac{A_0}{1 + j}$$

- soit une valeur de module et d'argument:

$$|\underline{A}(f_c)|_{u,dB} = 20 \log(A_0) - 20 \log(\sqrt{2}) = G_{u,dB} - 3 \text{dB} \quad \text{Arg}(\underline{A}(f_c)) = -\frac{\pi}{4}$$

Notons sur le graphe suivant la différence entre le tracé exact et le tracé asymptotique, qui reste très exploitable en dehors de la zone de la fréquence. Dans cette zone de forte variation de comportement du système, on calculera systématiquement les valeurs module et argument..



II.4.- Fréquences caractéristiques du tracé dans le plan de Bode et « bande passante à - 3dB ».

Deux fréquences sont particulièrement riches en information :

1) La « **fréquence de coupure f_c à -3dB** » de l’amplificateur symbolise la rupture dans la courbe de gain et de phase. Définie par $f_c=1/(2\pi\tau_c)$ elle délimite la limite supérieure de la « bande passante à - 3dB » de l’amplificateur, la limite inférieure étant 0 hertz pour les amplificateurs opérationnels que l’on appelle également, de ce fait, amplificateurs continus (pouvant amplifier des variations de très basses fréquences). Ainsi dans la bande passante du système, le déphasage entre les signaux d’entrée et de sortie est constant (égal à 0 ou π selon le caractère déphaseur pur introduit par un signe négatif affecté à la fonction de transfert) et tend vers $-\pi/4$ (ou $-\pi-\pi/4$) pour $f=f_c$.

2) La seconde fréquence remarquable est celle pour laquelle le module **exprimé en dB est nul**, ce qui correspond à un module égal à l’unité d’où la frontière entre un fonctionnement du système en mode « amplification » et un fonctionnement en mode « d’atténuation » (respectivement module supérieur à l’unité, puis inférieur). Cette **fréquence de transition**, souvent notée f_T , (ou donnée par le constructeur sous la forme Gain-Bandwidth Product, ou « Unity Gain ») se situe à l’intersection de l’asymptote à -20dB/dec avec l’axe des abscisses et satisfait à la relation $f_T = A_0 f_c$

II.5.- Généralisation à des fonctions de transfert d’ordre n

Avec « l’habitude » le tracé asymptotique d’une fonction sera quasi immédiat dès lors que la fonction de transfert sera exprimée sous la forme de fonctions dont le terme réel est normé :

$$\underline{C}(f) = C_0 \frac{\left[j \frac{f}{f_{z1}} \right] \dots \left[j \frac{f}{f_{zp}} \right] \left[1 + j \frac{f}{f_{z(p+1)}} \right] \dots \left[1 + j \frac{f}{f_{z(p+m)}} \right]}{\left[j \frac{f}{f_{p1}} \right] \dots \left[j \frac{f}{f_{pf}} \right] \left[1 + j \frac{f}{f_{p(f+1)}} \right] \dots \left[1 + j \frac{f}{f_{p(f+k)}} \right]}$$

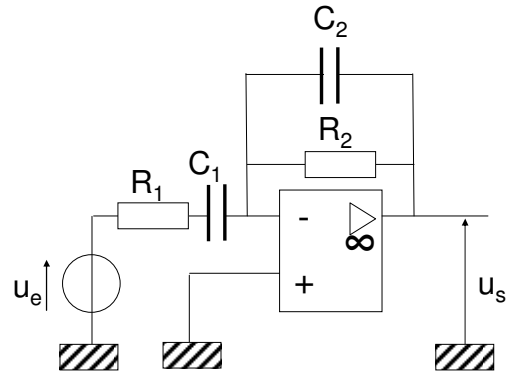
De la propriété de la fonction logarithme où : $\lg(bp)=\lg b + \lg p$; et $\lg(b/p)=\lg(b)-\lg(p)$, la représentation dans le plan de BODE de cette fonction - produit de fonctions unitaires-, se traduira sous la forme de la somme des tracés de chaque fonction élémentaire.

TESTEZ VOS CONNAISSANCES



Etude d'un montage à A.O

- Etablir la fonction de transfert $T(p) = u_s(p)/u_e(p)$ du montage, avec $R_1 = 160 \text{ k}\Omega$, $R_2 = 1,6 \text{ k}\Omega$, $C_1=C_2= 0,1 \text{ }\mu\text{F}$
- Tracer dans le plan de Bode la fonction de transfert en représentation asymptotique.
- Conclure sur la fonction ainsi réalisée.



CONCLUSION

Une fonction de transfert est l'opérateur qui appliqué au signal d'entrée donne l'expression du signal de sortie.

Une fonction de transfert s'établit dans de domaine de la variable fréquence et hélas pas de la variable temps.

La relation de proportionnalité entre la sortie et l'entrée du système n'existe que dans l'espace des fréquences. Néanmoins, lorsque le signal d'entrée est sinusoïdal, on pourra déduire l'expression du signal de sortie :

- ⇒ l'amplitude du signal d'entrée est multipliée par le module de la fonction de transfert calculé pour la valeur de la fréquence du signal sinusoïdal,
- ⇒ la fonction de transfert induit un déphasage donné par la valeur de l'argument de la fonction de transfert calculé pour la valeur de la fréquence du signal sinusoïdal,

Le tracé dans le plan de Bode permet d'une seule lecture d'identifier toute réponse à un signal d'entrée sinusoïdal.

Chapitre 4

T ransformée de Laplace

Mathématicien Français, né le 23 Mars 1749 à Beaumont-en-Auge en Normandie, Pierre Simon Laplace est à l'origine de nombreux travaux sur les équations différentielles, théorie analytique des probabilités, mécanique analytique, mécanique céleste, équation de la chaleur en collaboration avec Lavoisier. Contemporain de d'Alembert, Lagrange, Condorcet, Coulomb, il est élu le 31 Mars 1773, membre de l'Académie des Sciences, et contribuera à la normalisation des poids et mesures. Enseignant dans de nombreux instituts, Ecole Normale, Ecole Polytechnique, il fonde avec le chimiste Berthollet la Société d'Arcueil en 1805 (1805-1813) d'où de nombreuses théories émergeront (Biot, Poisson, Arago, Fresnel, Fourier...). Pour l'anecdote, il occupa le poste de ministre de l'intérieur durant 6 semaines en 1799, avant d'être révoqué par Napoléon. Elevé au rang de marquis en 1817, il s'éteint le 5 mars 1827 à Paris.

Tout système physique évoluant dans le temps peut être décrit par un système d'équations différentielles. La constitution du système d'équations différentielles impose :

- la connaissance structurelle du système,
- la résolution analytique (ou numérique) du système différentiel.

Le calcul **opérationnel** (ou symbolique), permet, grâce à un changement de variable, de remplacer la résolution d'une équation différentielle linéaire, à coefficients constants, et d'ordre fini, par la résolution d'une équation algébrique.

Utilisant les propriétés de la transformée de Laplace, le calcul opérationnel est d'une utilisation plus systématique et peut être appliqué à l'étude de systèmes, pour lesquels on ne dispose que de données expérimentales conduisant à l'identification du système, sans nécessairement connaître les équations différentielles.

I. –TRANSFORMATION DE LAPLACE

I.1 Définition

A toute fonction du temps $f(t)$, vérifiant $\forall t < 0, f(t) = 0$ et $\forall t > 0 f(t)$, on peut faire correspondre une fonction $F(p)$ ou $\mathcal{L}(f(t))$ de la variable complexe p appelée Transformée de Laplace de $f(t)$ définie par :

$$F(p) = \int_{0^+}^{\infty} f(t) e^{-pt} dt$$

Réciproquement, la transformée inverse de Laplace, $f(t) = \mathcal{L}^{-1}(F(p))$, est appelée original de $F(p)$ et définie par la transformation inverse de Melin-Fourier :

$$f(t) = \frac{1}{2j\pi} \int_{\xi - j\infty}^{\xi + j\infty} F(a) e^{at} da$$

Remarques :

- 1) La variable symbolique de Laplace notée « p », est notée « s » par les anglo saxons.
- 2) Dans le calcul opérationnel par transformée de Laplace, on définit l'origine des temps (t=0) comme l'instant d'apparition du signal qui va être à l'origine du régime transitoire que l'on souhaite déterminer.

I.2 Propriétés

Alors qu'il n'est pas chose simple de dériver une fonction quelconque, le calcul opérationnel doit son succès à ses propriétés de dérivation et d'intégration, obtenue respectivement en multipliant par « p » ou en divisant par « p » les transformées de Laplace de la fonction cherchée.

a) Cas de la dérivation

	Fonction initiale	Fonction dérivée
Fonction temporelle	f(t)	$f'(t) = \frac{df}{dt}$
Fonction de Laplace	F(p)	$\mathcal{L}\left[\left(\frac{df}{dt}\right)\right] = \mathcal{L}[f'(t)] = pF(p) - f(0^+)$
Si $f(0^+) = 0$, alors on peut assimiler la dérivation à une multiplication par p .		

b) Cas de l'intégration

	Fonction initiale	Fonction primitive
Fonction temporelle	f(t)	$\gamma(t)$ définie par $\frac{d\gamma(t)}{dt} = f(t)$
Fonction de Laplace	F(p)	$L[\gamma(t)] = \frac{1}{p} F(p) + \frac{\gamma(0^+)}{p}$
Si $\gamma(0^+) = 0$, alors on peut assimiler l'intégration à une multiplication par $\frac{1}{p}$.		

Application à la transformation d'une équation différentielle :

La propriété de dérivation, permet ainsi grâce à un changement de variables, de remplacer une équation différentielle linéaire à coefficients constants par une équation polynomiale :

L'équation : $A_n \frac{d^n s(t)}{dt^n} + A_{n-1} \frac{d^{n-1} s(t)}{dt^{n-1}} + \dots + A_0 s(t) = B_m \frac{d^m e(t)}{dt^m} + B_{m-1} \frac{d^{m-1} e(t)}{dt^{m-1}} + \dots + B_0 e(t)$

S'écrit : $S(p) = \frac{B_m p^m + \dots + B_0}{A_n p^n + \dots + A_0} E(p) + \frac{\eta(CI, p)}{A_n p^n + \dots + A_0}$, avec $\eta(CI, p)$ fonction traduisant les conditions initiales

$s(t=0), s'(t=0), \dots et \dots e(t=0), e'(t=0)$.

On définit :

$T(p) = \frac{S(p)}{E(p)} = \frac{B_m p^m + \dots + B_0}{A_n p^n + \dots + A_0}$ Comme étant la fonction de transfert ou **transmittance symbolique**.

Remarque :

Le calcul opérationnel permet également de déterminer les valeurs d'une fonction $f(t)$ en zéro et à l'infini, en ne connaissant que la transformée de Laplace de la fonction :

$$\lim_{t \rightarrow \infty} f(t) = \lim_{p \rightarrow 0} [pF(p)] \text{ et } \lim_{t \rightarrow 0^+} f(t) = \lim_{p \rightarrow \infty} [pF(p)]$$

II. -TRANSFORMEES DE LAPLACE

L'opérateur de Laplace est :

■ **non distributif** pour la multiplication : $\mathcal{L}^{-1}[F(p).G(p)] \neq \mathcal{L}^{-1}[F(p)].\mathcal{L}^{-1}[G(p)]$;

■ **distributif** pour l'addition: $\mathcal{L}^{-1}[F(p) + G(p)] = \mathcal{L}^{-1}[F(p)] + \mathcal{L}^{-1}[G(p)]$;

Aussi il sera nécessaire de transformer un produit de fonctions en somme par le biais d'une décomposition en élément simples. On lit parfois la remarque suivante résumant la propriété du calcul par transformée de Laplace : « *La transformée de Laplace permet de résoudre par identification avec des tables de transformées toute forme d'équation différentielle sous réserve de savoir décomposer en éléments simples une fraction* ».

II.1 TABLES de transformées de Laplace d'une fonction

Fonction	f(t)	F(p)
Somme de fonctions	$\eta f_1(t) + \lambda f_2(t)$	$\eta F_1(p) + \lambda F_2(p)$
Fonction décalée	$f(t - t_1)$	$\exp[-t_1 p] F(p)$
Fonction dérivée	$\frac{df(t)}{dt}$	$pF(p) - f(0^+)$
Fonction Primitive	$\int f(\xi) d\xi$	$\frac{F(p)}{p} + \frac{f^{-1}(0^+)}{p}$
impulsion de Dirac	$\delta(t)$ telle que $\int_0^{\infty} \delta(t) dt = 1$ et $\delta(t) = 0 \quad \forall t \neq 0$	1
échelon unité	$u(t) = \begin{cases} 0 & \text{pour } t \leq 0 \\ 1 & \forall t > 0^+ \end{cases}$	$\frac{1}{p}$
Constante	$\alpha \quad (t > 0)$	$\frac{\alpha}{p}$
rampe de pente α	$\alpha t \quad (t > 0)$	$\frac{\alpha}{p^2}$
fonction sinus	$\sin(\omega t).u(t)$	$\frac{1}{\omega} \frac{1}{\left(1 + \frac{p^2}{\omega^2}\right)}$
fonction sinus	$\sin(\omega t + \theta) \quad (t > 0)$	$\frac{p \sin \theta + \omega \cos \theta}{p^2 + \omega^2}$
fonction cosinus	$\cos(\omega t).u(t)$	$\frac{1}{\omega^2} \frac{p}{\left(1 + \frac{p^2}{\omega^2}\right)}$
fonction cosinus	$\cos(\omega t + \theta) \quad (t > 0)$	$\frac{p \cos \theta - \omega \sin \theta}{p^2 + \omega^2}$
fonction t^n	$t^n . u(t)$	$n! \frac{1}{p^{n+1}}$

fonction exponentielle	$\exp[-\alpha t] \quad (t > 0)$	$\frac{1}{p + \alpha}$
fonction exponentielle	$e^{-\frac{t}{T}} \cdot u(t)$	$\frac{T}{1 + Tp}$
fonction périodique amortie	$Ee^{-\delta t} \cos \omega t \quad (t > 0)$	$\frac{p + \delta}{(p + \delta)^2 + \omega^2} E$
fonction exponentielle pondérée par t^n	$t \exp[-\alpha t] \quad (t > 0)$	$\frac{1}{(p + \alpha)^2}$
	$t^n \cdot e^{-\frac{t}{T}} \cdot u(t)$	$n! T^{n+1} \frac{1}{(1 + Tp)^{n+1}}$
fonction sinus pondérée par t^n	$t^n \cdot \sin(\omega t) \cdot u(t)$	$\frac{2^n n!}{\omega^{2n+1}} \frac{p^n}{\left(1 + \frac{p^2}{\omega^2}\right)^{n+1}}$
différence de deux fonctions exponentielles	$\left(e^{-\frac{t}{T_1}} - e^{-\frac{t}{T_2}} \right) \cdot u(t)$	$\frac{(T_1 - T_2)}{(1 + T_1 p)(1 + T_2 p)}$
fonction périodique amortie par une exponentielle décroissante	$\left[e^{-\zeta \omega t} \sin(\omega t \sqrt{1 - \zeta^2}) \right] \cdot u(t)$	$\frac{\sqrt{1 - \zeta^2}}{\omega} \frac{1}{1 + 2\zeta \frac{p}{\omega} + \frac{p^2}{\omega^2}}$
fonction périodique non amortie superposée à un régime transitoire apériodique	$\left(\frac{\omega^2 T}{1 + \omega^2 T^2} e^{-\frac{t}{T}} + \frac{\omega \sin(\omega t - \varphi)}{\sqrt{1 + \omega^2 T^2}} \right) \cdot u(t)$ avec $\varphi = \text{Arctg}(\omega T)$	$\frac{1}{(1 + Tp) \left(1 + \frac{p^2}{\omega^2} \right)}$

Un calcul malin....

Utilisons le résultat de la transformée de Laplace de la fonction exponentielle pour calculer SIMULTANEMENT les transformées de Laplace des fonctions sinus et cosinus à partir de la propriété dans Laplace de la fonction exponentielle....

Considérons la fonction $g(t)$, définie sur l'intervalle $[0; \infty[$ par la relation, $g(t) = G \exp[pt]$, où $p = j\omega$.

La propriété de linéarité de l'opérateur de Laplace induit la relation :

$$G(p) = L(G \exp[pt]) = L(G \exp[j\omega t]) = L(G \cos \omega t + jG \sin \omega t) = L(G \cos \omega t) + jL(G \sin \omega t),$$

La fonction image $G(p)$ est donnée par : $G(p) = \frac{G}{p - j\omega} = G \frac{[p + j\omega]}{p^2 + \omega^2}$.

Par identification on obtient les transformées de Laplace des fonctions cosinus et sinus :

$$L(\cos \omega t) = \frac{p}{p^2 + \omega^2}, \quad L(\sin \omega t) = \frac{\omega}{p^2 + \omega^2}$$

III. -APPLICATION A L'ELECTRONIQUE

III.1 -Impédances et notation symbolique

Les impédances symboliques des trois éléments passifs R, C et L traduction dans l'espace de Laplace des équations régissant leur fonctionnement :

La tension u_R aux bornes d'un résistor de résistance R est définie par $u_R(t) = Ri(t)$, d'où l'impédance symbolique

$$Z_R(p) = \frac{U_R(p)}{I_R(p)} = R$$

Impédance symbolique d'un résistor	Impédance symbolique d'un condensateur (sous réserve de conditions initiales nulles)	Impédance symbolique d'un condensateur (sous réserve de conditions initiales nulles)
$Z_R=R$	$u_c(t) = \frac{1}{C} \left(\int_0^t i(\tau) d\tau \right) \rightarrow Z_c(p) = \frac{U_c(p)}{I_c(p)} = \frac{1}{Cp}$	$u_L(t) = L \frac{di(t)}{dt} \rightarrow Z_L(p) = \frac{U_L(p)}{I_L(p)} = Lp$

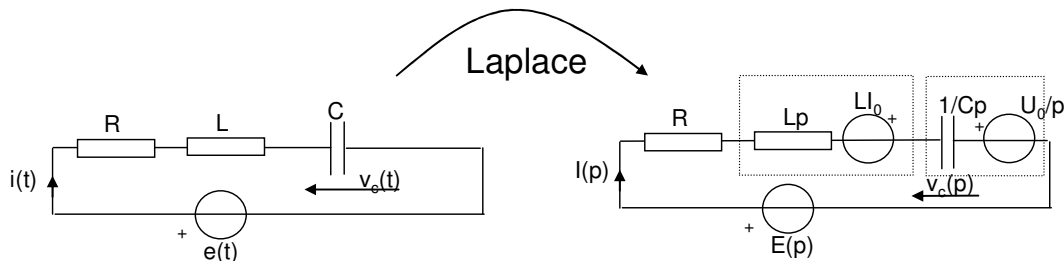
Remarque : On retrouve ainsi la propriété de dérivation et d'intégration de l'opérateur p.

III.2 – Condensateur et Bobine avec conditions initiales

Alors qu'il est habituel de demander les valeurs des conditions initiales pour toute résolution d'équation différentielle, le calcul opérationnel est à tort trop souvent présenté avec des conditions initiales nulles ce qui empêche toute résolution du régime transitoire.

Soit un circuit série R,L,C ; pour lequel on définit les conditions initiales non nulles :

$$u_c(t = 0) = U_0 \text{ et } i(t = 0) = I_0 .$$



En appliquant la loi des mailles sur le circuit, on écrit la relation pour $t > 0$:

$$e(t) = Ri(t) + L \frac{di}{dt} + u_c(t) , \text{ avec, } i(t) = \frac{dq}{dt} = C \frac{du_c}{dt} \Rightarrow u_c(t) = \frac{1}{C} \int_0^t i(\tau) d\tau + U_0 .$$

En appliquant l'opérateur de Laplace à cette expression on obtient :

$$L(e(t)) = L \left(Ri(t) + L \frac{di}{dt} + u_c(t) \right)$$

d'après les propriétés de linéarité, dérivation et intégration, on en déduit :

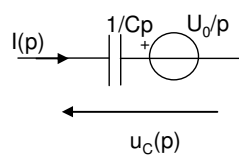
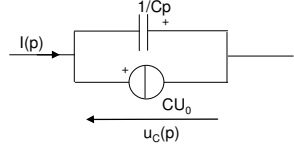
$$E(p) = [RI(p)] + [LpI(p) - LI_0] + \left[\frac{1}{C} \frac{I(p)}{p} + \frac{U_0}{p} \right]$$

$$\text{d'où : } E(p) + LI_0 - \frac{U_0}{p} = \left[R + Lp + \frac{1}{Cp} \right] I(p)$$

Cette expression se traduit par le schéma électrique dans le domaine de Laplace :

Par identification avec la mise en série des impédances R, L, C dans le domaine de Laplace on obtient le schéma équivalent dans l'espace de Laplace d'une inductance et d'une capacité avec prise en compte des conditions initiales.

Condition initiale (à t=0) représentée par le courant d'intensité I_0 traversant une bobine d'inductance L		
Traduction dans LAPLACE	Mise en série avec l'impédance Lp de l'inductance d'une source de tension impulsionnelle $u_{ci,L}(t) = LI_0 \delta(t)$ en série avec l'inductance	
	Mise en parallèle avec l'inductance d'une source de courant indicielle $I_{ci,L}(p) = \frac{LI_0}{Lp} = \frac{I_0}{p} \Rightarrow i_{ci,L}(t) = I_0 u(t)$.	

Condition initiale (à t=0) représentée par la charge initiale U_0 d'un condensateur de capacité C		
	Mise en série de l'impédance $1/(Cp)$ d'une source de tension indicielle $u_{ci,C}(t) = U_0 u(t)$	
	Mise en parallèle de l'impédance $1/(Cp)$ d'une source de courant impulsionnelle $i_{ci,C}(t) = CU_0 \delta(t)$	

III.3 –Signaux électroniques usuels et transformées

a) Signal échelon (fonction de Heaviside) :

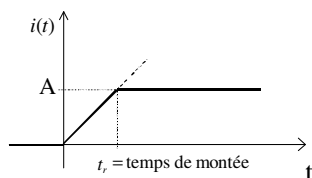
La transformée de Laplace de la fonction $f(t)$ n'étant définie que dans le cas où $t > 0$, afin de traiter des fonctions indépendantes du temps et de définir l'origine des temps (par exemple une fonction constante associée à un régime continu) on définit la fonction $u(t) = \frac{1}{2}(1 + \text{sgn}(t))$ par :

$$\begin{aligned} u(t) &= 0 & \forall t < 0 \\ u(t) &= 1 & \forall t > 0 \end{aligned} \quad , \text{ l'image de } u(t) \text{ est donnée par la relation : } U(p) = \int_{0^+}^{\infty} e^{-pt} dt = \frac{1}{p}$$

Remarque : Nombreux sont les mathématiciens ne sachant se mettre d'accord sur la relation $u(t=0)=1/2$; peu importe la transformée de Laplace étant défini pour $t=0^+$.

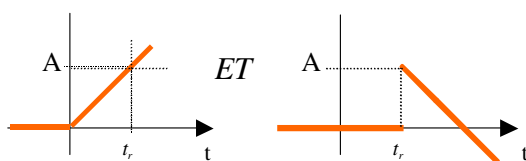
b) Signal échelon avec temps de montée non nul :

On considère le signal $i(t)$ défini par un temps de montée t_r , dont l'amplitude varie entre 0 et A :



$i(t)$ étant constitué par la superposition d'un signal type rampe et du même signal retardé et de signe opposé, d'après la propriété de linéarité et de délai, l'image $I(p)$ est donnée par la relation :

$$I(p) = L\left(\frac{t}{t_r} Au(t)\right) + L\left(-\frac{t}{t_r} Au(t-t_r)\right)$$



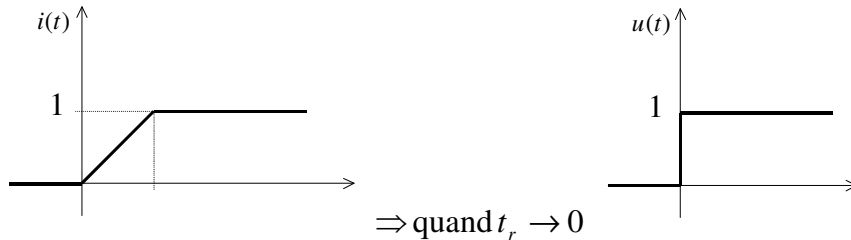
D'où :

$$I(p) = \frac{A}{t_r p^2} (1 - e^{-pt_r})$$

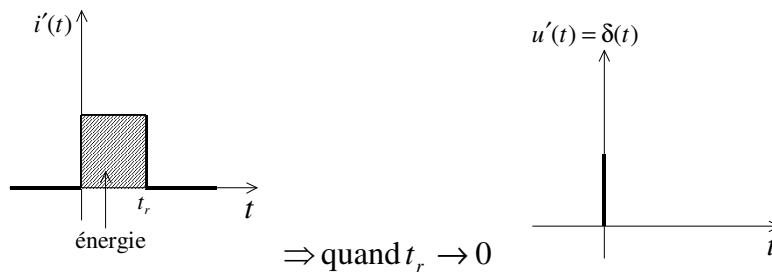
Transformée de Laplace du signal échelon avec temps de montée t_r , et amplitude A.

c). fonctions échelon et fonction de Dirac :

En faisant tendre $t_r \rightarrow 0$, le signal $i(t)$ se confond avec le signal $u(t)$ associé à la fonction « échelon » .



La dérivée des fonctions $i(t)$ et $u(t)$ est représentée ci-dessous :



la fonction $\delta(t)$ est associé à l'impulsion de Dirac et représente une impulsion de très courte durée, de grande amplitude transportant une énergie finie.

$$L[\delta(t)] = L\left[\frac{du(t)}{dt}\right] = p \frac{1}{p} - u(t=0) = 1$$

On vérifie aussi que

$$L[i'(t)] = p \frac{1}{t_r p^2} (1 - \exp[-t_r p])$$

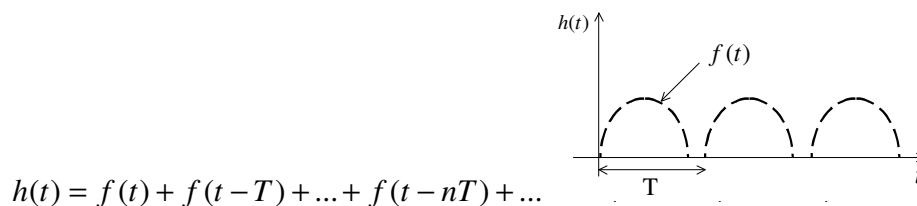
Lorsque $t_r \rightarrow 0$, le développement limité à l'ordre 1 de la fonction exponentielle induit $\exp[-t_r p] = 1 - t_r p$

D'où :

$$L[i'(t)] \xrightarrow{t_r \rightarrow 0} \frac{1}{t_r p} (1 - (1 - t_r p)) = 1$$

d) Signal périodique : $h(t)$

On considère un signal périodique $h(t)$:



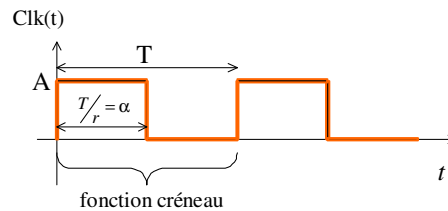
$L[h(t)]$ se déduit d'après la propriété de linéarisation : $L[h(t)] = F(p)(1 + e^{-pT} + \dots + e^{-npT} + \dots)$

$L[h(t)] = H(p) = F(p) \frac{1}{1 - e^{-pT}}$, transformée de Laplace du signal de périodicité $f(t)$, de période T .

e). Signal d'horloge :

On définit le signal $\text{Clk}(t)$ de période T , de durée α à l'état haut $\alpha = T/r$; avec $T/r = r$ rapport cyclique

(« duty cycle » en anglais) du signal:



L'image $\text{CLK}(p)$ se déduit de l'approche suivante :

Etape 1 : Identification de la transformée de Laplace de la fonction créneau $C(p)$.

En appliquant le même raisonnement que pour le cas du signal échelon avec temps de montée non nul, on obtient :

$$C(p) = \frac{A}{p} (1 - e^{-\alpha p})$$

Etape 2 : Modélisation de la périodicité du signal créneau constituant le signal d'horloge.

$$H(p) = C(p) \frac{1}{1 - e^{-pT}} = \frac{A}{p} \frac{1 - e^{-\alpha p}}{1 - e^{-pT}}$$

Remarque : Dans le cas où $\alpha = T$, la fonction horloge devient une fonction échelon ; ce que vérifie l'application numérique du résultat précédent puisque $H(p) = \frac{A}{p}$, ce qui correspond bien à la transformée de Laplace de la fonction échelon.

TESTEZ VOS CONNAISSANCES

☉ Démontrer les propriétés suivantes :

Propriété de dérivation	$\mathcal{L}\left(\frac{d^n f}{dt^n}\right) = p^n F(p) - \sum_{i=0}^{n-1} [p^{n-i-1} \cdot f^{(i)}(0^+)] = p^n F(p)$ Si toutes les conditions initiales sont nulles
Théorème du retard	$\mathcal{L}[f(t - \alpha)] = F(p)e^{-\alpha p}$ où $e^{-\alpha p}$ exprime le retard.

☉ Démontrer que l'équation différentielle au bornes d'un condensateur d'un réseau électrique RC, attaqué par une signal d'entrée de tension $u_e(t)$ s'écrit :

$$R C \frac{d u_s(t)}{d t} + u_s(t) = u_e(t)$$

■ En considérant une charge initiale S_0 du condensateur, démontrer que la réponse temporelle au signal d'entrée $u_e(t) = E \sin \omega t$ est définie par :

$$u_s(t) = \frac{ERC\omega}{1+R^2C^2\omega^2} \exp\left[-\frac{t}{RC}\right] + \frac{E}{\sqrt{1+R^2C^2\omega^2}} \sin(\omega t + \varphi) = u_{s,libre}(t) + u_{s,\text{établi}}(t)$$

avec $\varphi = \text{Arc tan}(-RC\omega) = -\text{Arc tan}(RC\omega)$

■ Etablir le parallèle avec l'expression module et argument d'un tracé dans le diagramme de Bode.

3) Un montage électronique (élaboré à base d'A.Os) admet comme fonction de transfert la fonction suivante :

$$T(p) = \frac{K}{1 + \frac{2}{\omega_n} p + \frac{1}{\omega_n^2} p^2}, \text{ avec } K = 100 \text{ et } \omega_n = 2\pi f_n \text{ avec } f_n = 10 \text{ kHz}.$$

■ Le signal $e(t) = E \cos(2\pi f_e t)$, où $E = 40 \text{ mVolts}$ et où $f_e = 10 \text{ kHz}$, est appliqué en entrée de ce montage. Donner l'expression du signal de sortie $s(t)$ correspondant.

■ Même question mais avec $E = 1 \text{ Volt}$ et $f_e = 100 \text{ kHz}$.

■ Le signal $e(t) = E \cos(2\pi f_1 t) \cos(2\pi f_2 t)$, où $E = 40 \text{ mVolts}$, avec $f_1 = 52 \text{ kHz}$ et $f_2 = 48 \text{ kHz}$, est appliqué en entrée de ce montage. Donner l'expression exacte du signal de sortie $s(t)$ correspondant.

■ Le signal $e(t) = \begin{cases} E & \text{si } t \geq 0 \\ 0 & \text{si } t < 0 \end{cases}$, où $E = 40 \text{ mVolts}$, est appliqué en entrée de ce montage. Donner l'expression du signal de sortie $s(t)$ correspondant. Si nécessaire vous pourrez vous servir du théorème de l'intégration en remarquant que

$$\frac{p}{(p + \alpha)^2} \quad \text{a pour transformée de Laplace} \quad \frac{\partial}{\partial t} \{t \cdot e^{-\alpha t}\}$$

CONCLUSION

Le calcul opérationnel permet donc d'obtenir globalement la réponse complète du circuit, en régime transitoire et en régime établie. Il permet de substituer la résolution de l'équation différentielle d'un montage par une identification d'une somme de fonctions unitaires, dont les transformées inverses de Laplace sont connues. La résolution du système s'effectue en déterminant les racines du polynôme pour le factoriser avant sa décomposition en éléments simples.

Il est important de souligner qu'il existe des techniques expérimentales (réponse à impulsionnelle, réponse impulsionnelle) qui permettent d'identifier la fonction de transfert. Dès lors un système pourra être résolu sans connaître sa structure physique, c'est-à-dire sans être en mesure d'écrire son système d'équations différentielles.

Chapitre 5

Traitement de l'information

Le lecteur est en droit de s'interroger sur le fait que l'analyse des fonctions de transfert s'étudie en régime sinusoïdal alors que la plupart des signaux utilisés, que ce soit en basse ou en haute fréquence, ne sont que très rarement purement sinusoïdaux.

On doit à Joseph Fourier (1768 - 1830) mathématicien et physicien français, dont le nom est inscrit la Tour Eiffel avec soixante-onze autres savants, les travaux sur la décomposition de fonctions périodiques en séries trigonométriques convergentes appelées séries de Fourier :

« Tout signal est constitué par un mélange de signaux sinusoïdaux dont les fréquences respectives sont multiples de la fréquence fondamentale, la fréquence la plus basse. Ces fréquences multiples de la fréquence fondamentale sont appelés harmoniques ».

En langage mathématique :

$$n \in \mathbb{N} \quad \text{et} \quad \omega = \frac{2\pi}{T} \quad f(t) = a_0 + \sum_{n=1}^{\infty} (a_n \cos n\omega t + b_n \sin n\omega t)$$

$$a_0 = \frac{1}{T} \int_0^T f(t) dt \quad a_n = \frac{2}{T} \int_0^T f(t) \cos n\omega t dt \quad \text{et} \quad b_n = \frac{2}{T} \int_0^T f(t) \sin n\omega t dt$$

Le terme $(a_n \cos n\omega t + b_n \sin n\omega t)$ est appelé **Harmonique de rang n**, qui écrit sous la forme module argument d'un complexe :

$$(a_n \cos n\omega t + b_n \sin n\omega t) = \left(\frac{a_n}{\sqrt{a_n^2 + b_n^2}} \cos n\omega t + \frac{b_n}{\sqrt{a_n^2 + b_n^2}} \sin n\omega t \right) = c_n \cos(n\omega t - \theta_n)$$

Permet de parfaitement identifier tout signal sous la forme d'une somme de fonctions sinusoïdales :

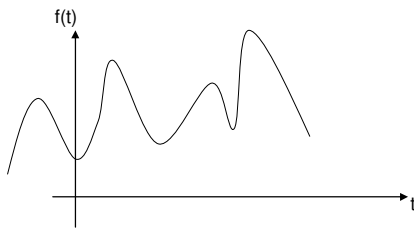
$$f(t) = a_0 + \sum_{n=1}^{\infty} [c_n \cos(n\omega t - \theta_n)]$$

Avec :

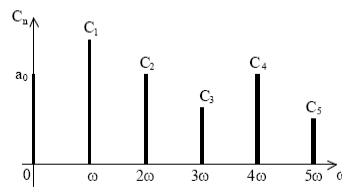
$$c_n = \sqrt{a_n^2 + b_n^2},$$

$$\cos \theta_n = \frac{a_n}{\sqrt{a_n^2 + b_n^2}}, \quad \sin \theta_n = \frac{b_n}{\sqrt{a_n^2 + b_n^2}}$$

D'où deux formes de représentation d'un signal :



Représentation temporelle



Représentation fréquentielle

Remarque :

le calcul de ces coefficients peut se simplifier si la courbe représentative de la fonction f(t) admet :

- un centre de symétrie situé sur l'axe Ox, alors, en choisissant ce point comme origine des temps, on a $f(-t) = -f(t)$, définition d'une fonction impaire.
 - les termes en ai seront nuls et son développement en séries de Fourier ne comportera que des termes en sinus.
- l'axe des ordonnées comme axe de symétrie, alors $f(-t) = f(t)$, la fonction f(t) est dite fonction paire).
 - les coefficients bi seront nuls, le développement en séries de Fourier ne contient alors que des termes en cosinus.

I. -SPECTRE D'UN SIGNAL : NOTIONS D'HARMONIQUES

I.1 Observations

Soit le signal la3 du piano, de fréquence fondamentale 440 Hertz.

Fréquence	Rang de l'harmonique	Nom
440Hz	rang 1 : le FONDAMENTAL	La3
880Hz	rang2	La4
1320Hz	rang3	La5
1760Hz	rang4	La6
2200Hz	rang5	La7
2640Hz	rang6	La8

3080Hz

rang 7

La9

La même note jouée par exemple sur un autre type d'instrument de musique ne rend pas du tout le même son et pourtant la fréquence fondamentale est la même : 440 Hz.

Ce qui fait la différence entre les deux sons est la **proportion d'harmoniques et leur valeur** : un son assourdi est pauvre en harmoniques, par opposition à un son brillant qui en comporte beaucoup.

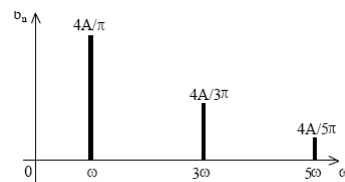
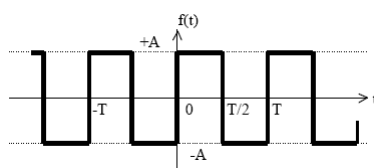
I.2 Exemple de représentation pour un signal d'horloge

Considérons un signal d'horloge à valeur moyenne nulle, d'amplitude $2A$ et de période T . En observant que la fonction est impaire, seuls les termes en sinus sont à identifier :

$$a_0 = \frac{1}{T} \int_0^T f(t) dt \quad a_n = 0 \quad \text{et} \quad b_n = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \sin n\omega t dt = \frac{2A}{n\pi} (1 - \cos n\pi) = \frac{2A}{n\pi} [1 - (-1)^n]$$

Soit

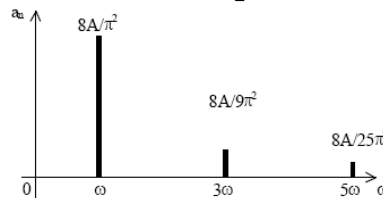
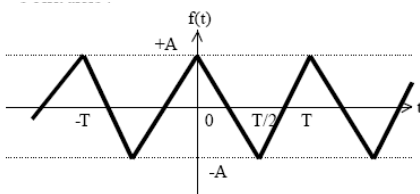
$$f(t) = \frac{4A}{\pi} \left[\sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) + \dots \right]$$



I.3 Exemple de représentation pour un signal triangulaire

Intéressons nous à l'exemple d'un signal triangulaire, à la valeur moyenne nulle, d'amplitude $2A$, de période T . Remarquons que le signal triangulaire peut être issu de l'intégration d'un signal d'horloge. La fonction est paire, et s'écrit :

$$f(t) = \frac{8A}{\pi^2} \left[\cos(\omega t) + \frac{1}{3^2} \cos(3\omega t) + \frac{1}{5^2} \cos(5\omega t) + \dots \right]$$



II. -FILTRER UN SIGNAL

Qu'il soit d'origine acoustique, mécanique, chimique, thermique, ..., tout signal électrique peut être analysé dans le domaine temporel et dans le domaine fréquentiel.

Le tracé dans le plan de Bode du module de la fonction de transfert d'un système démontre que les différentes composantes sinusoïdales d'un signal d'entrée ne sont pas uniformément transformées : on parle de distorsion des harmoniques du signal d'entrée. Dans des applications de filtrage, on va exploiter cette propriété pour trier les composantes d'un signal en fonction des fréquences, tout en gardant présent à l'esprit qu'un filtre agit sur l'amplitude et la phase des composantes fréquentielles. On qualifie un filtre d'idéal lorsqu'il n'a aucune action sur la phase.

II.1 - Propriétés des filtres

Qu'il soit passif ou actif lorsqu'il nécessite des tensions de polarisation, la propriété d'un filtre est identifiable par sa fonction de transfert $H(j\omega) = u_s/u_e$ ou $\underline{T}(f) = u_s/u_e$, qui selon la valeur de la fréquence va :

- amplifier,
- atténuer,
- ou déphaser différemment les composantes spectrales d'un signal.

On rappelle qu'une fonction de transfert peut être établie en fonction de la pulsation ω , ou de la fréquence f , ou de la variable de Laplace p , avec $p=j\omega$, ou encore de la variable réduite x avec $x=\omega/\omega_c=f/f_c$, où ω_c et f_c représentent respectivement la pulsation et la fréquence de coupure.

Exprimée sous la forme d'un quotient de deux polynômes, le degré du dénominateur, toujours supérieur ou égal au degré du numérateur, définit l'ordre du filtre.

Suivant les intervalles ou les valeurs des fréquences transmises ou atténuées, c'est-à-dire en considérant la variable x respectivement inférieure ou supérieure à l'unité, on distinguera :

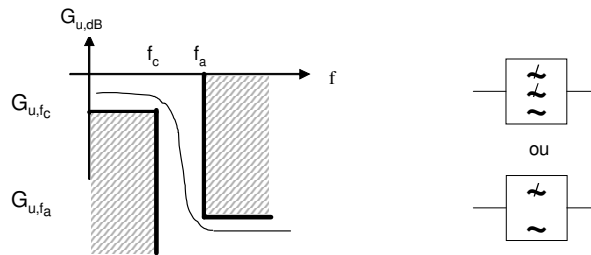
- le filtre **passé-bas** qui ne modifie pas les signaux de fréquence basse,
- le filtre **passé-haut**, qui atténue les signaux faible fréquence,
- le filtre **passé-bande** qui autorise le passage d'une bande de fréquences,
- le filtre **coupe bande** ou **réjecteur de bande** qui supprime un intervalle de fréquences.

II.2 - Filtre passé-bas

Dans le plan de Bode, la variation du module du filtre passé-bas est donnée par le gabarit du filtre où on identifie :

- la fréquence de coupure f_c , et son gain noté G_{u,f_c} exprimé en dB,
- la fréquence d'atténuation f_a et et son gain G_{u,f_a} exprimé en dB

Cette représentation idéale du filtre délimite les zones interdites qui sont hachurées. On définit la sélectivité du filtre, que l'on notera k avec $k=f_c/f_a$, comme la capacité du filtre à réaliser sa fonction sur des intervalles de fréquence distincts. Le filtre passé-bas sera sélectif si f_c et f_a sont très proches avec G_{u,f_a} très supérieur à G_{u,f_c} ; d'où une variation de pente très forte et un filtre parfait aurait une sélectivité égale à 1 !!!



Gabarit d'un filtre passé-bas

Remarque :

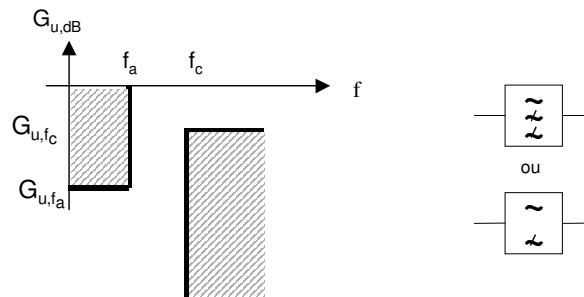
Le symbole associé au filtre passé-bas, on barre les intervalles de fréquence non transmis par le filtre.

Filtre passé-bas d'ordre 1	Filtre passé-bas d'ordre 2
<div style="text-align: center; border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> $H(x) = \frac{H_0}{1 + jx}$ </div> <p>avec $x = \frac{\omega}{\omega_c} = \frac{f}{f_c}$</p> <p>et H_0 gain défini lorsque x tend vers zéro, d'où l'appellation de gain statique.</p> <p>3 zones distinctes à étudier</p> <ul style="list-style-type: none"> • x très inférieur à 1, soit $f \ll f_c$, la fonction de transfert est constante et prend la valeur de son gain statique H_0 : les harmoniques du signal compatibles inférieurs à f_c sont amplifiés si H_0 est supérieur à 1 ce qui est possible uniquement si le filtre est actif. 	<div style="text-align: center; border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> $H(x) = \frac{H_0}{1 + jx/Q - x^2}$ </div> <p>avec Q facteur de qualité.</p> <p>L'asymptote haute fréquence est une droite de pente -40dB/décade et selon les valeurs du facteur de qualité on observe un risque de résonance sur le module de la fonction de transfert .</p>

- x très supérieur à 1, $f \gg f_c$, la fonction de transfert tend vers $-jT_0/x$, le module varie en $1/x$ et la phase tend vers $-\pi/2$. Dans le plan de Bode, cette variation du module se traduit par une droite d'asymptote -20dB/décade .
- $x = 1$, $f = f_c$, le module est égal à $H_0 / \sqrt{2}$, ce qui correspond à un affaiblissement de 3dB caractéristique de la définition de la bande passante d'un système.

II.3 - Filtre passe-haut

On définit la forme canonique d'un filtre passe-haut de sélectivité $k=f_a/f_c$ d'ordre 1 ou d'ordre 2 dont le gabarit et le symbole sont donnés sur la figure suivante avec :

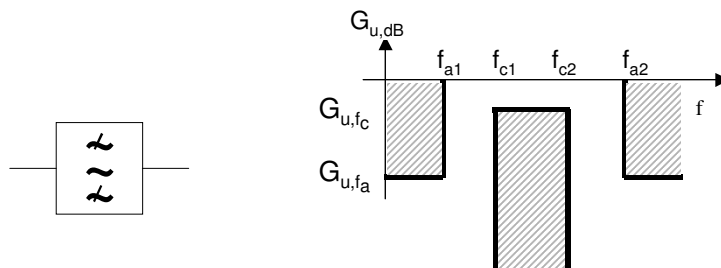


Filtre passe-haut d'ordre 1	Filtre passe-haut d'ordre 2
$H(x) = H_0 \frac{jx}{1 + jx}$	$H(x) = H_0 \frac{-x^2}{1 + jx/Q - x^2}$

En étudiant ces fonctions de transfert en basse fréquence, soit pour x très inférieur à f_c , on remarque que l'asymptote est une droite de pente $+20\text{dB/décade}$ pour le filtre d'ordre un, contre $+40\text{dB/déc}$ dans l'autre cas. Le même raisonnement pour les hautes fréquences permet de déduire une asymptote horizontale à $20\lg H_0$ lorsque x est supérieur à f_c .

II.4 - Filtre passe-bande

Il existe de nombreuses applications où il est nécessaire d'extraire une bande de fréquences du spectre d'un signal. On réalise cette opération par un filtre passe-bande dont le symbole électrique et le gabarit sont donnés ci-dessous.



Notons que gabarit du filtre passe-bande semble de déduire de la juxtaposition :

- d'un filtre passe-haut de fréquence de coupure f_{c1}
- d'un filtre passe-bas de fréquence de coupure f_{c2} .

La différence $f_{c1}-f_{c2}$ caractérise l'intervalle de fréquence non affectées par le filtre : c'est la largeur de bande du filtre.

En conséquence, l'identification d'un filtre passe-bande se fera en étudiant les limites de la fonction de transfert en zéro et à l'infini.

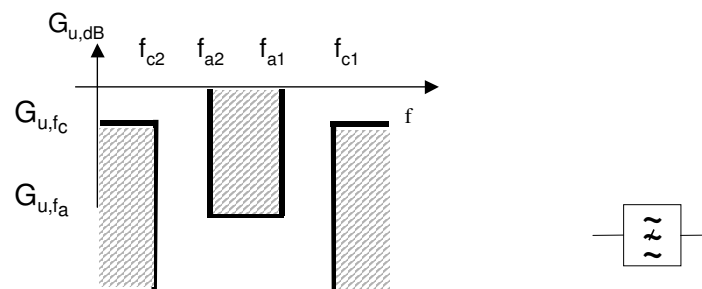
La forme canonique minimale d'un filtre passe-bande est d'ordre deux, avec :

$$H(x) = H_0 \frac{jx/Q}{1 + jx/Q - x^2} \text{ avec } x \text{ pulsation normalisée défini par } x = \omega/\omega_0.$$

Les asymptotes basses fréquences et hautes fréquences, données respectivement lorsque x tend vers 0 ou x tend vers l'infini, sont des droites de pente $+20\text{dB/dec}$ et -20dB/dec .

II.5 - Filtre coupe-bande ou réjecteur de bande :

Un filtre réjecteur de bande réalise en quelque sorte la fonction duale du filtre passe-bande en supprimant les harmoniques du signal appartenant à un intervalle de fréquences. Son gabarit est déduit du gabarit d'un filtre passe-bas de fréquence de coupure f_{c2} associé à un filtre passe-haut de fréquence de coupure f_{c1} .



La forme canonique du filtre réjecteur de bande d'ordre deux (ordre minimal) est définie par :

$$H(x) = H_0 \frac{1 - x^2}{1 + jx/Q - x^2} \text{ avec } x = \omega/\omega_0, \text{ avec des asymptotes basse et haute fréquence qui sont des droites horizontales.}$$

III. -FILTRE ACTIF OU FILTRE PASSIF

III.1 - Influence de l'impédance de charge :

Soit un réseau RC donné pour lequel on détermine l'expression de la tension de sortie u_s par rapport à la tension d'entrée u_e en appliquant le théorème du pont diviseur de tension :

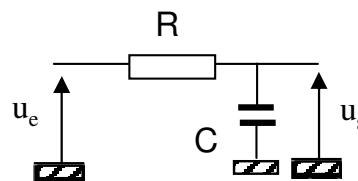
$$u_s = \frac{1/(jC\omega)}{R + 1/(jC\omega)} u_e$$

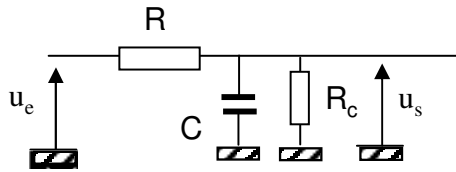
On en déduit la fonction de transfert :

$$H(j\omega) = \frac{u_s}{u_e} = \frac{1}{1 + jRC\omega} \text{ soit encore}$$

$$H(x) = \frac{1}{1 + jx} \text{ avec } x = \omega/\omega_c \text{ et } \omega_c = RC.$$

On retrouve l'expression de la forme canonique du filtre passe-bas d'ordre 1.





En connectant une charge R_c en sortie du filtre on modifie les caractéristiques du réseau électrique :

$$u_s = \frac{R_c / (1 + jR_c C \omega)}{R + R_c / (1 + jR_c C \omega)} u_e = \frac{R_c}{R + R_c + jRR_c C \omega} u_e$$

D'où l'expression de la nouvelle fonction de transfert :

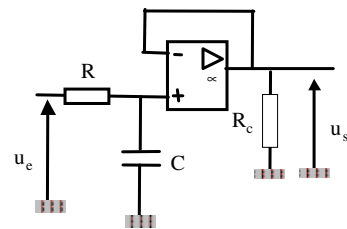
$$H(j\omega) = \frac{R_c}{R + R_c} \left(\frac{1}{1 + j(R // R_c) C \omega} \right)$$

où apparaît une nouvelle pulsation de coupure $\omega_c = C(R // R_c)$ et un gain statique $H_0 = R_c / (R + R_c)$.

Reprenons l'exemple en intercalant un montage avec un A.O entre la charge R_c et le filtre passe-bas RC. Sous l'hypothèse A.O idéal, $\epsilon = 0$, soit $u_+ = u_-$ avec

$$u_+ = \frac{1 / (jC\omega)}{R + 1 / (jC\omega)} u_e$$

et $u_- = u_s$ tant que le courant I qui traverse R_c reste inférieur à I_{smax} , condition de saturation en courant de l'A.O.



On en déduit que les caractéristiques intrinsèques du filtre passe-bas ne sont pas modifiés par l'ajout de R_c :

$$u_s = \frac{1 / (jC\omega)}{R + 1 / (jC\omega)} u_e \quad \forall R_c$$

TESTEZ VOS CONNAISSANCES

☉ Intégrer , Dériver, ???

Dans sa bande atténuée, un filtre passe-bas du premier ordre a un comportement :

* pseudo-dérivateur ou pseudo-intégrateur.

Dans sa bande passante, un filtre passe-bas du premier ordre a un comportement :

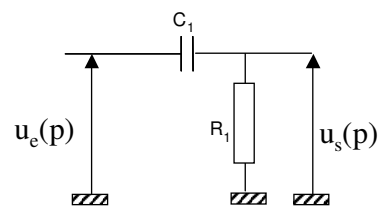
* pseudo-dérivateur ou pseudo-intégrateur.

Posez-vous les mêmes questions pour les autres types de filtres.

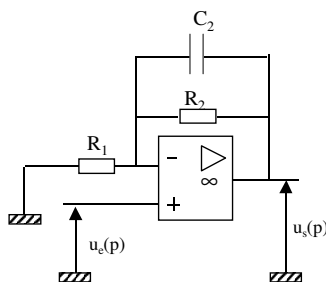
☉ Filtre Passif ou Actif? On considère le filtre constitué par un résistor de résistance $R_1=10k\Omega$ et un condensateur de capacité $C_1=1nF$.

Etablir la fonction de Transfert en considérant la capacité déchargée à $t=0$. Déterminer τ_1 , constante de temps du montage..

Effectuer le tracé asymptotique de $T(f)$ dans le plan de BODE. Préciser la valeur de $f_{c,1}$ fréquence de coupure montage. Quel type de filtre obtient-t-on ? Quelle valeur maximale du gain en tension peut-on espérer ?



Calculer et tracer la réponse du montage au signal de consigne $u_e(t)=Eu(t)$ avec $E=10V$ et $u(t)$ fonction échelon de tension.



On considère le montage suivant où l'A.O est supposé idéal. Les tensions d'alimentation sont $\pm 15V$ Volts.

En considérant la capacité déchargée, identifier les paramètres $T_{2,0}=T_2(\omega=0)$, τ_1 , τ_2 dans l'expression de la fonction de transfert

$$T_2(\omega) = \frac{u_s(\omega)}{u_e(\omega)} = T_0 \frac{1 + j\omega\tau_1}{1 + j\omega\tau_2}$$

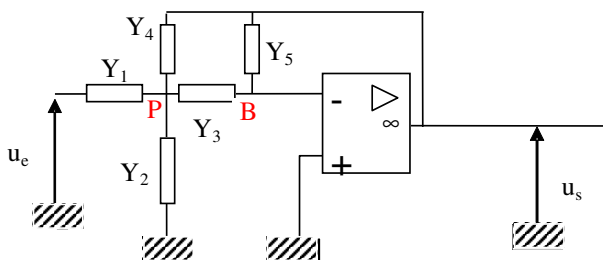
On définit $R_2=100k\Omega$, $C_2=10nF$, déterminer R_1 pour garantir un gain statique $T_{2,0}=40dB$. En déduite la valeur de deux fréquence de coupure.

Esquisser le tracé asymptotique de $T_2(f)$ dans le plan de Bode. Donner un nom au montage.

☉ L'architecture de la cellule de Rauch présentée est constituée par cinq dipôles passifs d'admittances Y_i associés en double contre réaction sur un A.O : on réalise ainsi une architecture à contre réaction multiple (en anglais Multiple Loop Feedback). En considérant l'A.O idéal, en en appliquant le théorème de Millman aux nœuds en P et B avec $u_B=0$ démontrer que

$$H(j\omega) = \frac{u_s}{u_e} = - \frac{Y_1 Y_3}{Y_5 (Y_1 + Y_2 + Y_3 + Y_4) + Y_3 Y_4}$$

En posant $Y_1 = 1/R$, $Y_2 = jC_1\omega$, $Y_3 = 1/R$, $Y_4 = 1/R$, $Y_5 = jC_2\omega$ déterminer le type e filtre obtenu, écrivez l'expression de la fonction de transfert, et démontrer que la pulsation de coupure est définie par $\omega_c = (R^2 C_1 C_2)^{-1/2}$ avec un facteur de qualité du filtre $Q = [C_1 / (9C_2)]^{1/2}$.



Chapitre 6

Montages électroniques à base d'A.Os

Tout système peut se modéliser par une fonction de transfert et une bande passante définie par la fréquence de coupure, le gain stationnaire et l'évolution du déphasage. Les caractéristiques intrinsèques d'un amplificateur opérationnel sont fixées par le fabricant de ce composant intégré. Elles sont de ce fait immuables et dépendent du type d'amplificateur choisi.

De son côté le concepteur de circuits électroniques a généralement à réaliser des fonctions de transfert particulières dont les caractéristiques coïncident rarement avec celles des amplificateurs opérationnels du commerce.


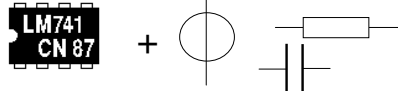
Pour réaliser ces fonctions de transfert spécifiées par un cahier des charges, l'utilisateur a la possibilité d'inclure ces amplificateurs dans des circuits plus ou moins complexes comprenant, outre l'amplificateur opérationnel qui en est l'élément actif, des éléments passifs tels que des résistances R , des condensateurs C ou plus rarement des inductances L . On définit ainsi des fonctions de transfert en boucle fermée, dont nous allons présenter ci-après quelques exemples.

I. -ELECTRONIQUE ANALOGIQUE A BASE D'A.OS

Les caractéristiques essentielles d'un amplificateur opérationnel (A_0 , f_c) sont fixées par le concepteur fabricant de ce composant intégré. On constate que l'ensemble des fabricants d'A.O proposent des valeurs de gain statique $G_{u,dB}$ de l'ordre de 100dB. L'utilisation « brute » de ce composant sans risque de saturation en amplitude induirait des gammes de tension différentielles d'entrée inférieures au microvolt (μV) c'est-à-dire de l'ordre voire même inférieures aux niveaux de bruits.

Le concepteur électronique va construire de nouvelles fonctions de transfert en rajoutant des éléments autour de l'A.O qui vont reboucler la sortie de l'A.O sur son entrée inverseuse (notée -) : c'est la notion de montage en boucle fermée avec une rétroaction négative qui garantit un fonctionnement en régime linéaire avec une tension différentielle ε quasi nulle.

L'architecture de contre-réaction définit une nouvelle fonction de transfert que l'on notera $T(f)$ (ou $T(p)$) dans l'espace de Laplace (cf. annexe Laplace) avec les nouveaux paramètres qui seront fonction des paramètres de contre réaction et des paramètres de l'A.O.

Paramètres	Montage électronique boucle ouverte OPEN LOOP	Montage électronique boucle fermée CLOSED LOOP
		
Impédance d'entrée	$R_e = \frac{\epsilon}{i_e}$	$Z_e = \frac{u_e}{i_e}$
Impédance de sortie	$R_s = \frac{s}{i_{s,cc}}$	$Z_s = \frac{u_s}{i_{s,cc}}$
Fonction de transfert	$A(f) = \frac{s(f)}{\epsilon(f)} = \frac{A_0}{1 + j \frac{f}{f_c}}$	$T(f) = \frac{u_s(f)}{u_e(f)} = \frac{T_0}{1 + j \frac{f}{f_{c,r}}}$
Gain stationnaire	A_0	T_0
Fréquence de coupure	f_c	$f_{c,r}$

II. –MONTAGE AMPLIFICATEUR NON INVERSEUR

II.1 Fonction de transfert

En supposant l'A.O idéal en fonctionnement en régime linéaire ($\epsilon=0$). On a les relations :

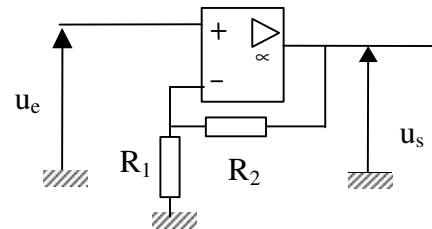
$$u_+ = u_e \text{ et } u_- = \frac{R_1}{R_1 + R_2} u_s ; \text{ d'où}$$

$$u_s = \left(1 + \frac{R_2}{R_1}\right) u_e$$

soit un gain en tension :

$$T = \frac{u_s}{u_e} = \left(1 + \frac{R_2}{R_1}\right)$$

Remarque : au vu de l'hypothèse A.O idéal c'est en réalité de gain stationnaire en boucle fermée qui est calculé, soit $T=T_0$.



A supposer que l'on souhaite fixer le facteur d'amplification en tension du montage à la valeur 10 (soit 20dB), on ne dispose que d'une équation $R_2=9R_1$ pour fixer les valeurs de résistances des résistors R_1 et R_2 .

Néanmoins l'hypothèse **A.O idéal** qui a conduit à cette relation, suppose l'utilisation de résistances :

- **inférieures à l'impédance différentielle d'entrée R_e** qui a été considérée comme infinie,
- **supérieures à l'impédance de sortie R_s** qui a été considérée comme nulle.

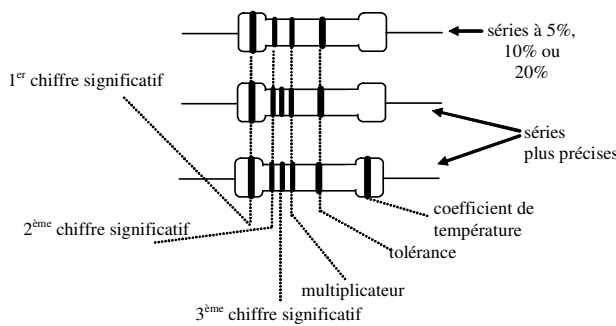
Enfin, la structure interne du composant autorise des valeurs de courant de l'ordre de quelques mA. Dès lors les niveaux de tension maximum en entrée étant compris entre $+u_{ALIM}$ et $-u_{ALIM}$, avec $|u_{ALIM}|$ de l'ordre de 3 à 15 Volts, les résistances seront dans la gamme du k Ω .

Par exemple le couple $(R_1, R_2)=(1k\Omega, 10k\Omega)$ induit un gain théorique de 11, alors que le couple $(R_1, R_2)=(10\Omega, 100\Omega)$ qui donne théoriquement le même gain est électriquement INTERDIT.

On rappelle que les résistances sont données dans des gammes de valeur (série E12, E24, E48, E96) avec une tolérance variant de 5% à 0.1 %, et des fluctuations selon la température. Aussi à faible coût, il serait vain d'essayer de construire avec cette architecture un gain strictement égal à 10.

Rappel : décodage de la valeur d'une résistance en composant discret :

Les résistances qui seront couramment utilisées en travaux pratiques sont marquées à l'aide d'anneaux fins et colorés qui permettent de déterminer la valeur de la résistance en ohms, sa tolérance et parfois son coefficient de température.



couleur	chiffres significatifs	multiplicateur	tolérance	coefficient de température
aucune			20%	
argent		0,01	10%	
or		0,1	5%	
noir	0	10 ⁰		
marron	1	10 ¹	1%	100 ppm/°C
rouge	2	10 ²	2%	50 ppm/°C
orange	3	10 ³		15 ppm/°C
jaune	4	10 ⁴		25 ppm/°C
vert	5	10 ⁵	0,5%	
bleu	6	10 ⁶	0,25%	
violet	7	10 ⁷	0,1%	
gris	8			
blanc	9			

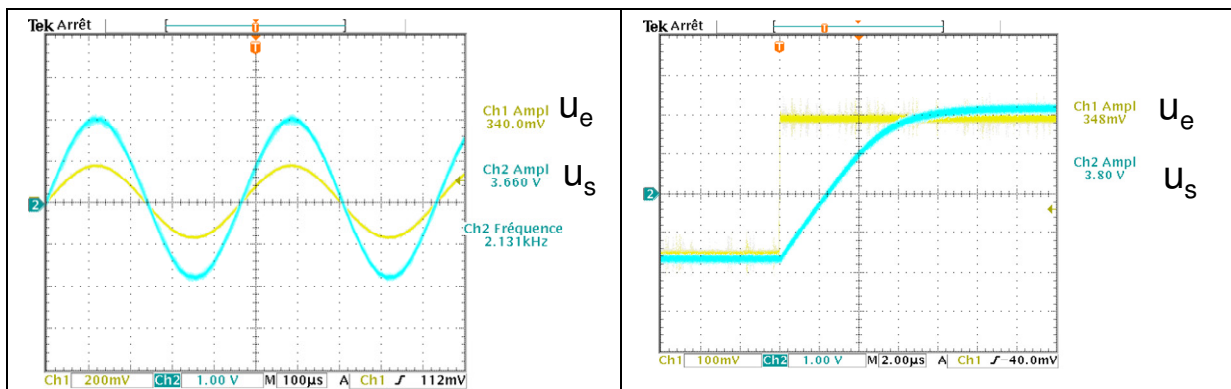
Exemple : Soit résistance marquée (de gauche vers la droite) par la succession des anneaux marron noir rouge et or, sa valeur sera donc égale à $10 \times 10^2 = 1000 \Omega$ avec une tolérance de 5%. De même la résistance marquée gris rouge jaune et argent aura pour valeur 820 kΩ avec une précision de 10%.

En pratique, pour éviter une surchauffe avec risque de feu, tout concepteur doit s'interroger en permanence sur la puissance électrique qu'une résistance est susceptible de dissiper dans le circuit ou elle se trouve montée. On les distingue aisément par la taille du composant, une résistance pouvant dissiper 1 watt correspond à peu près à un cylindre long de 1,5 cm et de 5 mm de diamètre. La série la plus couramment utilisée correspond à une dissipation maximale de un quart de watt.

II.2 - Mise en évidence de la saturation en amplitude

On réalise le montage assurant le gain théorique de 11, en utilisant un A.O type LM741C.

- Dans le cas d'un signal d'entrée sinusoïdal de fréquence 222Hz, on observe que le signal de sortie est en phase avec le signal d'entrée et présente une amplitude environ 11 fois plus grande (la mesure donne 10,8 dans le cas de résistances à 10%).
- Dans le cas d'un signal « carré », le gain en tension est toujours de 11 même si lorsqu'on effectue un zoom sur la transition de l'état bas vers l'état haut il semble exister une déformation du signal de sortie en partie liée à la bande passante du montage et à la saturation en vitesse de l'A.O.

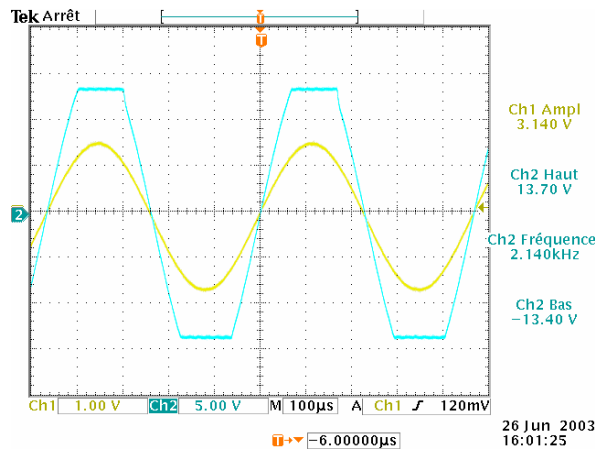


En augmentant l'amplitude du signal d'entrée, on observe sur le phénomène de saturation en amplitude inhérent aux tensions d'alimentation de l'A.O. Il est opportun de valider le fait que la saturation est obtenue pour un niveau de signal d'entrée légèrement inférieur au niveau de tension de saturation théorique :

dans notre exemple, on aurait un niveau de saturation positive pour une amplitude du signal d'entrée définie par

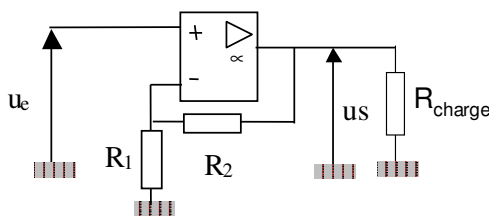
$$\text{la relations : } \frac{u_{ALIM}}{T_0} = \frac{15}{11} = 1,36V$$

Le fait de ne pas pouvoir considérer u_{ALIM} comme véritable niveau de tension de saturation, est directement lié aux pertes internes de la structure électronique de l'A.O : dans notre cas on observe des niveaux de tension de saturation non symétriques +13,7V et -13,4V et inférieurs aux tensions d'alimentation, $\pm u_{ALIM} = \pm 15V$.



II.3 - Mise en évidence de la saturation en courant

Les relevés expérimentaux ont été réalisés dans une configuration où aucun courant n'est débité par l'A.O puisque la charge connectée en sortie est infinie. Cette configuration bien qu'idéale permet de prédire l'évolution de la tension de sortie en fonction de la charge connectée par simple application du théorème du pont diviseur de tension.



$$u_s = \frac{R_{charge}}{R_{charge} + Z_s} T u_e$$

La limite à cette équation demeure la capacité de l'A.O à fournir le courant demandé défini tel que :

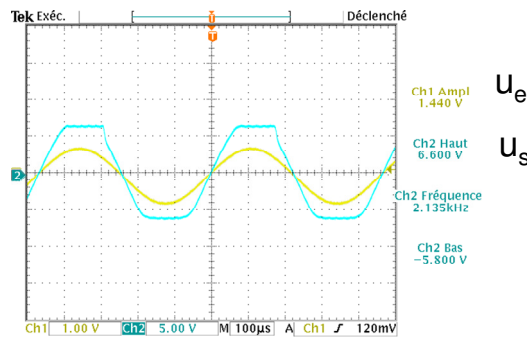
$$i_s = \frac{u_s}{R_{charge}}$$

lorsque Rcharge sera faible.

En pratique pour un A.O type 741 l'intensité maximale pouvant être débitée est $i_{s,max} = 25mA$. Dans notre exemple, la valeur minimale théorique de l'impédance de charge est définie par la relation :

$$R_{charge_min} = \frac{u_{SAT\ min}}{i_{s\ max}} = \frac{|-13,4|}{0,025} = 536\Omega$$

Si on déroge à cette condition, en connectant par exemple une impédance de charge de 235Ω , la protection contre les court-circuit de l'A.O LM741C limite l'amplitude du signal de sortie à 12,4V alors que théoriquement l'amplitude de sortie attendue était $T_0 U_e = 10.1,44 = 14,4V$.



II.4 - Mise en évidence de la bande passante du montage

On peut tout de même illustrer le phénomène de limitation en fréquence sur l'étude d'un montage à contre-réaction : considérons l'étude expérimentale du montage amplificateur de gain en tension $T_0=100$ défini par le couple $1k\Omega, 100k\Omega$. En faisant varier la fréquence du signal d'entrée de forme sinusoïdal on remarque que le montage « amplificateur non inverseur » présenté auparavant ne remplit sa fonction que dans un intervalle de fréquences du signal d'entrée, qui dépend du choix de l'A.O utilisé.

	f=1kHz	f=15kHz	f=150kHz
A.O LM741C			
A.O OPA2604			

Cette remarque, de prime abord en contradiction avec le résultat obtenu en considérant l'A.O IDEAL, traduit la limite fréquentielle f_c de l'A.O, fréquence de coupure donnée par le constructeur qui avait été négligée (considérée comme infinie) dans l'hypothèse A.O idéal.

La valeur de cette nouvelle bande passante peut être calculée en utilisant le modèle de l'A.O réel.

III. -MONTAGE AMPLIFICATEUR SUIVEUR

III.5

III.6 III.1 - Fonction de transfert

C'est le montage le plus simple à réaliser où on reboucle la totalité du signal de sortie sur l'entrée inverseuse.

ETUDE DANS le CAS IDEAL	ETUDE DANS le CAS REEL
--------------------------------	-------------------------------

<p>$\mathcal{E}=0=u_+ - u_-$ avec : $u_+ = u_e$ et $u_- = u_s$</p> <p>d'où $T = \frac{u_s}{u_e} = 1 = T_0$</p> <p>On retrouve ainsi la valeur calculé pour le montage amplificateur précédent en faisant tendre vers ZERO la résistance R_2.</p>	<p>La source $\underline{A}\mathcal{E}$ est commandée en tension (source liée), on ne peut pas appliquer le théorème de superposition.</p> <p>Expression de la loi d'Ohm : $i = \frac{u_e - \underline{A}\mathcal{E}}{R_e + R_s} = \frac{u_e - u_s}{R_e}$ et $\mathcal{E} = u_e - u_s$</p> <p>D'où :</p> $\frac{u_e - \underline{A}[u_e - u_s]}{R_e + R_s} = \frac{u_e - u_s}{R_e}, \text{ soit } u_s = \frac{R_e \underline{A} + R_s}{R_e (1 + \underline{A}) + R_s} u_e$ <p>en remarquant que $R_e \gg R_s$ (par construction de l'A.O)</p> $u_s = \frac{\underline{A}}{(1 + \underline{A})} u_e \Rightarrow \underline{T} = \frac{u_s}{u_e} = \frac{\underline{A}}{(1 + \underline{A})} \text{ avec } \underline{A}(f) = \frac{A_0}{1 + j \frac{f}{f_c}}$ <p>Soit :</p> $\underline{T} = \frac{u_s}{u_e} = \frac{\frac{A_0}{1 + j \frac{f}{f_c}}}{\left(1 + \frac{A_0}{1 + j \frac{f}{f_c}}\right)} = \frac{A_0}{1 + A_0 + j \frac{f}{f_c}} = \frac{A_0}{(1 + A_0)} \left[\frac{1}{1 + j \frac{f}{f_c (1 + A_0)}} \right]$ <p>Pour être exploitable cette expression peut être mise sous la forme :</p> $\underline{T}(f) = \frac{T(f=0)}{1 + j \frac{f}{f_{c,r}}} = \frac{T_0}{1 + j \frac{f}{f_{c,r}}}$ <p>avec $T_0 = \frac{A_0}{(1 + A_0)} \cong 1$ et $f_{c,r} = f_c (1 + A_0) \cong f_c A_0$</p>

Remarque :

En effectuant le produit [gain stationnaire * bande passante du montage], soit en boucle fermée $T_0 f_{c,r}$ on obtient :

$$T_0 f_{c,r} = A_0 f_c$$

ce qui traduit que le produit gain bande (appelé aussi parfois facteur de qualité) se conserve entre le montage en boucle fermée et le montage en boucle ouverte (où on a défini la relation $A_0 f_c = f_t$, fréquence de transition de l'A.O parfois appelée Unity Gain dans les documentations constructeur)

IV. -MONTAGE AMPLIFICATEUR INVERSEUR

IV.7 IV.1 - Fonction de transfert

ETUDE dans le cas idéal

L'entrée non inverseuse est connectée à la masse, soit

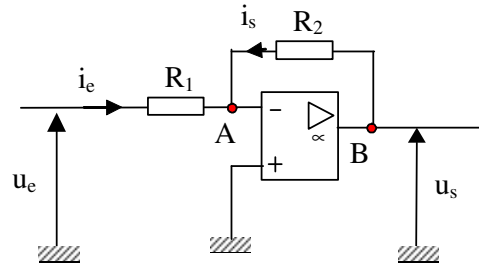
$u_+ = 0$. En considérant l'A.O idéal, la rétroaction négative

garantit un fonctionnement en régime linéaire :

$$\Rightarrow \varepsilon=0, \text{ d'où } u_- = 0 .$$

En appliquant l'égalité des courants au point A et en négligeant le courant de polarisation sur l'entrée inverseuse de l'A.O :

$$i_e = \frac{u_e}{R_1}, i_s = \frac{u_s}{R_2}, i_e = -i_s \text{ d'où } u_s = \left(-\frac{R_2}{R_1} \right) u_e$$



soit l'expression de la fonction de transfert en tension

$$T = \frac{u_s}{u_e} = \left(-\frac{R_2}{R_1} \right) = T_0$$

Le signal d'entrée est connecté sur l'entrée négative.

Le signal de sortie sera de signe opposé, cad en opposition de phase par rapport au signal d'entrée (déphasage angulaire pur égal à π) comme traduit le signe « - » dans l'expression de la fonction de transfert.

ETUDE dans le cas réel

Appliquons les lois de Kirchoff aux nœuds A et B :

■ Loi des nœuds en B : $\frac{-\varepsilon - u_s}{R_2} + \frac{A\varepsilon - u_s}{R_s} = 0$, d'où $u_s \left[\frac{1}{R_2} + \frac{1}{R_s} \right] = \varepsilon \left[\frac{1}{R_2} + \frac{A}{R_s} \right]$

ce qui s'écrit :

$$u_s = \varepsilon \left[\frac{R_s + R_2 A}{R_s + R_2} \right] \cong \underline{A} \varepsilon \quad \text{si } R_2 \gg R_s$$

■ Loi des nœuds en A, en négligeant le courant de polarisation de l'entrée inverseuse soit $\varepsilon = -V_A$

$$\frac{u_e + \varepsilon}{R_1} + \frac{u_s + \varepsilon}{R_2} = 0, \text{ d'où } \frac{u_e}{R_1} = -\varepsilon \left[\frac{1}{R_1} + \frac{1}{R_2} \right] - \frac{u_s}{R_2}$$

ce qui s'écrit $\frac{u_e}{R_1} = -\frac{u_s}{A} \left[\frac{1}{R_1} + \frac{1}{R_2} \right] - \frac{u_s}{R_2}$

Soit : $\frac{u_e}{R_1} = -\frac{u_s}{A} \left[\frac{1}{R_1} + \frac{1}{R_2} \right] - \frac{u_s}{R_2} = -u_s \left[\frac{R_1(1+A) + R_2}{AR_1R_2} \right]$

On en déduit : $\frac{u_s}{u_e} = -\frac{AR_2}{R_1(1+A) + R_2}$

$$\underline{T}(f) = \frac{u_s}{u_e} = -\frac{\frac{A_0}{1+j\frac{f}{f_c}} R_2}{R_1 \left(1 + \frac{A_0}{1+j\frac{f}{f_c}} \right) + R_2} = -\frac{A_0 R_2}{R_1(1+A_0) + R_2 + j\frac{f}{f_c}(R_1 + R_2)}$$

Cette expression peut être mise sous la forme :

$$\underline{T}(f) = \frac{u_s}{u_e} = \frac{T_0}{1 + j \frac{f}{f_{c,r}}} \quad \text{avec} \quad T_0 = -\frac{A_0 R_2}{R_1 (1 + A_0) + R_2} \cong -\frac{R_2}{R_1} \quad \text{et} \quad f_{c,r} = \frac{A_0 f_c}{1 + \frac{R_2}{R_1}} = \frac{A_0 f_c}{1 + |T_0|}$$

Remarque Extrapolation du montage amplificateur inverseur en montage «suiveur-inverseur» :

Dans le cas de résistance identiques, l'interprétation mathématique de la fonction de transfert, donnerait:

- un gain statique : $T_0 = \frac{u_s}{u_e} = \left(-\frac{R_1}{R_1} \right) = -1$
- une fréquence de coupure : $f_{c,r} = \frac{A_0 f_c}{1 + |T_0|} = \frac{A_0 f_c}{2}$

Le montage ainsi obtenu se différencie du montage « suiveur de tension » de par son caractère inverseur mais surtout par une bande passante deux fois plus faible.

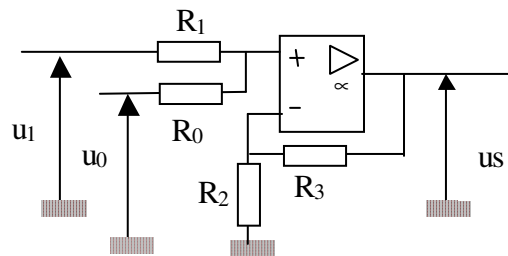
V. –MONTAGE AMPLIFICATEUR SOMMATEUR

On reconnaît un montage à contre réaction d'où un fonctionnement de l'A.O en régime linéaire ($\epsilon=0$).

Sur l'entrée non inverseuse, en appliquant le modèle idéal de l'A.O, les sources u_0 , u_1 et u_s étant indépendantes, on applique le théorème de superposition :

$$u_+ = \frac{R_1}{R_1 + R_0} u_0 + \frac{R_0}{R_1 + R_0} u_1$$

$$\text{Sur l'entrée inverseuse : } u_- = \frac{R_2}{R_3 + R_2} u_s$$



$$u_s = \left(1 + \frac{R_3}{R_2} \right) \left[\frac{R_1}{R_1 + R_0} u_0 + \frac{R_0}{R_1 + R_0} u_1 \right]$$

Remarque sur le choix des résistances :

R_2 et R_3 fixent le gain du montage alors que les résistances R_1 et R_0 fixent l'impédance d'entrée sur l'entrée non inverseuse. Il s'en suit que R_0 et R_1 doivent être inférieures à l'impédance différentielle d'entrée R_c de l'A.O mais doivent être suffisamment grandes vis-à-vis de l'impédance interne des générateurs u_1 et u_0 afin d'assurer l'adaptation en impédance. Dans le cas où le critère d'adaptation d'impédance entre le générateur équivalent de Thévenin (u_0, Z_0) ou (u_1, Z_1) et les résistances R_0 ou R_1 , ne serait pas assuré (la condition d'adaptation d'impédance étant $R_0 \gg Z_0$ et $R_1 \gg Z_1$) on intercalera en amont des résistances un montage suiveur de tension.

VI. –MONTAGE AMPLIFICATEUR DIFFERENTIEL

Dans le cas idéal, en fonctionnement en régime statique, on a les relations :

$$u_- = \frac{R_1}{R_1 + R_2} u_s + \frac{R_2}{R_1 + R_2} u_1, \quad u_+ = \frac{R_4}{R_3 + R_4} u_2 \quad \text{et}$$

$$u_- = u_+,$$

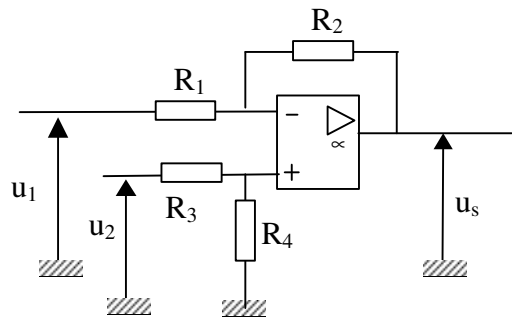
$$\text{soit } u_s = \left(1 + \frac{R_2}{R_1}\right) \left[\frac{R_4}{R_3 + R_4} u_2 - \frac{R_2}{R_1 + R_2} u_1 \right]$$

En multipliant chacun des membres de l'équation par $\frac{R_1 + R_2}{R_2}$ on obtient :

$$u_s = \left(\frac{R_2}{R_1}\right) \left[\frac{\frac{R_1 + R_2}{R_2}}{\frac{R_3 + R_4}{R_4}} u_2 - u_1 \right] = \left(\frac{R_2}{R_1}\right) \left[\frac{1 + \frac{R_1}{R_2}}{1 + \frac{R_3}{R_4}} u_2 - u_1 \right]$$

Sous la condition $\frac{R_1}{R_2} = \frac{R_3}{R_4}$ cette expression se simplifie :

$$u_s = \frac{R_2}{R_1} [u_2 - u_1], \quad \text{d'où : } T = \frac{u_s}{u_2 - u_1} = \frac{R_2}{R_1}$$



Remarque sur le champ d'applications et les limites du montage différentiel :

On considère deux signaux u_1 et u_2 présentant une très forte dynamique de signal de mode commun, définis par :

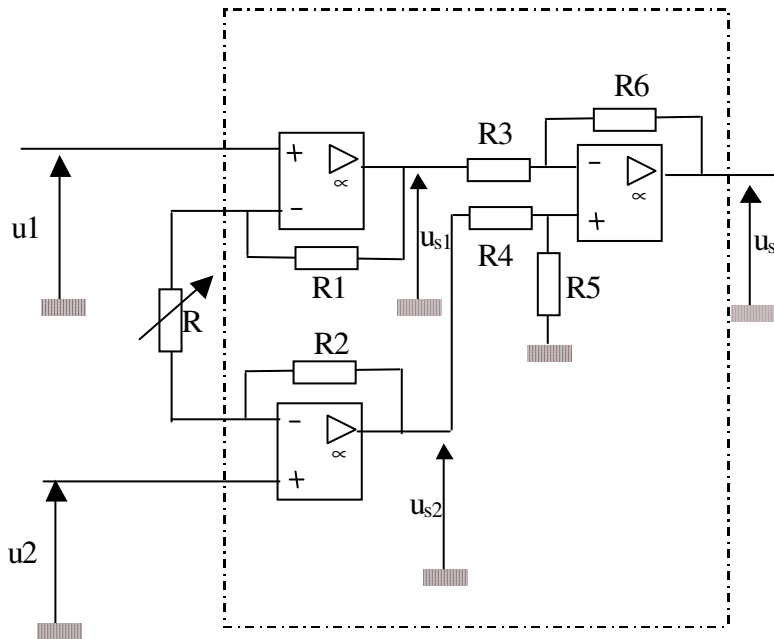
$$u_1 = u_{mc} + u_{1eff} \quad \text{avec } u_{mc} \gg u_{1eff} \quad \text{et} \quad u_2 = u_{mc} + u_{2eff} \quad \text{avec } u_{mc} \gg u_{2eff}$$

R_1 conditionne l'impédance l'entrée inverseuse, donc R_1 doit être assez grande pour assurer l'adaptation en impédance avec le générateur u_1 , ce qui est contradictoire avec la condition de forte amplification. Il s'en suit qu'un tel montage s'avèrera limité dans des applications d'amplification de signaux différentiels faibles.

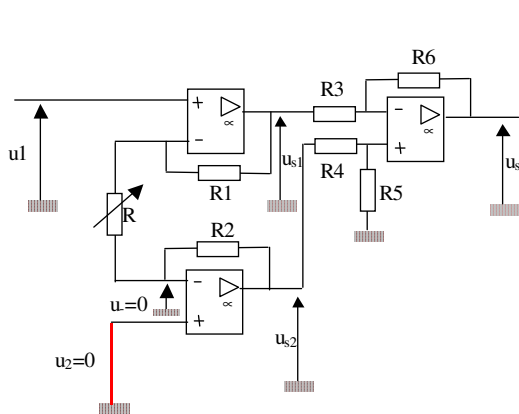
On privilégiera dans ce cas l'architecture du montage d'amplificateur d'instrumentation.

VII. –MONTAGE AMPLIFICATEUR D'INSTRUMENTATION

L'amplificateur d'instrumentation est un composant constitué par deux étages réalisés à base d'A.O montés en contre-réaction. On identifie au niveau du premier étage une architecture symétrique type amplificateur non inverseur, pour chacune de deux entrées, alors que c'est une architecture différentielle qui constitue le second étage. Les bornes de connexion de la résistance R sont accessibles à l'utilisateur. L'architecture à base d'A.O qui garantit une impédance d'entrée très grande et une impédance de sortie presque nulle permet de considérer le comportement de chaque étage de manière distincte.

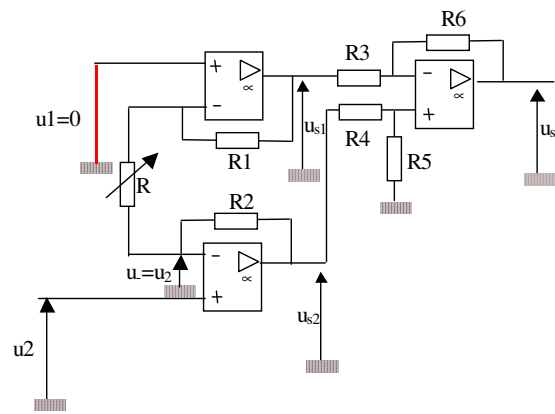


On identifie l'expression de u_{s1} , $u_{s1} = (1 + \frac{R_1}{R})u_1 - (\frac{R_2}{R})u_2$ par application du théorème de superposition avec les sources de tension u_1 et u_2 considérées parfaites :



Court-circuit de u_2 :
 $u_2 = 0 \Rightarrow u_{A.O2} = 0$, on retrouve le montage amplificateur non inverseur soit :

$$u_{s1} = (1 + \frac{R_1}{R})u_1$$



Court-circuit de u_1 :
 $u_1 = 0 \Rightarrow u_{A.O2} = u_2$, on retrouve le montage amplificateur inverseur soit :

$$u_{s1} = -(\frac{R_2}{R})u_2$$

Par symétrie, on obtient l'expression de u_{s2} : $u_{s2} = (1 + \frac{R_2}{R})u_2 - (\frac{R_1}{R})u_1$

En pratique, en supposant que u_1 et u_2 modélisant deux capteurs (pouvant être identiques) dont on cherche à amplifier la différence de signal, u_1 et u_2 étant définis par les expressions : $u_1 = u_{f1} + u_{MC}$ et

$$u_2 = u_{f2} + u_{MC}, \text{ soit } (u_2 - u_1) = u_{f2} - u_{f1}$$

A la différence avec le montage différentiel, ce premier étage, se distingue d'un montage amplificateur ou d'un montage différentiel par sa capacité à

- assurer une symétrie pour chaque entrée ;
- amplifier le signal utile sans amplifier le mode commun évitant ainsi tout risque de saturation en tension en sortie du premier étage.

Le signal de mode commun n'est donc pas amplifié soit :

$$u_{s1} = (1 + \frac{R_1}{R})(u_{f1} - u_{f2}) + u_1 \text{ et } u_{s2} = (1 + \frac{R_2}{R})(u_{f2} - u_{f1}) + u_2$$

Sous la condition $\frac{R_3}{R_6} = \frac{R_4}{R_5}$ l'architecture différentielle du second étage implique : $u_s = \frac{R_6}{R_3} [u_{s2} - u_{s1}]$

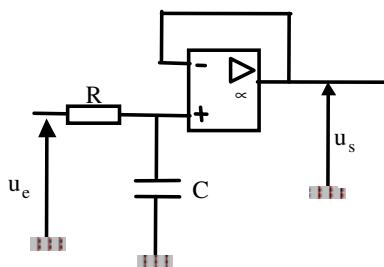
Soit la relation dans le cas où $R_1=R_2$:
$$u_s = (1 + \frac{R_1}{R}) \frac{R_6}{R_3} [u_{f2} - u_{f1}]$$

On démontre ainsi que seul le signal « utile » de faible amplitude est amplifié sans risque de saturation en tension au niveau du premier étage, alors que le signal de mode commun est supprimé.

A titre d'illustration, soient u_1 et u_2 les signaux issus de deux capteurs identiques (capteurs de température par exemple), l'un immergé dans un environnement de mesure, l'autre immergé dans un autre environnement. Leur signal de mode commun sans nécessairement être connu peut être supprimé, alors qu'un montage type soustracteur aurait nécessité la quantification de ce signal de mode commun.

VIII. -MONTAGE AMPLIFICATEUR PSEUDO- INTEGRATEUR

Sur la base des caractéristiques d'un filtre passe-bas défini par la résistance capacité et du montage adaptateur d'impédance à base d'A.O on définit l'architecture du montage pseudo intégrateur ci-contre.



La contre-réaction confère un fonctionnement en régime linéaire du système, soit $\epsilon=0$, avec :

$$u_- = u_s = u_+ \text{ et } u_+ = \frac{1}{R + \frac{1}{jC\omega}} u_e = \frac{1}{1 + jRC\omega} u_e = u_- = u_s$$

Sous la forme d'une équation différentielle on a l'expression :

$$u_s + RC \frac{du_s}{dt} = u_e$$

On considère u_e signal sinusoïdal de période τ , défini par : $u_e = K_0 \cos \left[\frac{2\pi t}{\tau} \right]$.

En régime établi, l'expression du signal sinusoïdal de sortie u_s se définit par : $u_s = U_0 \cos \left[\frac{2\pi t}{\tau} + \vartheta \right]$, d'où

$$\frac{du_s}{dt} = -\frac{U_0 2\pi}{\tau} \sin \left[\frac{2\pi t}{\tau} + \vartheta \right]$$

Considérons la relation entre la constante de temps du réseau RC et la période du signal :

- sous la condition $\tau \gg RC$ on néglige le terme en $\frac{du_s}{dt}$ devant $\frac{u_s}{RC}$, l'équation différentielle s'écrit :

$$u_s \cong u_e ;$$

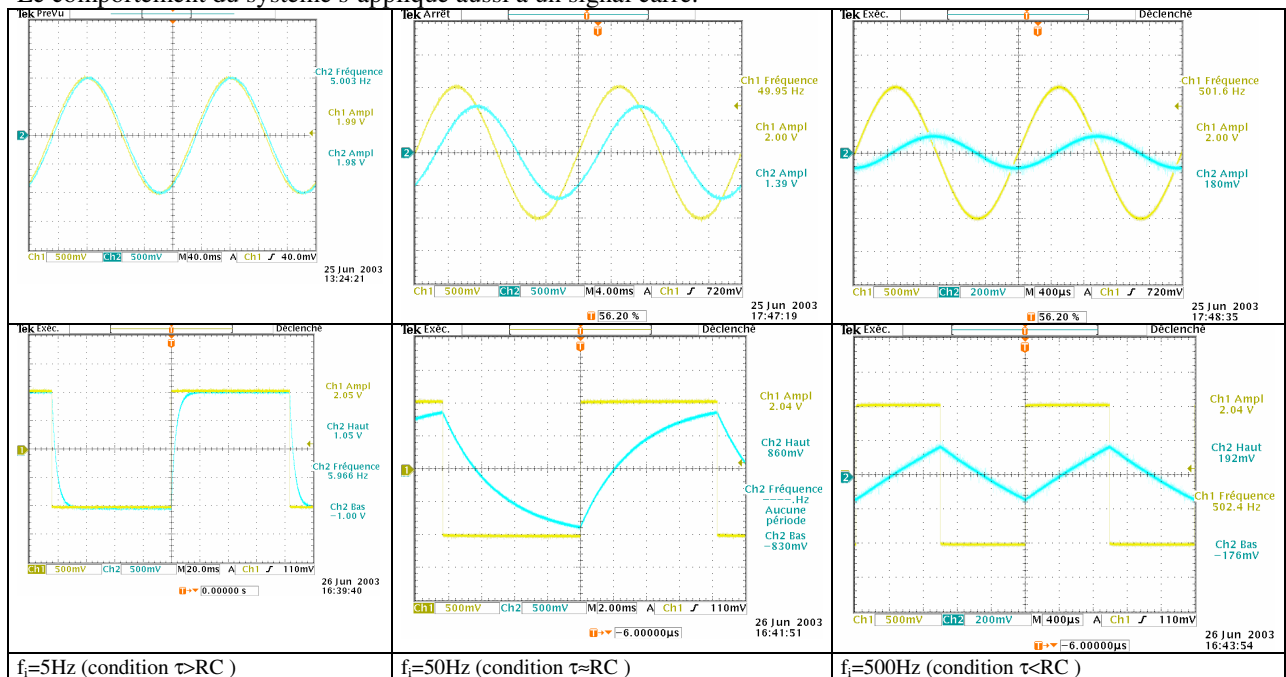
- sous la condition $\tau \ll RC$ u_s sera définie comme une primitive du signal d'entrée : $u_s = \frac{1}{RC} \int u_e dt$, le montage est un montage pseudo-intégrateur.

A titre d'exemple on considère l'architecture du montage pseudo intégrateur réalisée autour d'un A.O type 741 où le couple RC est défini par $R=10k\Omega$ et $C=330nF$, soit une constante de temps du réseau RC de 3,3ms, ou une fréquence de coupure du filtre passe-bas de 48Hz.

Les résultats obtenus dans le cas d'un signal d'entrée sinusoïdal défini par $u_e = E \sin(2\pi f t)$, avec $E=1$ Volt sont conformes avec la modélisation :

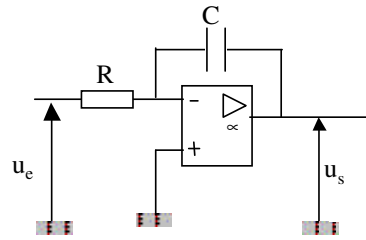
- $f < f_c$, les signaux 'entrée et de sortie sont identiques
- $f = f_c$, à la fréquence de coupure déphasage de $\pi/4$ et atténuation de $\sqrt{2}$,
- $f = 10f_c$, déphasage de $\pi/2$ et atténuation de 10,

Le comportement du système s'applique aussi à un signal carré.



IX. -MONTAGE AMPLIFICATEUR INTEGRATEUR

Ce montage a la même structure que le montage amplificateur inverseur à ceci près que si on a maintenu $Z_1 = R$, on a remplacé R_2 par un condensateur d'impédance $1/Cp$.



IX.8 Résolution du montage intégrateur

ETUDE DU CAS IDEAL	RESOLUTION PAR LE CALCUL OPERATIONNEL
<p>En considérant l'A.O idéal, la résolution de ce montage peut être effectuée par résolution de l'équation différentielle du système</p> <p>La loi des nœuds sur l'entrée inverseuse s'écrit :</p> $\frac{u_e - u_-}{R} + C \frac{d(u_s - u_-)}{dt} = 0$, où en régime linéaire $\epsilon=0$ soit $u_- = u_+ = 0$, d'où : $\frac{du_s}{dt} = -\frac{u_e}{RC}$ et $u_s(t=0) = V_{c_0}$ modélise la charge initiale du condensateur. Le montage réalise ainsi l'intégration du signal d'entrée.	<p>On traduit l'ensemble des éléments (impédances et signaux) constituants du montage dans l'espace de Laplace. Le générateur V_{c_0}/p traduit ainsi la charge initiale du condensateur.</p> <p>Soit : $u_c(p) = \frac{1}{Cp} i_c(p) + \frac{V_{c_0}}{p} = u_-(p) - u_s(p)$</p> <p>Avec un fonctionnement en régime linéaire de l'A.O:</p> $u_-(p) = u_+(p) = 0,$ $i_c(p) = \frac{u_e(p)}{R}, \text{ d'où : } u_s(p) = -\frac{1}{RCp} u_e(p) - \frac{V_{c_0}}{p}$ <p>ce qui confirme le caractère intégrateur du montage au vu de la propriété d'intégration de l'espace de Laplace (multiplier par $1/p$ une fonction est équivalent à intégrer cette fonction). La charge initiale du condensateur traduit la constante associée à la primitive de la fonction u_e.</p>

Par exemple dans le cas d'une charge initiale nulle, la fonction de transfert du système s'écrit:

$$T(p) = \frac{u_s(p)}{u_e(p)} = -\frac{1}{RCp}$$

Sous réserve que la condition initiale de charge du condensateur soit nulle, on aurait pu identifier la fonction de transfert du montage à partir de la structure du montage inverseur pour lequel on aurait remplacé la résistance de contre-réaction par un condensateur de capacité C.

Remarque : NON UTILISATION DE BOBINES

Bien que mathématiquement, l'utilisation d'une bobine d'inductance L dont l'impédance est $Z_L(f)=jL\omega$ (ou $Z_L(p)=Lp$) puisse conduire à un montage intégrateur, cette solution n'est pas technologiquement réalisable :

- du point de vue d'adaptation d'impédances, puisque positionnée sur l'entrée inverseuse, la bobine représenterait l'impédance d'entrée du montage variable avec la fréquence. Cette limite pourrait être contournée par l'utilisation d'un montage suiveur,

- du point de vue pertes internes à l'inductance. En effet toute inductance présente une résistance série r associée aux pertes et donc en toute rigueur devrait être modélisée par l'impédance $Z_L(\omega)=jL\omega+r$.

IX.9 - Améliorations du montage intégrateur

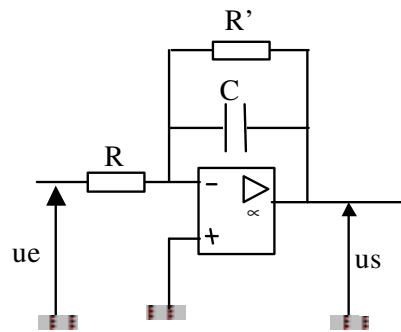
L'architecture du montage intégrateur souffre d'un certain nombre de défauts induits par le caractère non idéal de l'A.O. Pour pallier ces imperfections (dérive de la tension de sortie) on privilégiera l'architecture où on ajoutera en parallèle au condensateur une résistance R' assurant une meilleure intégration des signaux périodiques de période T très inférieure à $R'C$.

En supposant l'A.O idéal, l'équation différentielle vérifiée par u_s s'écrit :

$$\frac{u_e - u_-}{R} + C \frac{d(u_s - u_-)}{dt} + \frac{u_s - u_-}{R'} = 0$$

soit en régime linéaire ($u_- = 0$) :

$$\frac{du_s}{dt} + \frac{u_s}{R'C} = -\frac{u_e}{RC}$$



Cette équation différentielle est semblable à celle régissant le fonctionnement du montage pseudo-intégrateur. On peut donc transcrire les conditions d'intégration dans le cas d'un signal d'entrée u_e sinusoïdal de période τ :

- Si $\tau \gg R'C$ Alors $R'C \frac{du_s}{dt} \ll u_s$, d'où la sortie u_s est définie par : $u_s \cong -\frac{R'}{R} u_e$. Ce résultat est en conformité avec une analyse en régime statique du montage, où le condensateur étant équivalent à un circuit ouvert, on est en présence d'un montage amplificateur inverseur de gain $-R'/R$.
- Si $\tau \ll R'C$ Alors $R'C \frac{du_s}{dt} \gg u_s$ ce qui confère au montage le caractère intégrateur puisque la sortie u_s est définie par : $\frac{du_s}{dt} = -\frac{u_e}{RC}$.

A titre d'exemple, avec $R'=1M\Omega$ et $C=0.1\mu F$, la constante de temps $R'C$ vaut 0,1s. Ce montage permet d'intégrer des signaux périodiques de fréquence supérieure à environ 100Hz. Pour un couple $R'C$ donné, le choix de R modifie le gain (constante multiplicative) entre u_s et u_e en basse fréquence.

IX.10 -Exemples d'intégration de signaux

Au vu de l'analyse précédente il est important de veiller à supprimer toute composante continue du signal d'entrée u_e (filtrage type passe-bas) afin d'éviter tout risque de saturation.

On considère un signal non sinusoïdal en entrée du montage intégrateur amélioré, de forme d'onde :

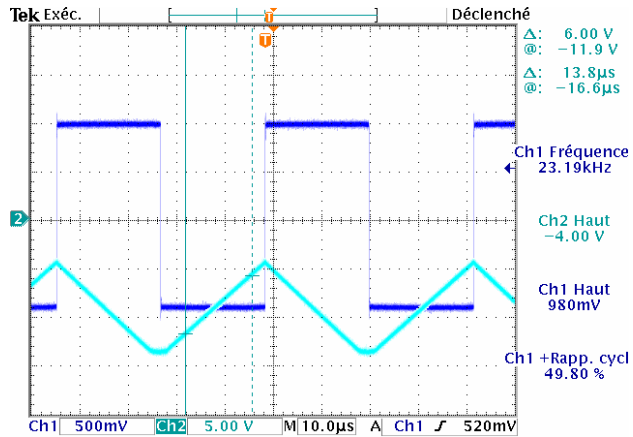
- type signal « carré », de période T , de valeur moyenne nulle et d'amplitude U_0 .
Ce signal (cf. Annexe Fourier) se décompose en signaux sinusoïdaux associés aux harmoniques impairs de période $T, T/3, \dots, T/(2k+1)$ et d'amplitude respectives $\beta, \beta/3, \dots, \beta/(2k+1)$ où $\beta = \frac{4U_0}{\pi}$ et $k \in \mathbb{N}^*$. La condition $T \ll R'C$ nécessaire pour assurer l'intégration ne peut théoriquement jamais être satisfaite. Néanmoins, étant donnée la décroissance d'amplitude des harmoniques, l'intégration sera possible dès lors que les harmoniques les plus représentatifs du signal satisferont à cette condition.
- type signal « triangulaire », de période T , de valeur moyenne nulle et d'amplitude U_0 .

De la même manière le spectre du signal laisse apparaître les harmoniques impairs de période $T, T/3, \dots, T/(2k+1)$ mais ici d'amplitude respectives $\alpha, \alpha/9, \dots, \alpha/(2k+1)^2$ où $\alpha = \frac{8U_0}{\pi^2}$ et $k \in \mathbb{N}^*$.

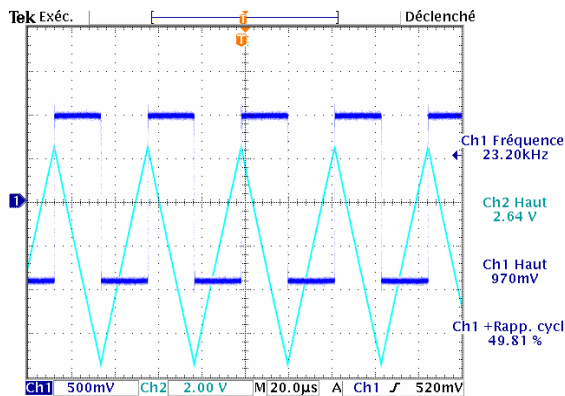
On retrouve la même conclusion que précédemment à la différence que la décroissance des harmoniques étant nettement plus importante que dans le cas d'un signal carré, à condition $T \ll RC$ équivalente, on obtiendra une meilleure intégration du signal triangulaire.

Considérons le couple d'éléments $R = 15.5k\Omega$ (résistance ajustable) et $C=150pF$, et le signal d'entrée u_e de forme carré, d'amplitude U_0 égale à 1 V, de période $(1/23)ms$.

Le signal de sortie u_s représente effectivement l'intégrale du signal u_e de la pente théorique $\frac{U_0}{RC} = 0.44V.\mu s^{-1}$ contre $0.438V.\mu s^{-1}$ mesurée. En revanche on note la présence d'une forte composante continue qui tend à faire saturer le signal de sortie.



En positionnant une résistance R' égale à $2M\Omega$ en parallèle avec le condensateur, on supprime une partie de la composante continue, et on retrouve une forme d'onde quasi « symétrique »



X. -MONTAGE AMPLIFICATEUR DERIVATEUR

C'est par souci de présenter tous les montages nécessaires à la résolution d'une équation différentielle que nous présentons ci-après le montage dérivateur. En effet « dériver » un signal n'est pas sans risque car tout bruit superposé va engendrer des variations de pente très importantes qui ne reflètent pas la variation de pente du signal. Le montage suivant utilisé en tant que montage analogique dérivateur est quasi nul.

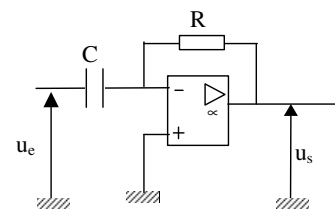
En supposant l'A.O en régime linéaire, la loi des nœuds au niveau de l'entrée inverseuse s'écrit :

$$\frac{u_s - u_-}{R} + C \frac{d(u_e - u_-)}{dt} = 0, \text{ avec } u_- = 0$$

On a donc : $u_s = -RC \frac{du_e}{dt}$,

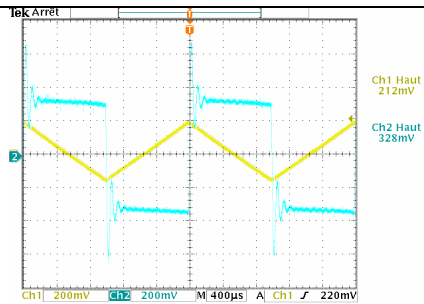
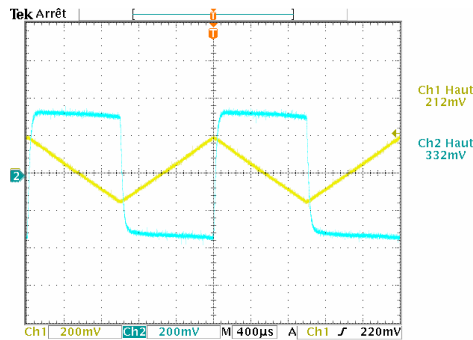
d'où la fonction de transfert en tension $T(j\omega) = -jRC\omega$ ce qui s'écrit dans l'espace de Laplace :

$T(p) = -RCp$, d'où le caractère dérivateur du montage.



Posons $R=10k\Omega$, $C=100nF$ et observons la réponse du montage dérivateur à un signal d'entrée de forme triangulaire.

En introduisant en amont de la capacité une résistance R' on minimise le phénomène d'oscillations.



XI. -MONTAGE AMPLIFICATEUR LOGARITHMIQUE

On considère le montage pour lequel on utilise un diode dans la boucle de rétroaction négative dont l'équation courant-tension $i_f(u_f)$ s'écrit :

$$i_f = I_s \left(\exp \left[\frac{u_f}{U_T} \right] - 1 \right) \cong I_s \exp \left[\frac{u_f}{U_T} \right]$$

Approximation d'autant plus vérifiée que $u_f > 3 U_T$, puisque

En supposant un fonctionnement en régime linéaire du montage, on a la relation :

$$\frac{u_e}{R_1} = i_f = I_s \exp \left[\frac{0 - u_s}{U_T} \right]$$

Sous réserve d'avoir la condition u_e positive afin d'assurer la conduction de la diode, on déduit la relation entre la tension de sortie et la tension d'entrée:

$$XI.11 \quad u_s = -U_T \ln \left(\frac{u_e}{R_1 I_s} \right)$$

uniquement si $u_e > 0$

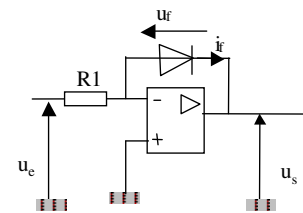
XI.15

Remarque :

Les constantes U_T et I_s sont en fait dépendantes de la température avec une sensibilité bien plus importante pour I_s que pour U_T . (U_T défini par l'expression linéaire $U_T=(kT)/q$, alors que I_s est proportionnel à kT^3 et double tous les dix degrés). Dès lors la fonction logarithmique obtenue par le montage précédent n'est pas applicable en pratique pour cause de dérive en température. On rappelle à ce titre qu'en fonction de son utilisation, un système électronique doit supporter des plages de variation en température pouvant aller de -40 degrés Celsius à 125

XI.12

XI.13



XI.14

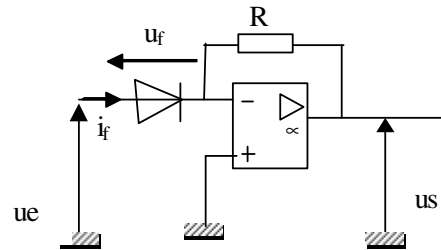
degrés Celsius (plage thermique étendue) ou plus, pour, par exemple, des systèmes inclus dans le contrôle de d'injection d'un moteur.

XII. –MONTAGE AMPLIFICATEUR EXPONENTIEL

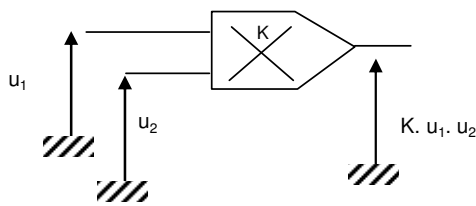
La diode est passante sous réserve que la tension u_e soit positive et supérieure à la tension de seuil de la diode. L'égalité des courants sur l'entrée non inverseuse pour laquelle on néglige le courant de polarisation de l'étage différentiel induit:

$$i_f \cong I_s \exp\left(\frac{u_e}{U_T}\right) = -\frac{u_s}{R}$$

$$\text{d'où : } u_s = -RI_s \exp\left(\frac{u_e}{U_T}\right) \text{ uniquement si } u_e > 0$$



Remarque :



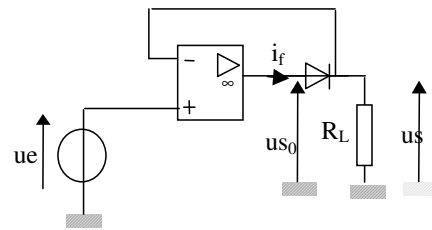
Multiplier est une des fonctions à la base de la modulation des signaux, étant donnée la propriété de translation spectrale qui en résulte. Bien que l'association d'un montage logarithmique à un montage exponentiel puisse réaliser la combinaison $u_1 u_2 = \exp[\log u_1 + \log u_2]$, il existe des composants dits multiplieurs étant à titre d'exemple l'AD835.

XIII. -MONTAGE AMPLIFICATEUR REDRESSEUR DE TENSION

Un redresseur simple alternance est un quadripôle qui assure la relation entre la tension d'entrée u_e et la tension de sortie u_s :

- $u_s = u_e$ si $u_e > 0$,
- ou $u_s = 0$ si $u_e < 0$,

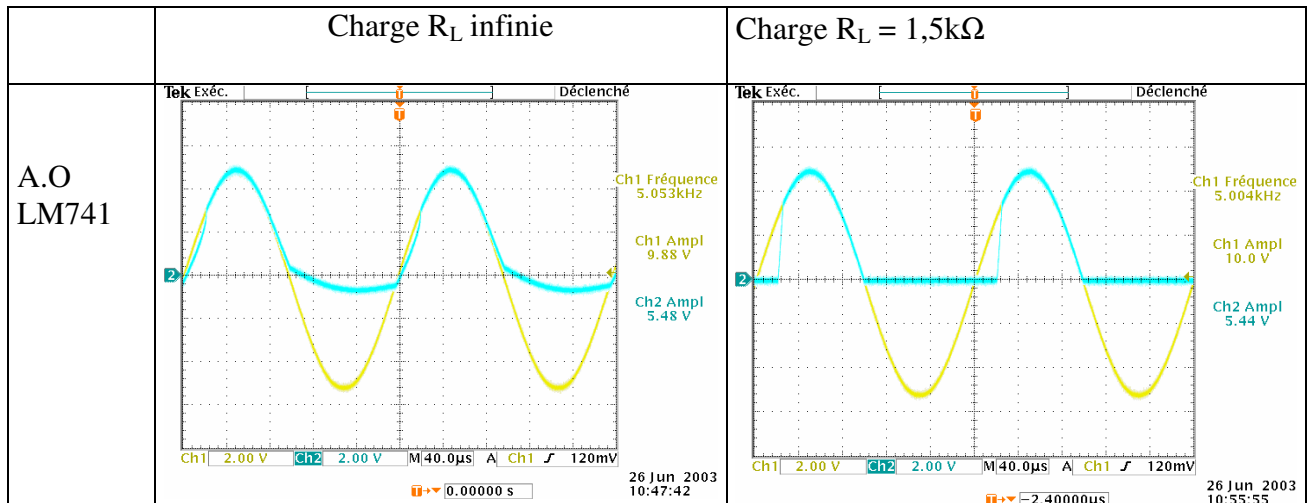
Ce qui peut se résumer par la relation $u_s(t) = \frac{1}{2} [u_e(t) + |u_e(t)|]$ avec $u_s(t) > 0$.

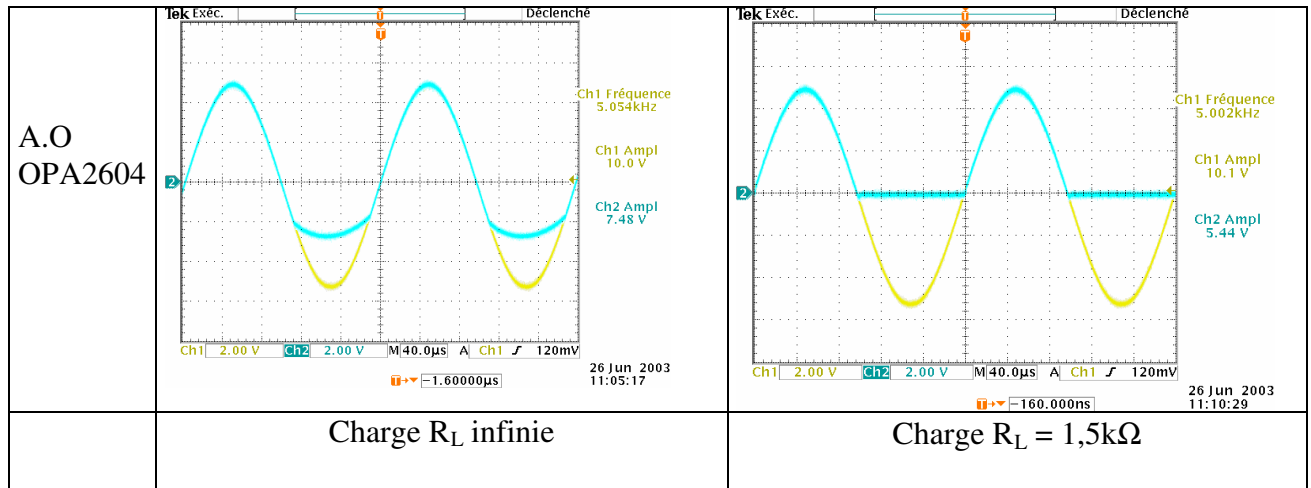


La diode semble être un bon candidat pour réaliser cette fonction, en dépit de sa tension de seuil V_D . Ce défaut peut être corrigé par le montage à base d'A.O

L'analyse de cette architecture se résume à l'étude de deux cas :

- la diode conduit : l'A.O est câblé avec une contre-réaction qui lui assure un fonctionnement en régime linéaire, d'où $u_s = u_e$. La diode étant passante i_f est positif (délivré par l'A.O et fixé par R_L), d'où $u_e = u_s = R_L i_f > 0$. D'où $u_s = u_e$ pour $u_e > 0$. La tension U_d de seuil de la diode qui constituait un défaut d'offset pour un redressement sans A.O se retrouve au niveau de la tension u_{s0} donnée par la relation $u_{s0} = u_s + U_d$.
- la diode est bloquée : l'A.O est en boucle ouverte et fonctionne en comparateur en zone de saturation. Le courant de polarisation de l'entrée inverseuse pouvant être considéré comme nul, la tension en sortie du redresseur est $u_s = 0$. La diode étant bloquée, la tension de sortie de l'A.O u_{s0} est inférieure à u_s et l'A.O étant en régime de saturation, on en déduit que $u_{s0} = -u_{SAT}$, donc $\epsilon < 0$, soit $u_e < 0$.





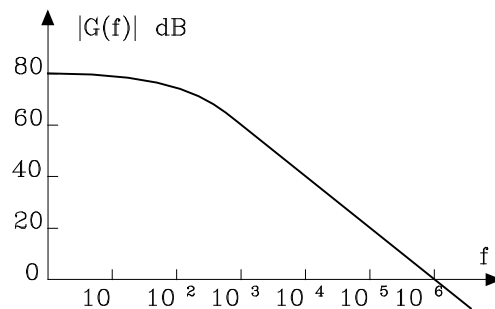
Remarque : la connexion d'une impédance de charge assure la polarisation en courant de la diode. On observe également une déformation du signal de sortie u_s dans le cas d'utilisation du LM741. Cette distorsion est fonction du type d'A.O utilisé et de la fréquence du signal d'entrée, vue qu'elle apparaîtra aussi dans le cas d'un montage sur la base de l'OPA2604 pour de plus hautes fréquences du signal d'entrée.

TESTEZ VOS CONNAISSANCES

☺ On utilise l'Amplificateur Opérationnel dont la courbe de réponse en fréquence, dans le diagramme de BODE est présentée ci-contre :

Ses impédances d'entrée et de sortie, considérées comme des résistances ont pour valeurs respectives :

$R_e = \epsilon/i_e = 100 \text{ k}\Omega$ et $R_s = u_s/i_s = 100\Omega$. On précise que son amplitude de tension de sortie maximum est $S_{MAX} = \pm 8V$.



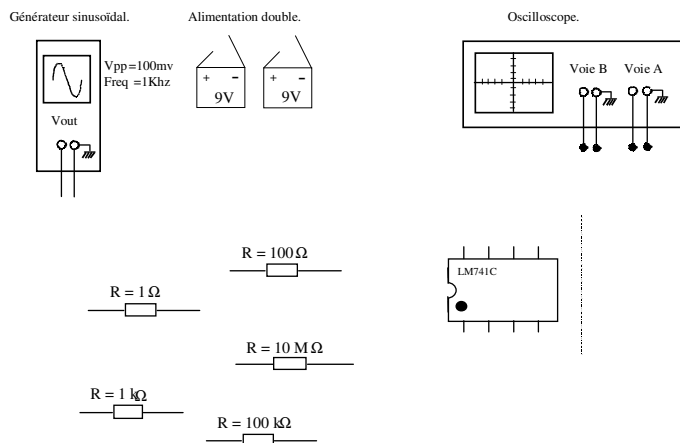
☒ Déduire du tracé du gain en boucle ouverte dans le plan de BODE le gain statique A_0 et f_c fréquence de coupure à -3dB. Justifier la précision avec laquelle on détermine la bande passante.

☒ Donner l'expression du gain en boucle ouverte $A(f)$.

☒ Donner la valeur en dB du gain en boucle ouverte de l'A.O à la fréquence f_c .

☒ Etablir le modèle électrique équivalent.

☒ On souhaite réaliser un montage amplificateur inverseur de gain statique 40dB. Réaliser le câblage électrique en respectant le code des couleurs (masse en noir avec câblage en étoile, alimentation positive en rouge, alimentation négative en bleu).



☺ On considère les deux montages suivants :

Une seule de ces affirmations est correcte, laquelle ?

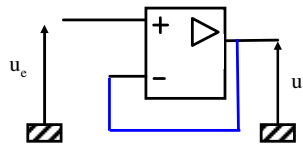
A./ Les 2 montages ont la même fréquence de coupure et une gain statique respectivement égal à -1 et 1.

B./ Les 2 montages ont un gain respectivement égal à -1 et 1 et une fréquence de coupure respectivement égale à f_c et $0.5f_c$.

C./ Les 2 montages ont un gain respectivement égal à -1 et 1 et une fréquence de coupure respectivement égale à $0.5f_c$ et f_c .

D./ Les 2 montages ont des gains statiques égaux.

☺ On considère l'architecture du montage « amplificateur suiveur » où l'A.O utilisé, est polarisé au travers de deux sources de tension symétriques $\pm 10V$ olts, et présente des courants de polarisation nuls, une vitesse de balayage de $0.5V.\mu s^{-1}$, un courant de saturation $i_{s,max} = \pm 20mA$, un gain statique $A_0 = 10^4$ et une constante de temps $\tau_c = 1,6ms$.



☒ En considérant l'A.O idéal, établir l'expression de $T_0=T(f=0)= u_s/u_e$, gain statique en tension du montage en boucle fermée.

☒ Donner trois limites d'application de l'expression établie précédemment.

☒ Donner la fonction de transfert $\underline{T}(f)$ du montage bouclé, en précisant la bande passante à « -3dB ».

☒ Etablir l'expression analytique et représenter la tension de sortie $u_s(t)$ de ce montage (en régime permanent) pour un signal d'entrée sinusoïdal défini par $u_e(t)=E\sin(2\pi f_1 t)$, ($E=14V$) pour les fréquences (on ne prendra pas en compte la limitation en vitesse de l'A.O)

a./ $f_1 = 1\text{kHz}$, b./ $f_2 = 1\text{MHz}$, c./ $f_3 = 10\text{MHz}$

☒ Calculer et représenter la tension de sortie $u_s(t)$ de ce montage pour $u_e(t)$ échelon de tension, soit $u_e(t) = E u(t)$ avec $E = 8V$

☒ Dans la bande passante de l'A.O, en régime sinusoïdal, établir la valeur maximale de l'amplitude compatible avec le critère de saturation en vitesse. Qu'elle influence ce résultat induit-il sur les tracés de la question 1. En déduire un critère de choix de l'A.O.

☺ L'Amplificateur Opérationnel utilisé dans les montages suivants est caractérisé par les données « constructeur » suivantes :

- gain statique $A_0=10^4$ et une constante de temps $\tau_0=1,6\text{ms}$
- impédances d'entrée et de sortie, considérées comme des résistances de valeurs respectives

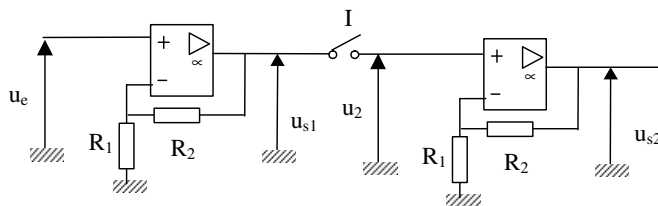
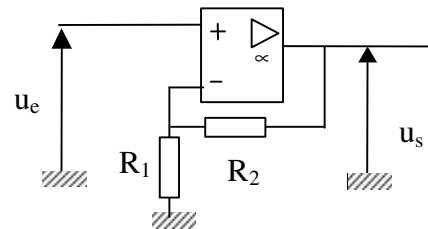
$R_e = \epsilon/i_e = 100\text{ k}\Omega$ et $R_s = s/i_s = 100\Omega$

On précise que son amplitude de tension de sortie maximum est $S_{MAX} = \pm 10V$. On réalise le montage suivant avec $R_2=10\text{k}\Omega$, $R_1=100\Omega$:

☒ En supposant l'A.O idéal, calculer le gain en tension $A_u = u_s/u_1$ de ce montage.

☒ En appliquant le théorème de conservation du produit gain bande, en déduire f_c fréquence de coupure à -3dB, et la constante de temps τ_c du montage bouclé.

☒ Tracer sur un même diagramme, la représentation asymptotique de $\underline{A}(f)$ fonction de transfert de l'A.O et $\underline{T}(f)$ fonction de transfert du montage.



On connecte en « cascade » deux montages identiques à celui étudié précédemment en fermant l'interrupteur

☒ En considérant l'étude du problème d'adaptation d'impédance, qu'elle est l'expression du gain global $\underline{K}(f) = u_{s2}/u_e$ de ce dispositif ?

☒ Donner les valeurs numériques du gain statique $K_0=K(f=0)$ et de sa constante de temps τ_k .

☒ Tracer sur un même diagramme, la représentation asymptotique de $A(f)$ et $K(f)$.

☒ Pour qu'elle fréquence f_2 , a-t-on une chute à « -3dB » du gain du système ?

☒ En supposant que $K(p)$ de la forme
$$K(p) = \frac{K_0}{1 + \frac{2}{\omega_n} p + \frac{1}{\omega_n^2} p^2} = \left(\frac{\sqrt{K_0}}{1 + \tau_k p} \right)^2,$$

calculer par le calcul opérationnel, la réponse indicielle $u_{s2}(t)$ à une commande en tension $u_c(t)$ en échelon d'amplitude $E=1V$.

- ☺ Analyse d'une fiche technique d'A.O et application au montage amplificateur non-inverseur
- A partir données du constructeur (valeurs typiques) regroupées dans la fiche technique de l'Amplificateur Opérationnel OPA2604 estimer :
 - ☒ La valeur en V/mV du gain statique A_0
 - ☒ La constante de temps de l'A.O en boucle ouverte
 - ☒ Si on réalisait un montage type amplificateur non inverseur de gain statique 40dB,
 - ☒./ Quelle serait la fréquence de coupure du montage en boucle fermée ainsi défini par l'utilisateur ?
- ☒ Donner la valeur minimale de la résistance de charge R_c compatible avec le courant de saturation.
- ☒ Dans la bande passante, quelle serait la tension maximale autorisée en entrée pour éviter le phénomène de saturation en amplitude?
- ☒ En supposant le signal en entrée sinusoïdal à la fréquence de coupure, donner la valeur maximale de l'amplitude du signal d'entrée pour éviter le phénomène de saturation en vitesse. Expérimentalement a-t-on une chance de visualiser cette limitation?

SPECIFICATIONS

ELECTRICAL

At $T_A = +25^\circ C$, $V_S = \pm 15V$, unless otherwise noted.

PARAMETER	CONDITION	OPA2604AP, AU			UNITS
		MIN	TYP	MAX	
OFFSET VOLTAGE					
Input Offset Voltage			±1	±5	mV
Average Drift			±8		μV/°C
Power Supply Rejection	$V_S = \pm 5$ to $\pm 24V$	70	80		dB
INPUT BIAS CURRENT⁽¹⁾					
Input Bias Current	$V_{CM} = 0V$		100		pA
Input Offset Current	$V_{CM} = 0V$		±4		pA
NOISE					
Input Voltage Noise					nV/√Hz
Noise Density: $f = 10Hz$			25		nV/√Hz
$f = 100Hz$			15		nV/√Hz
$f = 1kHz$			11		nV/√Hz
$f = 10kHz$			10		nV/√Hz
Voltage Noise, BW = 20Hz to 20kHz			1.5		μVp-p
Input Bias Current Noise					fA/√Hz
Current Noise Density, $f = 0.1Hz$ to 20kHz			6		fA/√Hz
INPUT VOLTAGE RANGE					
Common-Mode Input Range		±12	±13		V
Common-Mode Rejection	$V_{CM} = \pm 12V$	80	100		dB
INPUT IMPEDANCE					
Differential			$10^{12} \parallel 8$		Ω pF
Common-Mode			$10^{12} \parallel 10$		Ω pF
OPEN-LOOP GAIN					
Open-Loop Voltage Gain	$V_O = \pm 10V, R_L = 1k\Omega$	80	100		dB
FREQUENCY RESPONSE					
Gain-Bandwidth Product	$G = 100$		20		MHz
Slew Rate	20Vp-p, $R_L = 1k\Omega$	15	25		V/μs
Settling Time: 0.01%	$G = -1, 10V$ Step		1.5		μs
0.1%			1		μs
Total Harmonic Distortion + Noise (THD+N)	$G = 1, f = 1kHz$		0.0003		%
Channel Separation	$V_O = 3.5V_{rms}, R_L = 1k\Omega$ $f = 1kHz, R_L = 1k\Omega$		142		dB
OUTPUT					
Voltage Output	$R_L = 600\Omega$	±11	±12		V
Current Output	$V_O = \pm 12V$		±35		mA
Output Resistance, Open-Loop			25		Ω
POWER SUPPLY					
Specified Operating Voltage			±15		V
Operating Voltage Range		±4.5		±24	V
Current, Total Both Amplifiers	$I_O = 0$		±10.5	±12	mA
TEMPERATURE RANGE					
Specification		-25		+85	°C
Storage		-40		+125	°C
Thermal Resistance ⁽²⁾ , θ_{JA}			90		°C/W

NOTES: (1) Typical performance, measured fully warmed-up. (2) Soldered to circuit board—see text.

- ☺ Une famille d'A.OP possède un gain statique $G_0 = 10^3$, un facteur de qualité égal à $10^5 s^{-1}$, et une constante de temps égale à 1,59 ms.

☒ Tracer dans le plan de Bode (représentation asymptotique - module et phase) la réponse fréquentielle d'un A.OP de cette famille.

I./ On souhaite réaliser un circuit amplificateur A, de gain statique $A_0 = 20$ dB avec un de ces A.OP.

☒ Quelle sera la fréquence de coupure f_c de ce circuit amplificateur A ?

☒ Tracer dans le plan de Bode (module et phase) la réponse fréquentielle de ce circuit amplificateur A. On superposera ce tracé à celui de la figure précédente.

☒ Pour quelles fréquences ce circuit amplificateur A devient-il atténuateur ?

II On souhaite utiliser plusieurs circuits amplificateurs A identiques pour réaliser un montage amplificateur B de gain statique $B_0 = 80$ dB.

☒ Combien d'étages (c'est-à-dire d'amplificateurs A) seront nécessaires pour cela ?

☒ Tracer dans le plan de Bode (module seul) la réponse fréquentielle de ce montage amplificateur B. On superposera à ce nouveau tracé à celui de la réponse fréquentielle d'un A.OP.

☒ Quelle est la fréquence de coupure f'_c du montage amplificateur B ?

☒ Pour quelle fréquence ce montage amplificateur B devient-il atténuateur ?

III On souhaite maintenant réaliser un montage amplificateur C de gain statique $C_0 = B_0 = 80$ dB, mais avec deux étages identiques seulement (c'est-à-dire deux montages identiques utilisant des A.OP de la famille de la première question).

☒ Quel est alors le gain statique d'un seul des deux étages du montage amplificateur C ?

☒ Quelle est la fréquence de coupure f''_c du montage amplificateur C ?

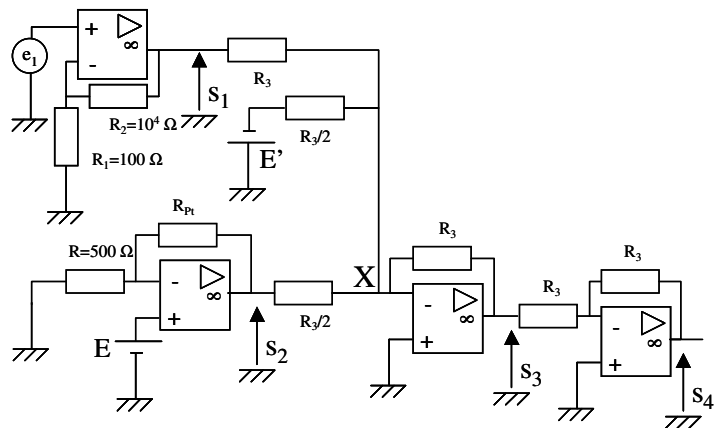
☒ Quel est l'avantage de la solution C vis à vis de la solution B, en particulier si l'on envisage une application mobile, c'est à dire fonctionnant à partir d'une source d'énergie autonome ?

☒ Quel est l'inconvénient de la solution C vis à vis de la solution B ?

☺ On étudie ici le principe d'un système électronique de mesure de température dans la gamme 0-1500 °C.

Toutes les températures sont exprimées en degrés Celsius. Dans la suite, T représente la température, et T_{amb} la température ambiante, c'est à dire celle de l'appareillage électronique.

$E=1$ V, $E'=2$ V



On utilise deux capteurs de température :

☉ un thermocouple (gamme de fonctionnement 0-1500°C), dont la sortie e_1 est proportionnelle à la différence entre la température à laquelle est portée l'extrémité du thermocouple (T) et la température de l'appareillage auquel il est connecté (T_{amb}), $e_1 = 10^{-5}(T - T_{amb})$ (en volts),

☉ une sonde « platine » de type Pt500 (gamme de fonctionnement 0-800°C), dont la résistance notée R_{pt} suit la loi $R_{pt} = 500(1 + 10^{-3}T/2)$ (en ohms)

Les amplificateurs opérationnels, tous identiques, seront considérés parfaits sauf lorsque la bande passante sera considérée. Cette famille d'A.OP possède un gain statique $G_0 = 10^4$, un facteur de qualité égal à 10^5 s⁻¹, et une constante de temps égale à 15,9 ms. Les A.OP sont alimentés en +/- 15 V et on suppose que V_{smax} est égale à la tension d'alimentation. La structure étudiée est présentée ci-dessous. Le thermocouple est porté à la température à mesurer, et la sonde platine à la température ambiante.

☒ Exprimer littéralement s_1 par rapport à e_1 .

☒ Exprimer s_1 , par rapport à T et T_{amb} (faire l'application numérique – on arrondira au %).

☒ Exprimer littéralement s_2 par rapport à E.

☒ Exprimer s_2 par rapport à T_{amb} (faire l'application numérique).

☒ Exprimer littéralement s_3 par rapport à s_1 , s_2 et E' . On pourra écrire pour cela la loi des nœuds (somme des courants nulle) au point X.

☒ Exprimer s_3 par rapport à T (faire l'application numérique).

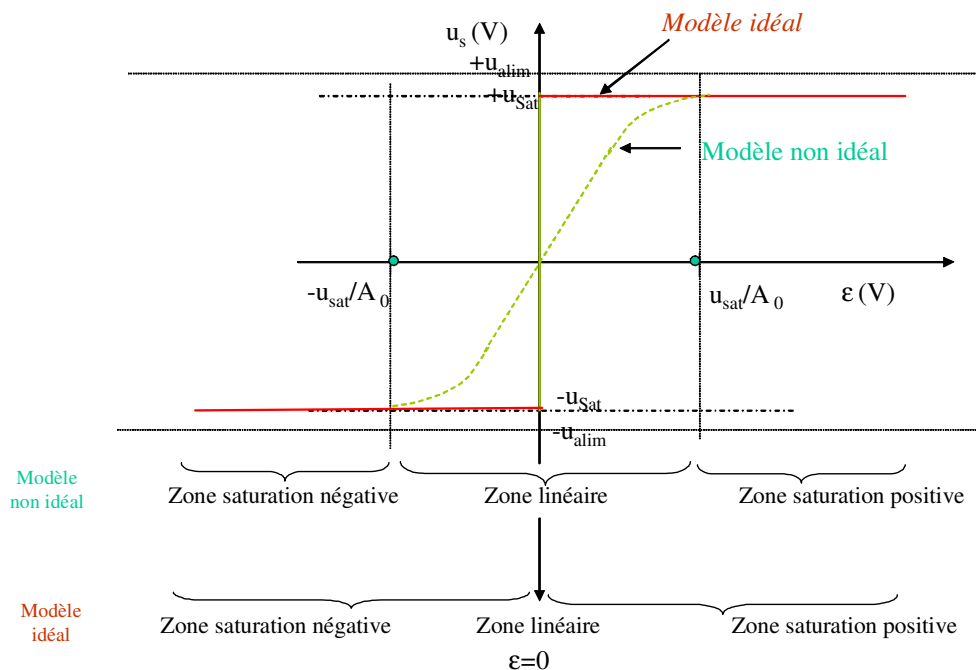
☒ La sortie du système de mesure étant s_4 , quelle est, en V/degré, la sensibilité du système de mesure ? Quelle est la plage de variation (en volts) de la sortie ?

Chapitre 7

Electronique analogique en mode saturé

Si on analyse la courbe de réponse d'un A.O, ce composant peut être exploité dans selon deux zones de fonctionnement :

- ⇒ en régime linéaire, ce qui a été présenté dans les chapitres précédents,
- ⇒ en régime saturé, où il ne va plus exister aucune relation entre l'entrée différentielle et la sortie ne pourra être que dans la zone de saturation positive ou négative.



Non souhaitée pour les applications en régime linéaire, puisque qu'elle correspond à une perte de relation de proportionnalité entre entrée et sortie, la saturation peut être exploitée pour créer deux états de fonctionnement $u_s = +u_{sat}$ ou $u_s = -u_{sat}$, auxquels on peut associer les deux états logique 0 et 1.

Utilisé dans ce mode de fonctionnement, l'A.O connu pour ses applications en électronique analogique, devient aussi un élément de base des fonctions numériques élémentaires.

Les paragraphes suivants présentent les fonctions élémentaires d'électronique à saturation réalisées avec un A.O :

- * montage comparateur obtenu en boucle ouverte,

* montages trigger, monostables, bistables, astables obtenus en boucle fermée en en rebouclant la sortie de l'A.O sur l'entrée non inverseuse ce qui correspond à une rétroaction positive.

Dans le chapitre 3, nous avons établi que la réponse d'un A.O selon le signe de la rétroaction s'écrit :

$$u_s = K \exp \left[\text{sign}(r) \alpha_r A_0 \frac{t}{\tau_c} \right]$$

Ainsi, en rebouclant l'A.O sur son entrée « + », la fonction exponentielle va diverger, et la sortie de l'A.O va prendre la valeur U_{sat} ou $-U_{\text{sat}}$ selon le signe de la constante K. Aussi, l'A.O fonctionne dans un régime à 2 états où il apparaît inutile de chercher à résoudre cette équation puisque on peut connaître l'état de la sortie, reste à déterminer son signe.

I. -MONTAGE COMPAREUR

Le montage comparateur est un circuit de détection du signe de la tension différentielle en entrée de l'A.O. La tension de sortie indique si une tension d'entrée est supérieure ou inférieure à une tension de seuil. Simple à réaliser puisque l'A.O est en boucle ouverte, il exploite la propriété de très fort gain de l'A.O avec comme conséquence qu'une différence même minime entre les entrées non inverseuse et inverseuse suffit à faire entrer l'A.O en régime de saturation.

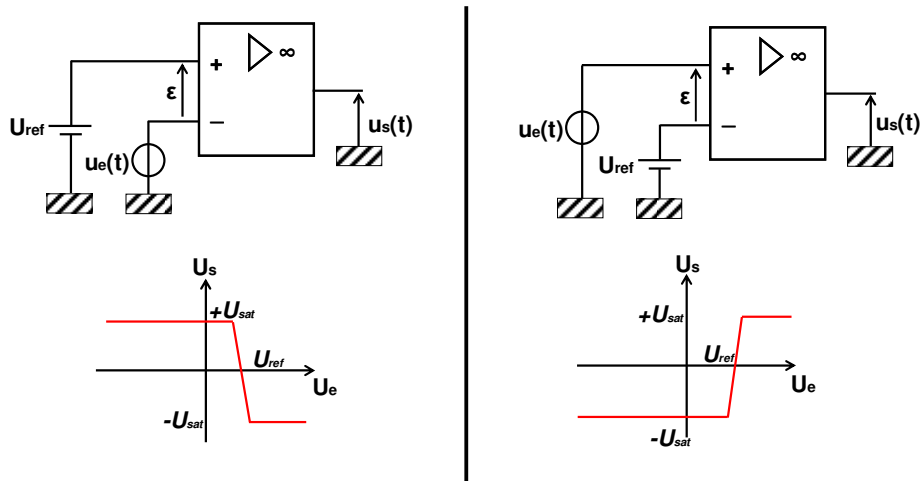


Fig. 1 - Montage comparateur inverseur (à gauche) et non inverseur (à droite)

Le montage présenté figure 2 décrit une application courante du comparateur. La tension d'un signal est comparée à une tension de référence. Suivant le signe de la différence, l'état de la sortie est modifié. Le signal de sortie servira à conditionner le fonctionnement des circuits en aval.

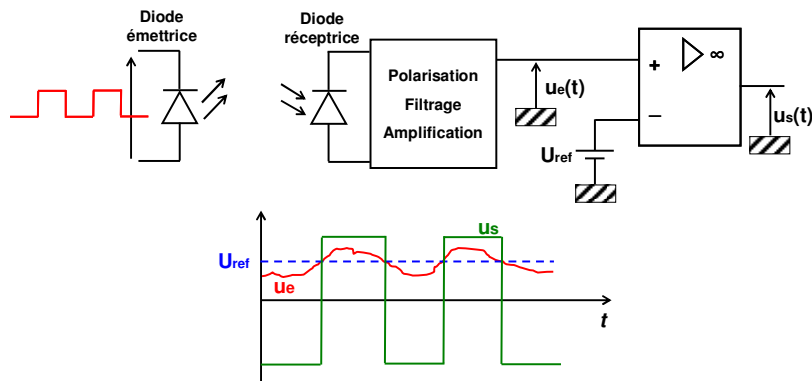


Fig. 2 - Montage comparateur – exemple d'application

On peut par exemple imaginer un système de déclenchement d'alarme. La tension $u_c(t)$ représente un signal analogique fourni par un capteur (signal lumineux capté par une diode infrarouge). Tant que le signal est faible (luminosité faible), le signal en sortie est à $-U_{\text{sat}}$. Cette commande inhibe le déclenchement d'un circuit

d'alarme placé en sortie. Dès qu'il atteint une tension seuil, la sortie de l'A.O bascule à $+U_{sat}$, provoquant le déclenchement de l'alarme.

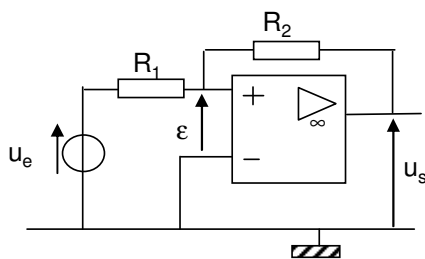
Un autre exemple d'utilisation est la remise en forme du signal reçu. Si un signal carré est transmis, le signal reçu sera affaibli et distordu même après un étage d'amplification et filtrage. En utilisant un comparateur et en plaçant judicieusement sa tension de commutation, celui-ci peut remettre en forme le signal et reformer un signal carré.

II. -MONTAGE TRIGGER

II.1.- Etude du montage bistable non inverseur

Un comparateur utilisé comme détecteur de franchissement de seuil présente un inconvénient, puisqu'il est sensible aux fluctuations de niveau provoqué par le bruit et les signaux parasites. Lorsque la différence entre les tensions d'entrée inverseuse et non inverseuse est proche de 0V, toute fluctuation peut provoquer des commutations intempestives de la sortie.

Pour remédier à cet effet parasite, le montage suivant est proposé.



Comme le montage comparateur, mais cette fois étant donnée la rétroaction positive, l'A.O fonctionne en régime de saturation et sa sortie présente 2 états possibles stables : $u_s = +U_{sat}$ ou $u_s = -U_{sat}$: soit deux états stables d'où le qualificatif de montage bistable sonné au montage.

Suivant l'entrée de l'A.O sur laquelle on connecte un générateur de tension, on réalise un bistable inverseur ou non inverseur.

Déterminons les valeurs de basculement d'un état stable vers l'autre, que nous noterons U_p , seuil de basculement positif et U_N seuil de basculement négatif.

D'après le théorème de superposition, la tension d'entrée différentielle s'écrit :

$$\varepsilon = \frac{R_2}{R_1 + R_2} u_e + \frac{R_1}{R_1 + R_2} u_s$$

Supposons que $u_s = -U_{sat}$ et déterminons la condition de basculement qui conduit à $u_s = +U_{sat}$, condition qui sera réalisée pour $\varepsilon > 0$. Remplaçons $u_s = -U_{sat}$ dans l'équation précédente d'où :

$$\varepsilon = \frac{R_2}{R_1 + R_2} u_e - \frac{R_1}{R_1 + R_2} U_{sat}$$

La condition de basculement, obtenue lorsque ε deviendra positif s'écrit :

$$\varepsilon > 0 \quad \Rightarrow \quad \frac{R_2}{R_1 + R_2} u_e - \frac{R_1}{R_1 + R_2} U_{sat} > 0 \quad \Rightarrow \quad u_e > \frac{R_1}{R_2} U_{sat}$$

A l'égalité, on définit la valeur du seuil de basculement POSITIF $U_p = \frac{R_1}{R_2} U_{sat}$

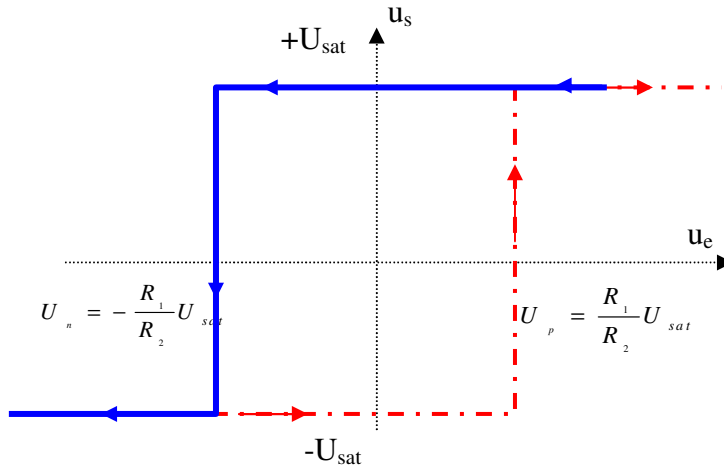
Inversement, ou réciproquement, pour faire basculer l'état de sortie de l'état haut ($+U_{sat}$) vers l'état bas ($-U_{sat}$), ε doit devenir négatif :

$$\varepsilon = \frac{R_2}{R_1 + R_2} u_e + \frac{R_1}{R_1 + R_2} U_{sat} < 0 \quad \Rightarrow \quad u_e < -\frac{R_1}{R_2} U_{sat}$$

A l'égalité, on définit la valeur du seuil de basculement NEGATIF $U_N = -\frac{R_1}{R_2} U_{sat}$

Remarque :

En effectuant le tracé de la fonction $u_s(u_e)$ on remarque que le comportement n'est pas le même lorsque le montage bascule de $+U_{sat}$ à $-U_{sat}$ ou de $-U_{sat}$ à $+U_{sat}$. Cette propriété appelée **cycle d'hystérésis**, traduit la différence de comportement selon l'état de provenance. Le qualificatif de « bistable » est donné à ces architectures étant donné que le système peut « théoriquement » prendre une des deux valeurs $\pm U_{sat}$ Lorsque $u_e \in]U_n, U_p[$,

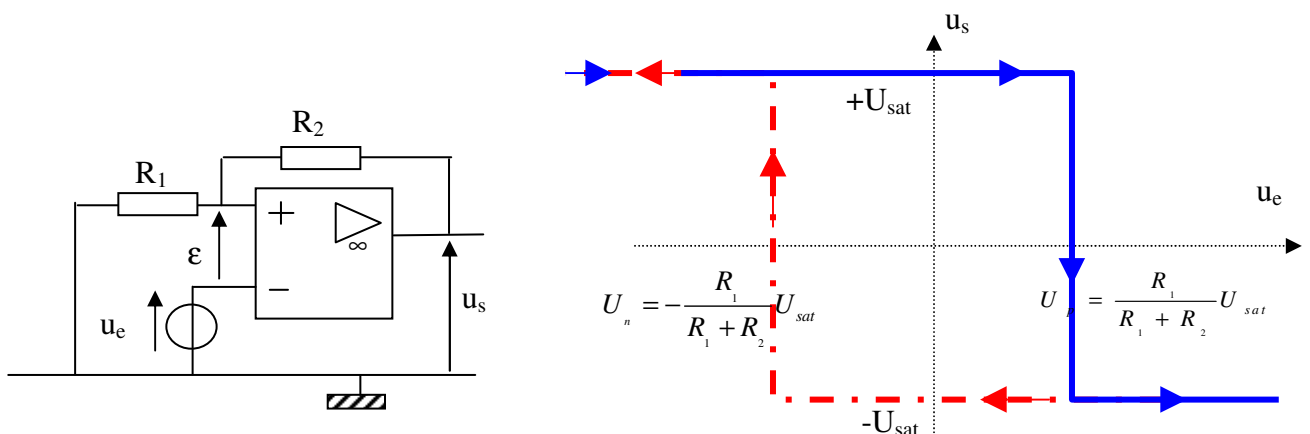


Notons que pour $u_e \in [U_n, U_p]$ même si la lecture du cycle propose deux valeurs de tension pour la sortie u_s , une seule valeur n'étant physiquement possible, le montage conservera la valeur qu'il avait lorsqu'il est entrée dans le cycle. Cette propriété peut être vue comme la conservation d'un état mémoire par le montage bistable non inverseur.

En supprimant le bouclage (R_2 tend vers ∞) les deux seuils se confondent à la valeur nulle. On retrouve ainsi la caractéristique du montage comparateur. Les valeurs maximales autorisées pour u_e sont $\pm U_{sat}$, et pourront être obtenues pour $U_p = -U_n$ soit $R_2 = R_1$. Autrement dit, on devra toujours avoir $R_2 > R_1$.

II.2.- Etude du montage bistable inverseur

En effectuant le même raisonnement, on détermine le cycle d'hystérésis du montage bistable inverseur.



III.3.- Comparaison entre le montage bistable et le montage comparateur

Pour assurer le basculement du système d'un état à l'autre ($u_s = \pm U_{sat}$), étant donné la capacité du système à conserver l'état mémoire, il suffit de contrôler l'entrée u_e par une impulsion :

- d'amplitude supérieure au niveau du seuil,
- de durée suffisante, inertie de basculement liée aux constantes de temps du montage, à comparer avec le temps de maintien pour une bascule,
- de « sens » déterminé par l'état précédent du montage.

Alors qu'un montage comparateur va être sensible au bruit autour du point de comparaison, le montage trigger, va lui « être robuste » à une superposition d'un signal bruité tant que l'amplitude du signal ne permet pas de franchir les tensions de seuil.

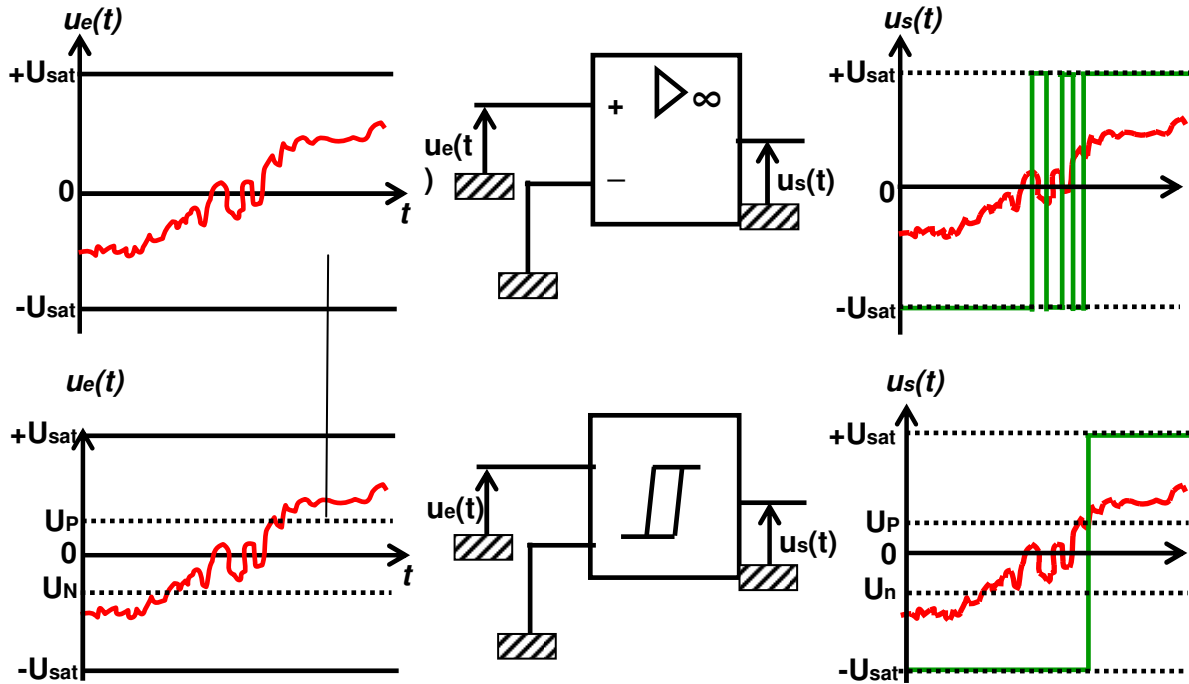


Fig. 3 - Utilisation d'un trigger de Schmitt pour remettre en forme un signal affaibli et bruité

III. –MONTAGE MONOSTABLE

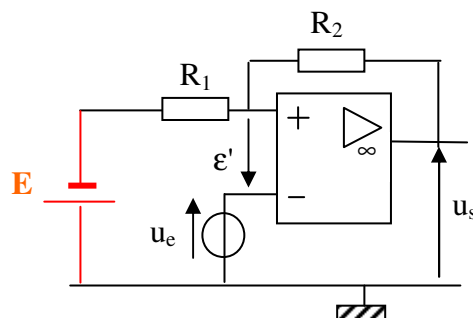
III.1.– Etude du montage monostable

Si on « translate » le cycle d'hystérésis, de telle sorte que les seuils U_n et U_p ne soient plus symétriques par rapport à l'axe des ordonnées, on peut ainsi obtenir un seul point d'intersection entre le cycle $u_s(u_e)$ et l'axe défini par $u_e=0$, d'où un seul point de repos et par conséquent l'appellation de monostable.

A partir de l'un des montages bistables précédents on peut obtenir un montage monostable :

- en polarisant l'une des entrées (source E),
- en introduisant une constante de temps dans le circuit de réaction.

Sur la base de la structure définissant le bistable inverseur, on ajoute une source continue sur l'entrée non inverseuse, dont la valeur absolue de la force électromotrice est notée E.



On définit la variable $\epsilon' = u_- - u_+$ qui présente la particularité de varier en phase avec la tension d'entrée u_e . D'après le principe de superposition, l'expression de la tension différentielle $\epsilon' = -\epsilon$ devient :

$$\epsilon' = u_e - \frac{R_1}{R_1 + R_2} u_s + \frac{R_2}{R_1 + R_2} E$$

u_s basculera de $+U_{sat}$ vers $-U_{sat}$, lorsque ϵ' deviendra positif, ce qui s'écrit :

$$u_e > \left(\frac{R_1}{R_1 + R_2} U_{sat} - \frac{R_2}{R_1 + R_2} E \right) = U_p$$

u_s re-basculera de $-U_{sat}$ vers $+U_{sat}$, lorsque ϵ' deviendra négatif, ce qui s'écrit :

$$u_e < \left(-\frac{R_1}{R_1 + R_2} U_{sat} - \frac{R_2}{R_1 + R_2} E \right) = U_n$$

D'après notre hypothèse de travail, E est strictement positif donc U_n est toujours négatif.

Le montage sera un MONOSTABLE (avec $u_s(u_e=0) = -U_{sat}$) si U_p devient négatif, d'où la condition sur E :

$$E > \frac{R_1}{R_2} U_{sat}$$

Remarque :

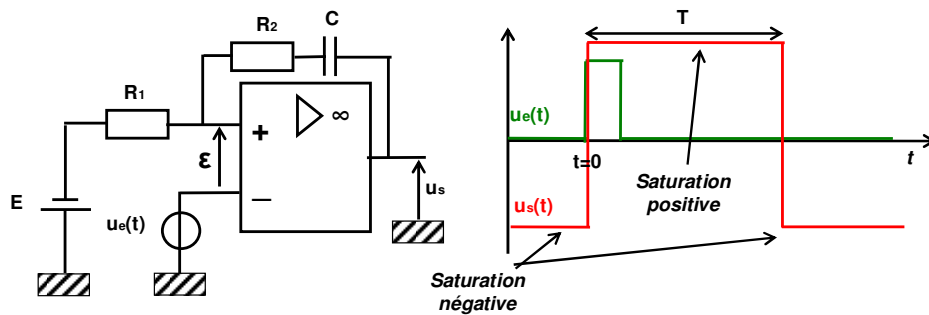
L'ajout de la source de tension continue de fem E, a pour conséquence de traduire le cycle d'hystérésis bien que sa « largeur » définie par $|U_p - U_n|$ soit conservée.

Lorsqu'une tension de commande négative u_e est appliquée à l'entrée, le système pourra basculer en $u_s = +U_{sat}$ mais reviendra instantanément en $-U_{sat}$ dès que u_e deviendra supérieure à U_p , condition vérifiée par l'état de repos de l'entrée $u_e=0$.

III.2.- Monostable à constante de temps

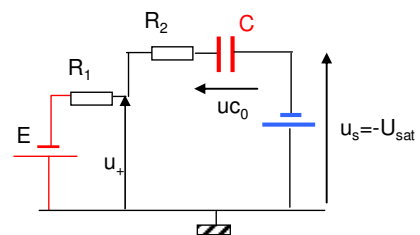
Si on applique ce montage à la gestion de l'ouverture des portes d'un ascenseur, un capteur optique pilotant l'ouverture des portes (état $u_s = +U_{sat}$) ; la fermeture des portes sera conditionnée dès que le potentiel de u_e deviendra supérieur à U_p (qui est négatif). En n'utilisant qu'un seul capteur, en absence de détection d'une présence par le capteur optique, les portes vont très vite se refermer (on se limiterait à l'inertie temporelle du système mécanique). On palie à cette limite d'utilisation du monostable en « ralentissant » la durée du retour vers zéro du potentiel u_e en ajoutant un condensateur de capacité C dans la rétroaction positive.

On définit l'architecture du monostable à constante de temps, qualifié de montage temporisateur, dont le principe est repris dans un minuteur d'instinction de lumière, la gestion de la lumière d'un habitacle de voiture, la fermeture de portes d'ascenseurs...



On vient d'établir qu'au repos ($u_e = 0$) $u_s = -U_{sat}$, le condensateur est donc chargé à $u_{C0} = U_{sat} - E$. On vérifie que l'état repos ($u_s(u_e(t=0)) = -u_{sat}$) est un état stable : aucun courant ne passant dans R_1 et R_2 on a donc bien :

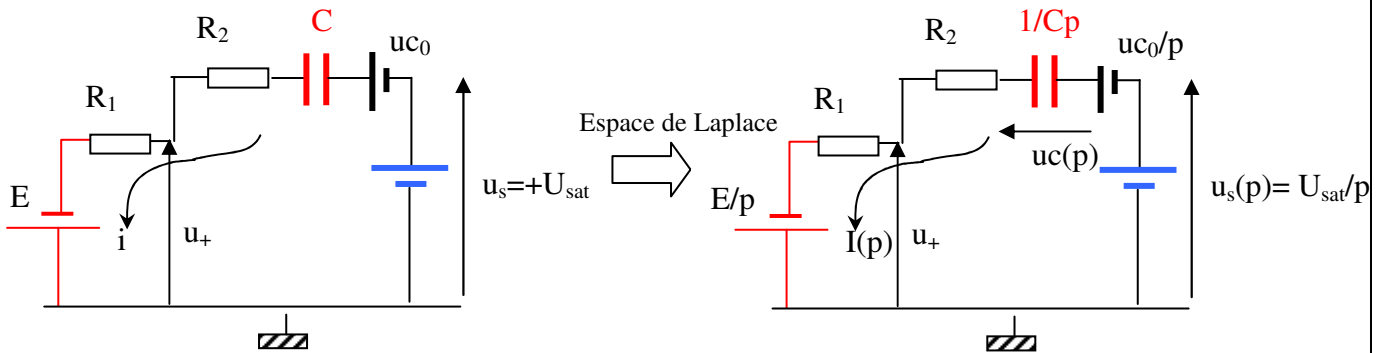
$\epsilon'(t=0) = -\epsilon(t=0) = u_1(t=0) - u_2(t=0) = 0 - (-E) = E$, d'où $\epsilon'(t=0) > 0$ donc l'hypothèse $u_s(t=0) = -U_{sat}$ est vérifiée.



Si on envoie une impulsion négative sur l'entrée u_e d'amplitude $|u_i| > |u_n|$, ϵ' devenant négatif, le système va basculer instantanément en $u_s = +U_{sat}$ et rester dans cet état (même si u_e repasse à zéro) tant que :

$u_+(t) = -E + R_1 i(t)$ sera positive puisque $\epsilon' = u_e - u_+ < 0$ est la condition permettant de conserver u_s dans le même état logique.

Le re-basculage se fera lorsque ϵ' deviendra positif, la limite se situant à $u_+(t_2) = 0$, définie par la relation $u_+(t_2) = 0 = -E + R_1 i(t_2)$. L'expression de $i(t)$ peut être établie à partir de la résolution de l'équation différentielle du circuit, ou encore par application du calcul de Laplace.



Soit :

$$I(p) = \frac{(U_{sat} + u_{c_0} + E)}{p \left(R_1 + R_2 + \frac{1}{Cp} \right)} = \frac{(U_{sat} + U_{sat} - E + E)}{p \left(R_1 + R_2 + \frac{1}{Cp} \right)} = \frac{2U_{sat}}{p \left(R_1 + R_2 + \frac{1}{Cp} \right)} = \frac{2U_{sat}}{R_1 + R_2} \left(\frac{1}{p + \frac{1}{(R_1 + R_2)C}} \right)$$

Soit l'original dans l'espace des temps : $i(t) = \frac{2u_{sat}}{R_1 + R_2} \exp \left[-\frac{t}{(R_1 + R_2)C} \right]$. La capacité se décharge au

travers des résistances R_1 et R_2 , d'où une diminution du potentiel de u_+ . On cherche donc le temps t_2 pour lequel le potentiel $u_+(t_2)$ devient nul, temps pour lequel le système re-basculera vers son état initial.

$$u_+(t_2) = 0 = -E + R_1 \left(\frac{2U_{sat}}{R_1 + R_2} \exp \left[-\frac{t_2}{(R_1 + R_2)C} \right] \right)$$

$$t_2 = -(R_1 + R_2)C \ln \left(E \frac{R_1 + R_2}{2R_1 U_{sat}} \right) \text{ avec } t_2 > 0$$

d'où $t_2 = (R_1 + R_2)C \ln \left(\frac{2R_1 U_{sat}}{(R_1 + R_2) E} \right)$, ce qui définit la durée T de l'impulsion en sortie :

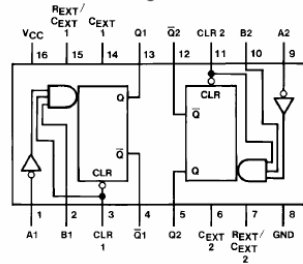
$$T = (R_1 + R_2)C \ln \left[\frac{2R_1 U_{sat}}{(R_1 + R_2) E} \right]$$

Les monostables temporisateurs existent aussi en numérique et sont disponibles en version circuits intégrés : la période est fixée par une résistance et une capacité externe. L'exemple du 74LS123 est présenté ci-après avec un

extrait de la documentation constructeur (datasheet en anglais que l'on obtient facilement sur tout type de moteur de recherche internet par la commande 74LS123 pdf).

DM74LS123 Dual Retriggerable One-Shot with Clear and Complementary Outputs

Connection Diagram



Function Table

CLEAR	Inputs		Outputs	
	A	B	Q	Q̄
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	↓	↓
H	↓	H	↓	↓
↑	L	H	↓	↓

H = High Logic Level
 L = Low Logic Level
 X = Can Be Either Low or High
 ↑ = Positive Going Transition
 ↓ = Negative Going Transition
 ↓L = A Positive Pulse
 ↓L = A Negative Pulse

General Description

The DM74LS123 is a dual retriggerable monostable multivibrator capable of generating output pulses from a few nanoseconds to extremely long duration up to 100% duty cycle. Each device has three inputs permitting the choice of either leading edge or trailing edge triggering. Pin (A) is an active-low transition trigger input and pin (B) is an active-high transition trigger input. The clear (CLR) input terminates the output pulse at a predetermined time independent of the timing components. The clear input also serves as a trigger input when it is pulsed with a low level pulse transition (↓L). To obtain the best trouble free operation from this device please read the operating rules as well as the NSC one-shot application notes carefully and observe recommendations.

Functional Description

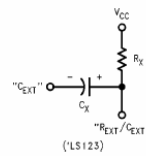
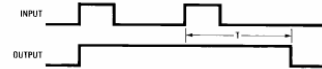
The basic output pulse width is determined by selection of an external resistor (Rx) and capacitor (Cx). Once triggered, the basic pulse width may be extended by retriggering the gated active-low transition or active-high transition inputs or be reduced by use of the active-low or CLEAR input. Retriggering to 100% duty cycle is possible by application of an input pulse train whose cycle time is shorter than the output cycle time such that a continuous "HIGH" logic state is maintained at the "Q" output.

Operating Rules

The retriggerable pulse width is calculated as shown below:

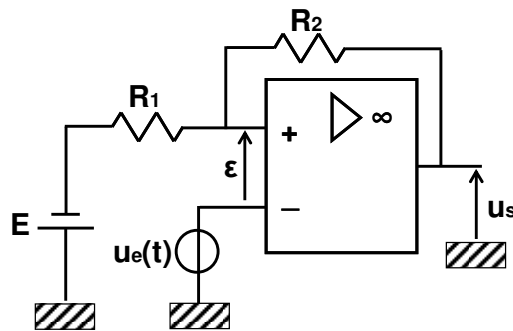
$$T = T_W + t_{PLH} = K \times R_X \times C_X + t_{PLH}$$

The retriggered pulse width is equal to the pulse width plus a delay time period (Figure 5).



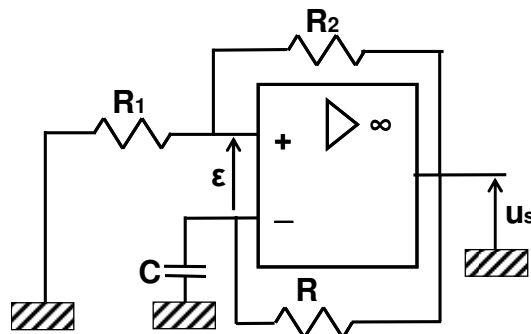
TESTEZ VOS CONNAISSANCES

- ☺ Démontrez les valeurs des seuils de commutation d'un montage bistable inverseur.
- ☺ Tracer la caractéristique entrée sortie théorique de ce montage. La tension de saturation de l'A.O est de 13 V. Calculer E, R1 et R2 pour avoir les seuils suivants : $e_P = -1$ V $e_N = -5$ V. (par exemple avec les valeurs normalisées suivantes : $R1 = 10$ K Ω , $R2 = 56$ K Ω , $E = 3.5$)



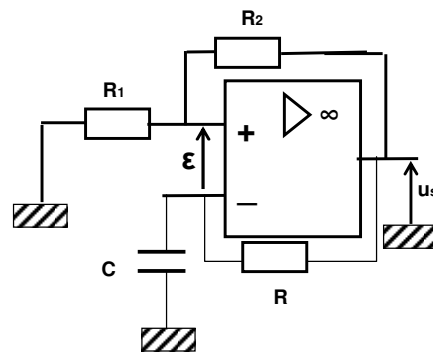
- ☺ On souhaite réaliser une barrière infrarouge de portail. Cette barrière détecte le passage d'un objet qui coupe le faisceau lumineux. Si le portail est ouvert, le passage d'un objet conduira le portail à rester ouvert 30 secondes de plus. Proposer un schéma électrique du montage.

- ☺ Analyser le circuit ci-dessous_Montage astable ou multivibrateur. On suppose que le condensateur C est déchargé à l'instant initial. Déterminer la période des oscillations de ce système. $T = 2RC \ln\left(1 + \frac{2R_1}{R_2}\right)$

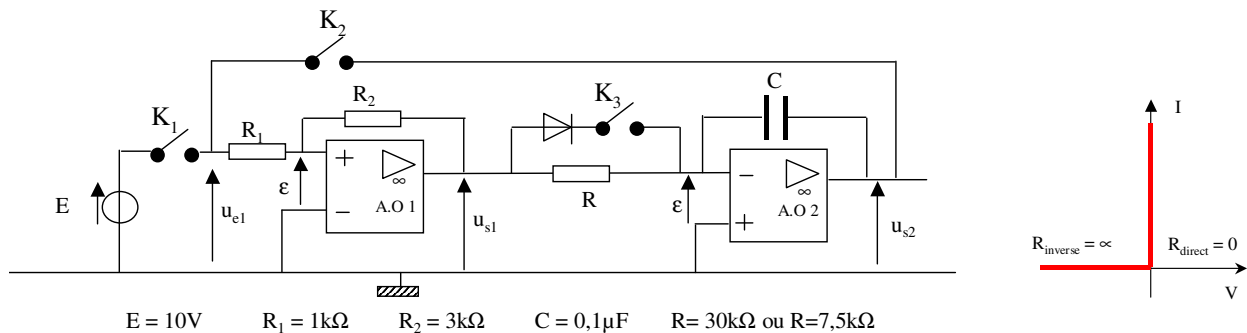


☉ MONTAGE ASTABLE OU MULTIVIBRATEUR

En combinant sur un même amplificateur opérationnel circuit de rétroaction positive ET négative, démontrer que ce montage bien que ne présentant AUCUN signal d'entrée, délivre en sortie un signal carré d'amplitude $2U_{SAT}$, et de période $T = 2RC \ln\left(1 + \frac{2R_1}{R_2}\right)$ qui suffirait à faire clignoter une diode électroluminescente par exemple.



☉ REALISATION D'UN OSCILLATEUR DE RELAXATION : Les amplificateurs opérationnels du dispositif sont supposés parfaits et leurs amplitudes de tension de sortie maximum sont $U_{SAT} = \pm 15V$.

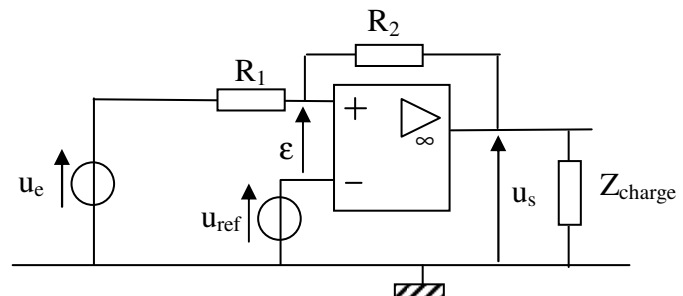


- ☒ Les trois interrupteurs K_1, K_2, K_3 étant ouverts :
Donner de manière qualitative les propriétés des deux circuits en les étudiant séparément (Type de bouclage, comportement en sortie ...) Préciser les relations qui existent entre sortie et entrée de chacun des deux circuits (valeurs des seuils pour le bloc 1, fonction de transfert pour le bloc 2)
- ☒ Les interrupteurs K_2 et K_3 restant ouverts, on ferme K_1 à l'instant $t = 0$:
Représenter les signaux $u_{e1}(t), u_{s1}(t), u_{s2}(t)$. (On supposera que $u_{s1}(t=0) = -S_{MAX}$ et que $u_{s2}(t=0) = 0$)
- ☒ Même question que ci-dessus lorsqu'on ouvre K_1 à l'instant $t = 4ms$:
- ☒ Les interrupteurs K_1 et K_3 restant ouverts, on ferme K_2 à l'instant $t = 5ms$:
Expliquer le fonctionnement du dispositif.
- ☒ Représenter sur le même dessin (chronogramme) que précédemment l'évolution des signaux $u_{s1}(t)$ et $u_{s2}(t)$.
Calculer la période puis la fréquence des signaux obtenus pour $R = 30k\Omega$; puis pour $R = 7,5k\Omega$
- ☒ Reprendre les deux questions précédentes avec K_3 fermé ($t = 15ms$), la diode ayant la caractéristique idéale $I(V)$ donnée.

☉ Filtrage d'un signal numérique avec un bistable à seuils commandés

☒ Identifier le type de montage

☒ L'A.O est alimenté par les tensions symétriques $\pm 15Volts$. On considère dans un premier temps que Z_{charge} est équivalente à une charge résistive de $1k\Omega$. On pose $R_1 = R_2 = 10k\Omega$, et $u_{ref} = 2Volts$.



- ☒ Justifier le tracé de la fonction $u_s(u_i)$ en donnant l'expression de u_i, u_j, u_{SAT}
- ☒ On définit u_M comme le potentiel moyen entre u_i et u_j . Donner son expression. Ce paramètre est-il fonction de la tension d'alimentation du système ?
- ☒ On définit Δu_1 comme représentant la « largeur du cycle d'hystérésis ». Donner l'expression de Δu_1 . De quel paramètre du

circuit Δu_1 est-il indépendant ?

☒ Quelle(s) condition(s) sur u_{ref} garantissent la caractéristique « monostable » du système ?

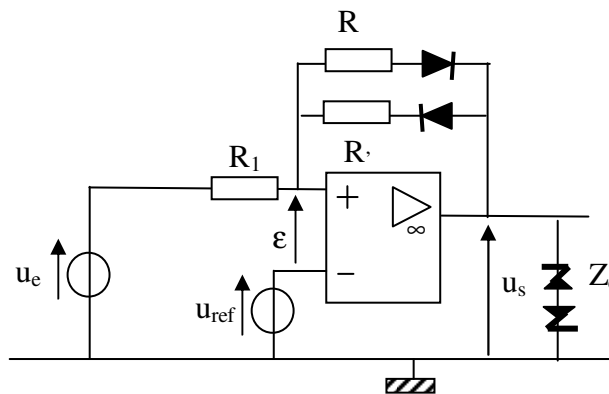
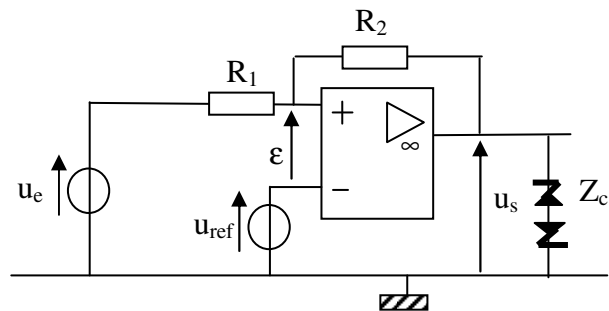
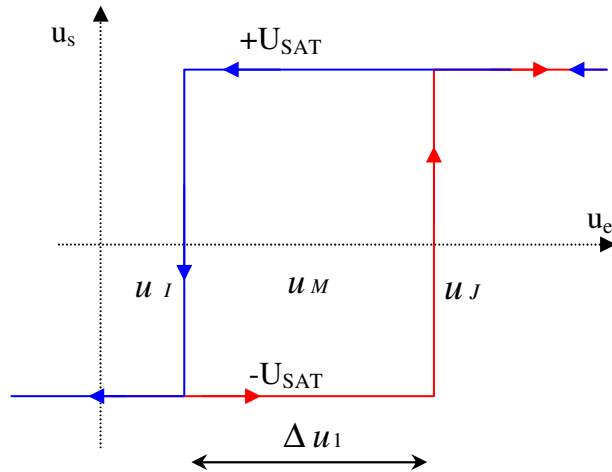
☒ La largeur du cycle d'hystérésis définit la capacité du montage à filtrer des parasites.

☒ Définissez un signal parasite et dessiner l'évolution du signal us

☒ Sans modifier les valeurs des paramètres électriques, on substitue à l'impédance de charge Z_c la structure composés par deux diodes zéner, comme présenté ci-dessous (avec $V_z=5V$). Quel paramètre se trouve modifié ?

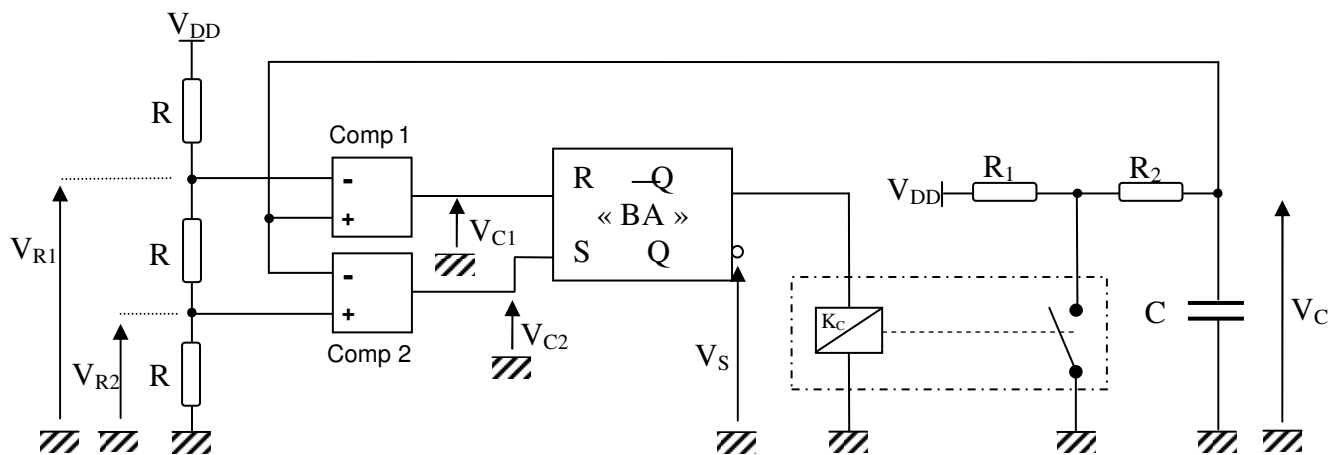
☒ On modifie la structure en remplaçant la résistance R_2 par deux résistances en parallèle R et R' comme présenté ci-contre :

Expliquer le nouveau fonctionnement du système. En déduire la procédure de dimensionnement d'un trigger de Schmitt pour une application au filtrage de signaux numériques.



☺ On se propose d'étudier le fonctionnement du circuit ci-après. On donne les précisions suivantes :

- ① les connexions sont systématiquement matérialisées par des points ;
- ② tous les circuits actifs (comparateurs, bascule) sont alimentés sous la tension V_{DD} ;
- ③ « BA » est une bascule RS asynchrone dont les sorties Q et \bar{Q} sont égales soit $0V$ soit à V_{DD} ;
- ④ la sortie des comparateurs (1) et (2) est elle aussi soit égale à $0V$ ($u_+ > u_-$) soit égale à V_{DD} ($u_+ < u_-$) ;
- ⑤ K_C représente un interrupteur commandé qui est ouvert quand $\bar{Q} = 0$ et fermé quand $\bar{Q} = 1$.
- ⑥ Pour les applications numériques on donne $V_{DD} = 6V$, $R = 5k\Omega$, $C = 10nF$.



- ☒ Calculer la tension V_{R1} et déterminer le comportement de la tension de sortie V_{C1} du comparateur (1) en fonction de la tension v_C . Tracer la caractéristique $V_{C1}=f(v_C)$
- ☒ Calculer la tension V_{R2} et déterminer le comportement de la tension de sortie V_{C2} du comparateur (2) en fonction de la tension v_C . Tracer la caractéristique $V_{C2}=f(v_C)$.
- ☒ Dédire des deux résultats précédents l'état des entrées R et S de la bascule lors de la mise sous tension en supposant que $v_C(t)$ soit nulle à l'instant $t=0$. En déduire l'état des sorties Q et \bar{Q} de la bascule. L'interrupteur commandé K_C est-il ouvert ou fermé ?
- ☒ Faire une analyse qualitative (donc sans faire de calculs pour l'instant) du comportement de ce montage après la mise sous tension, pour ce faire on raisonne à partir de l'évolution de la tension $v_C(t)$ et conséquemment des tensions de sortie V_{C1} et V_{C2} des comparateurs (1) et (2) respectivement.
- ☒ En déduire qualitativement la forme de la tension de sortie $V_S(t)$.
- ☒ Atteint-on un régime permanent de fonctionnement ? Si oui entre quelles valeurs limites la tension $v_C(t)$ doit-elle évoluer ?
- ☒ Conclure quant à la fonction réalisée par ce circuit.
- ☒ Dans l'hypothèse où le régime permanent est établi, écrire l'équation différentielle qui régit le comportement de $v_C(t)$ lors de la charge du condensateur C et préciser la valeur initiale de v_C lorsque le condensateur est en phase de recharge. Résoudre cette équation pour en déduire la forme d'onde exacte de $v_C(t)$ ainsi que la durée T_C de la charge de C en fonction de R_1 , R_2 et C.
- ☒ Toujours dans l'hypothèse où le régime permanent est établi, écrire l'équation différentielle qui régit le comportement de $v_C(t)$ lors de la décharge du condensateur C et préciser la valeur initiale de v_C lorsque le condensateur est en phase de décharge. Résoudre cette équation pour en déduire la forme d'onde de $v_C(t)$ ainsi que la durée T_D de la décharge de C en fonction de R_2 et de C.
- ☒ Calculer R_1 et R_2 de manière à ce que la période T de $V_S(t)$ soit égale à 1 ms et son rapport cyclique égal à 75%.

CONCLUSION

Un montage à A.O à réaction présente un rebouclage sur son entrée positive. Ce type de montage est instable, les sorties ne peuvent prendre que 2 états : les tensions de saturation positive ou négative, s'apparentant ainsi à un signal numérique binaire.

Un montage comparateur détecte le signe de la tension différentielle. Il permet de comparer l'amplitude de 2 signaux et de remettre en forme un signal carré déformé et atténué.

Un montage bistable ou trigger de Schmitt présente 2 états stables possibles à l'état de repos (commande d'entrée nulle) qui dépendent de l'état précédent. Sa caractéristique entrée sortie est décrite par un cycle d'hystérésis.

Un montage monostable ressemble au montage bistable, hormis l'hystérésis de sa caractéristique qui ne trouve plus centrée autour de 0Volts : ce montage ne présente qu'un état stable à l'état de repos (commande d'entrée nulle).

En ajoutant un condensateur dans la boucle de retour d'un monostable, on crée un temporisateur programmable, qui dépend de la constante de temps introduite par les résistances et les capacités du montage.

I Introduction à l'électronique numérique

I.- ELECTRONIQUE NUMERIQUE SYNCHRONE OU ASYNCHRONE ?

Le développement de la plupart des systèmes de communications modernes a été rendu possible par le progrès des technologies liées à l'électronique. Considérons par exemple l'exemple du téléphone mobile GSM : il s'agit d'un système électronique qui regroupe différentes fonctions :

- énergie embarquée avec batterie rechargeable,
- radiocommunication avec les balises du réseau en *exploitant des fréquences quadband* : 850MHz, 900MHz, 1800MHz ou 1900MHz.
- traitement de l'information très complexe, composé de plusieurs circuits et de différents étages.

La figure 1 présente le synoptique d'un téléphone, où on a représenté en blocs les différentes fonctions analogique et numériques : bien qu'une grande majorité des blocs formant le téléphone soient numériques, les parties analogiques concernent la chaîne d'acquisition et de restitution du son, ainsi que quelques périphériques :

- La **partie analogique** sert à traiter l'information par conversion d'un processus physique (voix, image, onde électromagnétique) en un signal électrique exploitable en amplitude et/ou en fréquence.
- La **partie numérique** a une utilisation beaucoup plus variée : traiter l'information analogique, la transformer (codage, compression), commander les systèmes électroniques (processeurs), stocker de l'information (mémoires).

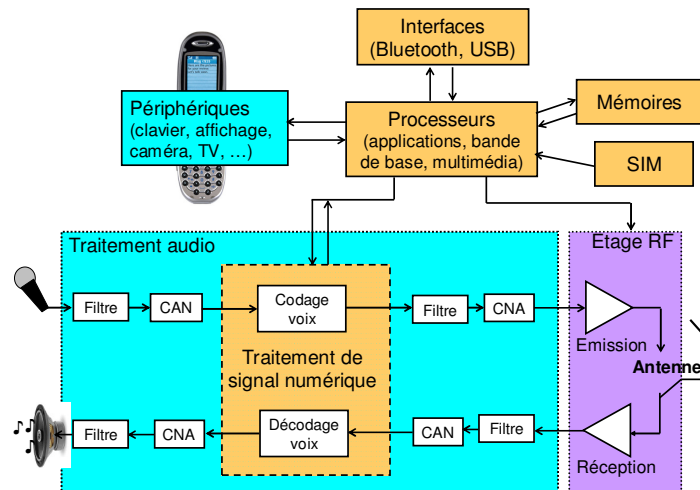


Figure. 1 – Diagramme des fonctions d'un téléphone portable

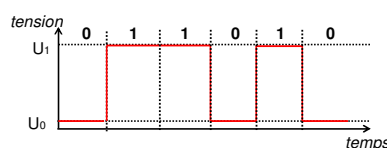


Figure. 2 – Exemple de signal binaire – transmission du message binaire 011010

La partie numérique est interfacée avec la partie analogique par des étages de Conversion Analogique Numérique et Convertisseur Numérique Analogique (respectivement en anglais : Analog to Digital Converters ou Digital to Analog Converters).

Les données numériques, représentées électriquement par des états finis, sont transcrites par une succession de symboles appelés BIT, pour la contraction des termes anglais binary digit, qui signifie « chiffre binaire » dont on doit l'invention à John Tukey et la popularisation à Claude Shannon. Un BIT ne pouvant prendre la valeur 0 ou 1, une représentation binaire est par conséquent équivalente à une représentation en base deux. Un ensemble de huit bits définit un OCTET (en anglais un BYTE)

Comparés aux circuits analogiques, les circuits numériques présentent certains avantages qui expliquent leur prédominance dans de nombreuses applications :

- Faible sensibilité au bruit
- Possibilité de traiter l'information grâce à la grande puissance de calcul des processeurs (compression, codage, filtrage complexe)
- Stockage de l'information sans perte d'informations.

On distingue deux familles de circuits numériques :

- les circuits numériques asynchrones où la fonction est opérationnelle sans condition de synchronisation.
- les circuits numériques synchrones : la ou les fonctions ne sont prises en compte que sur présence d'un changement de niveau d'un signal d'horloge.

Qu'est-ce qu'un signal d'horloge : un peu comme le signal électrique du rythme cardiaque, c'est un signal périodique, de période T, mais dont la forme présente deux caractéristiques :

- ⇒ deux et seulement deux niveaux de tension, auxquels on associera les variables logiques « 0 » et « 1 ».
- ⇒ un basculement quasi instantané entre ces deux niveaux de tension.

La figure suivante présente un signal d'horloge et pour information un signal électrique de contraction du muscle cardiaque. Intéressons-nous au signal d'horloge et à ses caractéristiques :

- ⇒ T_H = durée état Haut (High Level)
- ⇒ T_L durée état Bas (Low Level)
- ⇒ T_{CLK} période = $T_H + T_L$
- ⇒ Rapport cyclique état haut = $T_H/T_{CLK} = T_H/(T_H+T_L)$ (High level duty cycle)

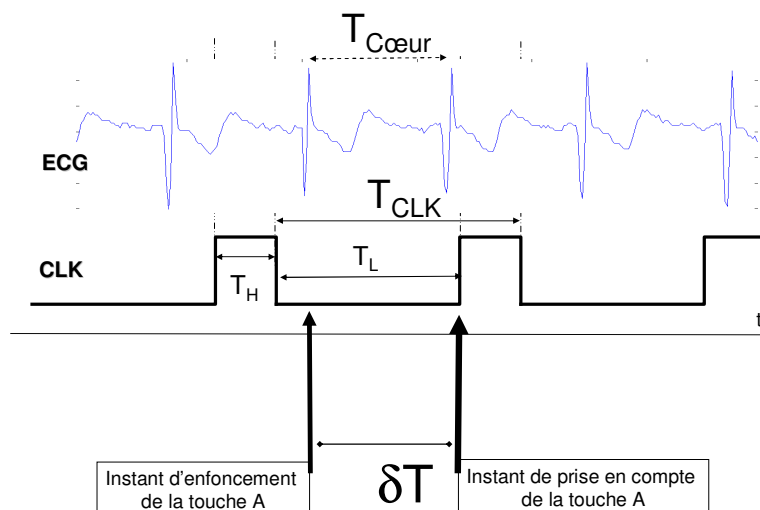


Fig. 3 – Caractéristiques d'un signal d'horloge et définition d'un circuit synchrone

Supposons synchrone la gestion d'un clavier d'ordinateur, avec une détection sur front montant du signal d'horloge: l'enfoncement de la touche A, sera prise en compte avec un délai δT dans cet exemple, alors qu'une électronique synchrone aurait instantanément détecté l'enfoncement.

Il ne faut pas voir la synchronisation comme un désavantage, bien au contraire, elle assure que tous les signaux qui proviennent d'endroits différents sont bien tous présents en même temps. Imaginez ce que serait une addition de 8+3 asynchrone alors que le nombre 3 ne serait pas encore « arrivé » en entrée du composant chargé d'effectuer l'opération, en l'occurrence une Unité Arithmétique et Logique.

L'horloge est une commande spéciale qui sert de référence de temps pour les circuits dits synchrones, qui représentent la majorité des circuits numériques. Toutes les opérations sont alors cadencées sur cette horloge. Un circuit dont le fonctionnement n'est pas cadencé par une horloge est qualifié d'asynchrone. Les E/S de données et de commande peuvent être indépendantes les uns des autres ou appartenir à un même bus de communication et suivre un protocole de communication standard.

Les paragraphes suivants ont pour objectifs de présenter les fonctions de base de l'électronique numérique en présentant les portes logiques, synchrones ou asynchrones et les techniques d'identification des circuits numériques.

II.- STRUCTURE GENERALE D'UN CIRCUIT NUMERIQUE

Le symbole général d'une fonction numérique, vu comme une boîte noire est défini par le standard ANSI/IEEE Std 91-1984, auquel on associe une équation logique dépendante des entrées (portes à logique combinatoire) ou par une machine à états (portes à logique séquentielle) voire dans certains cas un programme pour les circuits programmables et reconfigurables.

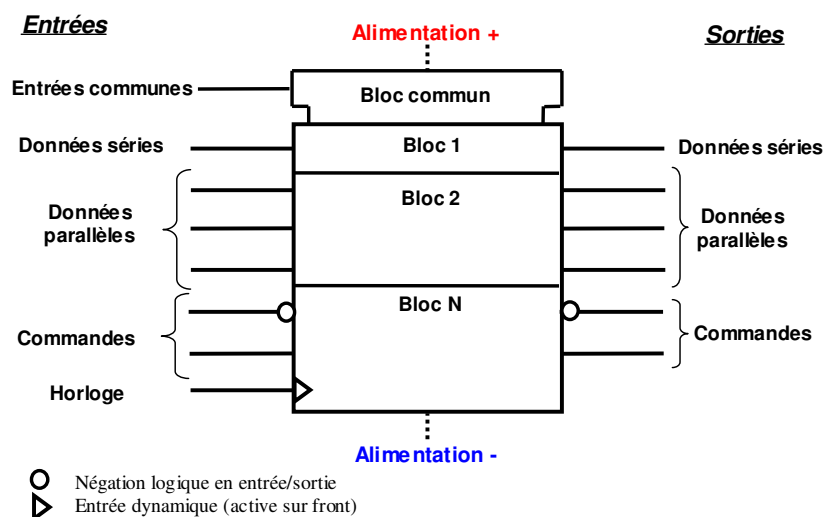


Fig. 4 - Structure générale d'un circuit numérique

On définit respectivement les entrées et les sorties qui peuvent être uni ou bidirectionnelles par les lettres E et S. Parmi les E/S, on distingue les broches de données de celles de commandes.

Les circuits numériques obéissent à un certain nombre de commandes externes :

- ⇒ remise à zéro (utilise pour fixer un état de départ connu): RESET
- ⇒ remisé à un : SET
- ⇒ sélection du boitier : CHIP SELECT (CS)
- ⇒ activation d'une sortie : ENABLE
- ⇒ désactivation d'une sortie : INHIBIT
- ⇒ commande de lecture : READ
- ⇒ commande d'écriture : WRITE
- ⇒ autorisation d'effacement : EWEN
- ⇒ effacement : ERASE
- ⇒ synchronisation avec un signal d'horloge sur front montant : CLOCK
- ⇒ synchronisation avec un signal d'horloge sur front montant : CLOCK

Remarque : la fonction contraire à la fonction OUVERTURE DE PORTE, se prononce « complément d'OUVERTURE DE PORTE » et se note avec une barre au dessus : OUVERTURE DE PORTE .
 Ainsi, l'ordre PARLER sera pris en compte par un UN logique, alors que l'ordre PARLER sera pilotée par un ZERO logique.

Assemblés dans un boîtier, en anglais package, les circuits numériques se présentent sous différentes formes. selon leur complexité, fonctionnalité, technologie, le nombre d'entrées-sorties

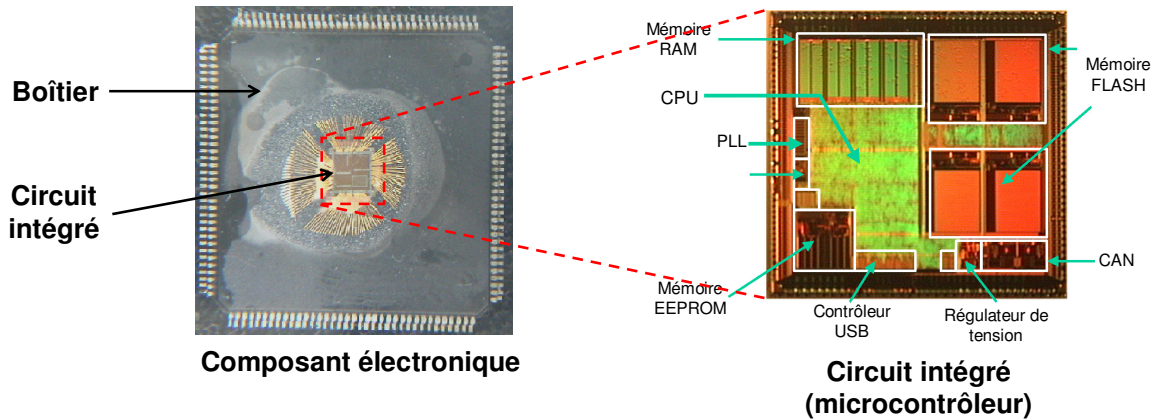


Fig. 5 – Structure physique d'un circuit numérique – un microcontrôleur

III.- DEFINITION DES ETATS LOGIQUES

III.1.- Niveaux logiques discrets

On définit la logique binaire, par deux états logiques auxquels on associe deux variables logiques « 0 » et « 1 ». On représente les relations entre la variable logique de sortie et les variables d'entrée soit par des équations dans l'algèbre de Boole, soit sous la forme de tableaux, appelés tables de vérité.

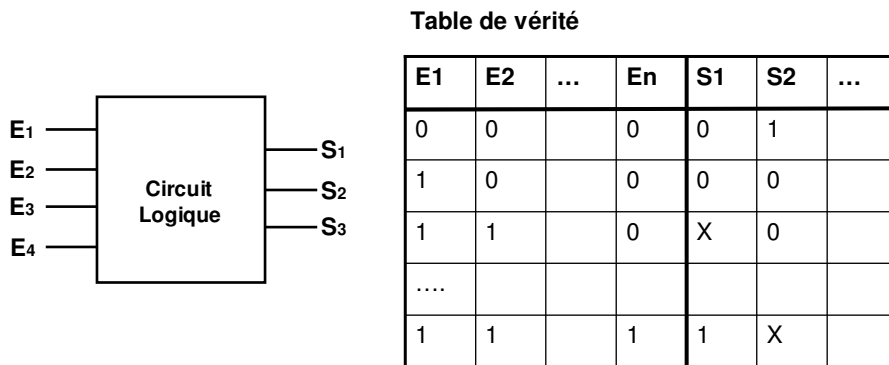


Fig. 6 - Définition des états de sorties d'un circuit logique en fonction de ses états d'entrée

Dans certains cas, les valeurs des sorties ne peuvent pas être définies : on parle d'état indéfini, noté, en logique, à l'aide du symbole ϕ ou X.

De même, par analogie, lorsque l'état d'une sortie ne dépend pas d'une entrée, cela signifie que cette entrée peut indifféremment prendre la valeur logique 0 ou 1, on notera cette entrée X.

III.2.- Sortie trois états

Les sorties de circuits binaires peuvent être modélisées par 2 interrupteurs reliant la sortie à l'alimentation + et - et commandés en opposition (on parle de « montage totem-pole ») : l'un des interrupteurs est passant alors que l'autre est bloqué.

Ce montage permet de polariser et de fournir du courant à une charge en sortie ; intensité de courant limitée que l'on appellera la SORTANCE du circuit (FAN OUT en anglais).

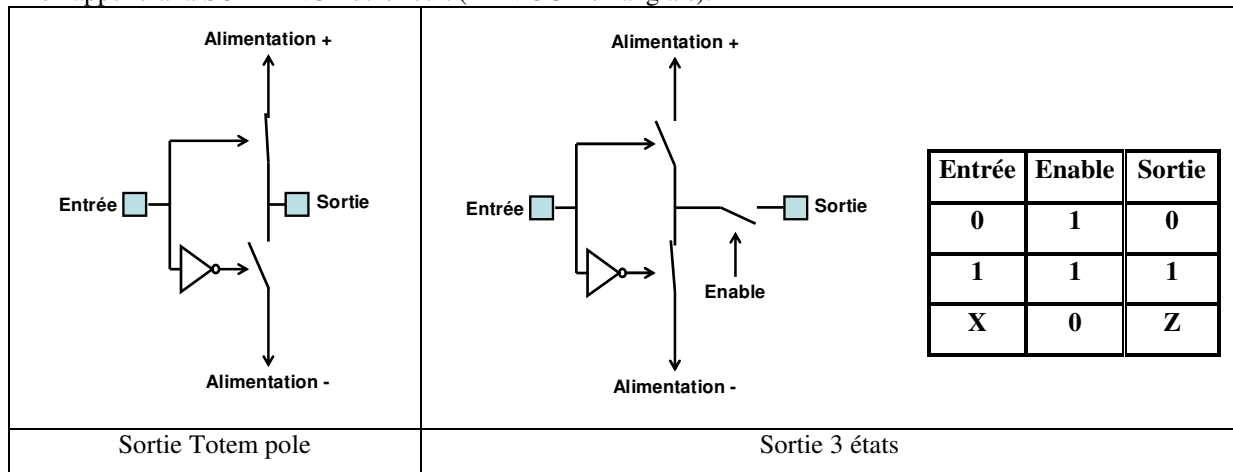


Fig. 7 - Comparaison des sorties totem pole et 3 états

Dans le cas où plusieurs sorties sont reliées à un même support de communication, une seule sortie doit imposer un état électrique, sous peine de créer un conflit électrique. Pour éviter ce type de situation, il est possible de modifier l'architecture de sortie précédente en ajoutant un interrupteur avant la sortie. Lorsque cet interrupteur est ouvert, la sortie est alors mise dans un troisième état appelé **état haute impédance et noté Z**.

Le circuit n'impose alors plus de potentiel sur la sortie à laquelle il est connecté. Plusieurs sorties 3 états peuvent alors être reliées ensemble, à condition qu'une seule impose un potentiel et que toutes les autres soient en haute impédance.

IV.- PORTES A LOGIQUE COMBINATOIRE

La comparaison de bits donne lieu à un certain nombre d'opérations :

- FONCTION OU
- FONCTION ET
- FONCTION NON ET (NAND)
- FONCTION NON OU (NOR)
- FONCTION OU EXCLUSIF (XOR)
- ADDITION
- MULTIPLICATION

Ces fonctions, construites par des arrangements de transistors MOS et/ou Bipolaires, vont être étudiées sous la forme de porte logiques pour lesquelles on ne va s'intéresser qu'à la fonction réalisée et pas à comment la réaliser. Un peu comme un jeu de légos, l'assemblage de portes logiques va créer des fonctions.

On définit une porte à logique combinatoire lorsque la sortie est déterminée par la combinaison logique des variables d'entrée.

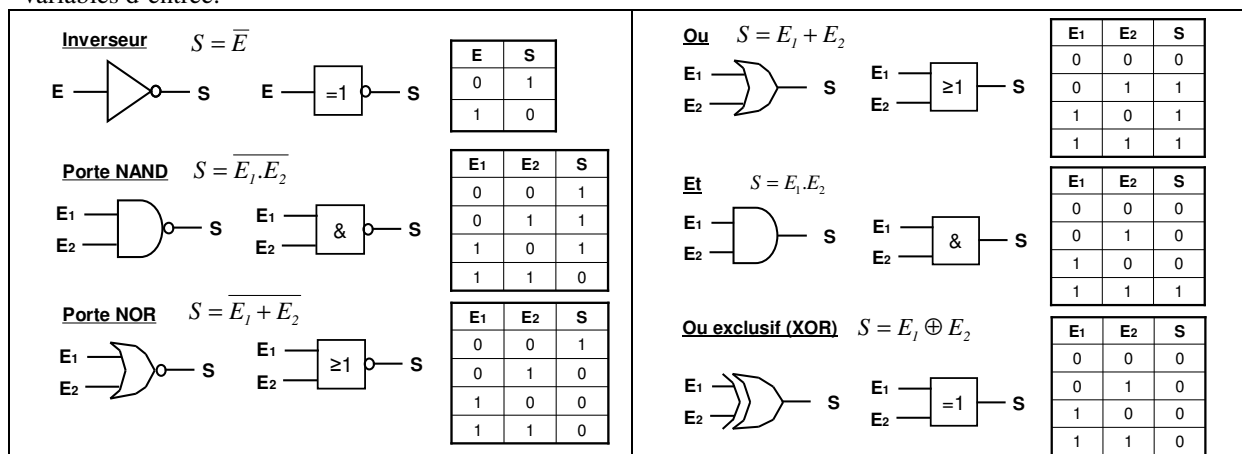


Fig. 8 - Portes à logique combinatoire

Par exemple, c'est le cas du circuit SN74HC04 constitué de 6 inverseurs.

**SN54HC04, SN74HC04
HEX INVERTERS**

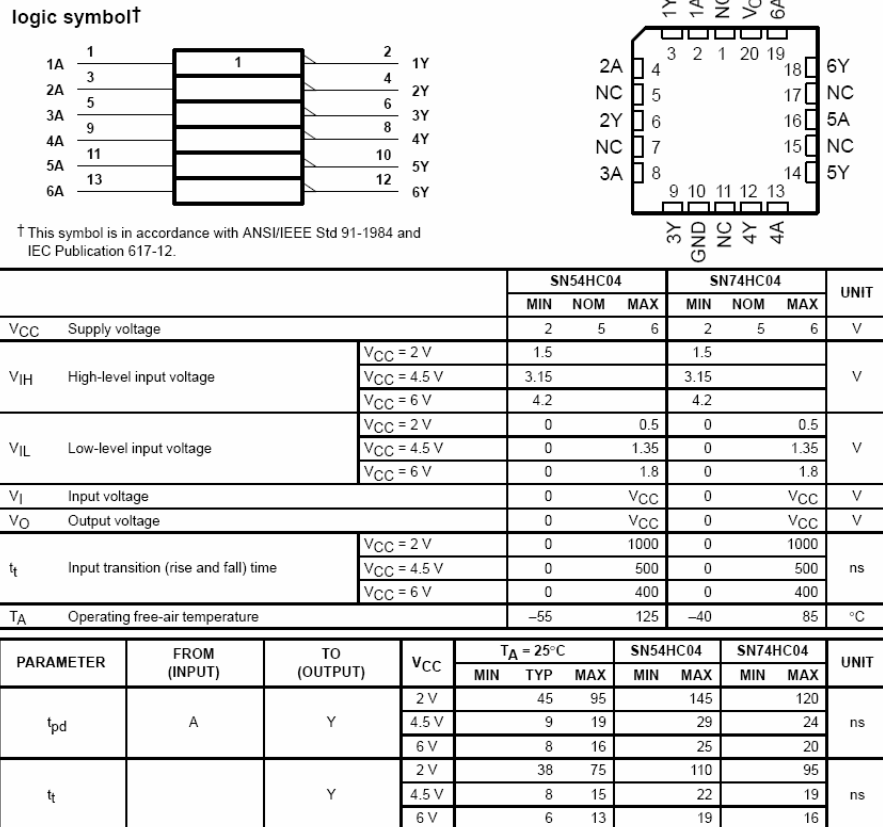


Fig. 9 – Datasheet du SN74HC04

Utilisons plusieurs portes logiques (en l'occurrence cinq) pour réaliser par exemple un additionneur 1 bit constitué par deux entrées A et B et de la retenue de l'opération précédente. En cascade en chaîne N additionneurs, on réalise un additionneur N bits, utilisé dans nos calculatrices.

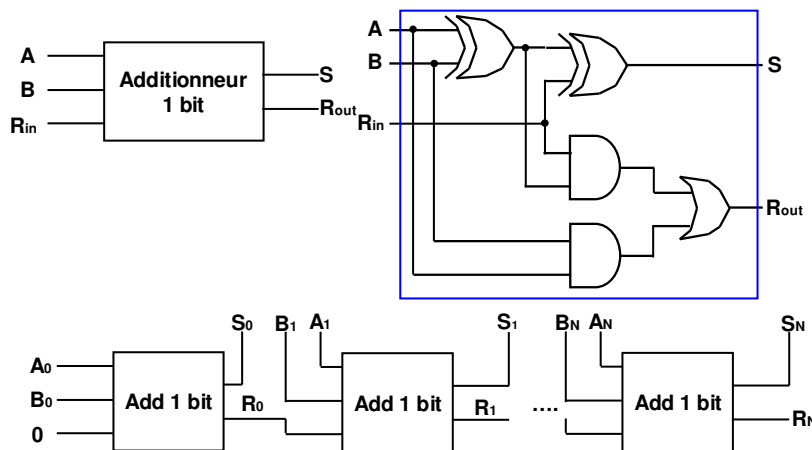


Fig. 10 – Additionneur complet 1 bit et réalisation d'un additionneur N bits

V.- PORTES A LOGIQUE SEQUENTIELLE

A la différence de la logique combinatoire, la logique séquentielle pourrait s'apparenter à un système en boucle fermée, puisque la sortie est définie par la combinaison logique des variables d'entrée ET de l'état

précédent de la sortie : la fonction séquentielle prend en compte un état mémoire. L'élément de base est la bascule, latch en anglais, qui va également être obtenue par assemblage de portes logiques combinatoires.

En général, les bascules comportent 2 sorties Q et \bar{Q} , \bar{Q} étant l'état logique complémentaire de Q.

Indépendantes d'un signal d'horloge, les bascules suivantes sont asynchrones.

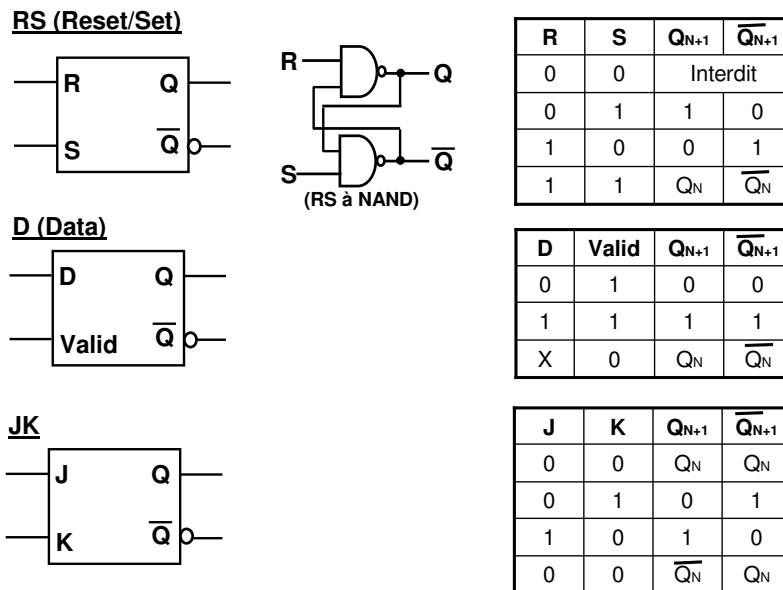


Fig. 11 - Bascules asynchrones

Synchronisée par un signal d'horloge la bascule est aussi nommée flip-flop : les sorties seront modifiées simultanément sur le front montant ou descendant de l'horloge.

Ci-dessous, une bascule D à déclenchement sur front montant est présentée.

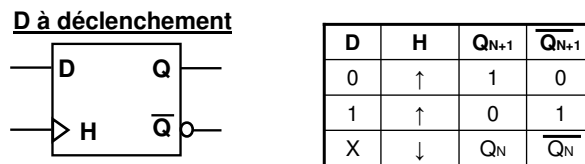


Fig. 12 - Bascule D à déclenchement sur front montant

La complexité d'un circuit logique créé manuellement uniquement à partir d'équations logiques et de tables de vérité est rapidement limitée, à cause du nombre d'entrées sorties, de portes et d'états pris par le système. Pour réaliser des circuits numériques à haute complexité (décodeur MP3, circuit de cryptage, microprocesseur, ...), des outils logiciels de synthèse ont été développés. A partir d'une description de haut niveau d'un circuit, l'outil est capable de générer automatiquement le schéma électrique à base de portes logiques et de bascules. Le concepteur décrit le fonctionnement du circuit à partir d'un langage de description matérielle : Very High Description Language (VHDL ou Verilog) sont les langages de description matérielle standards les plus courants. De par sa nature et sa syntaxe, ce langage ressemble à un langage informatique, mais il n'en a pas la même finalité. Le but de ces outils de synthèse est de simuler le fonctionnement du circuit décrit et enfin de générer automatiquement son schéma électrique. Depuis presque 25 ans, tous les circuits numériques sont développés à l'aide de ce type d'outils de synthèse. Le résultat de ces synthèses peut être matériellement transféré sur une puce électronique ou Application Specific Integrated Circuit (ASIC) ou bien sur un circuit programmable et reconfigurable comme des Field Programmable Gate Array (FPGA) ou des Complex Programmable Logic Device (CPLD).

TESTEZ VOS CONNAISSANCES

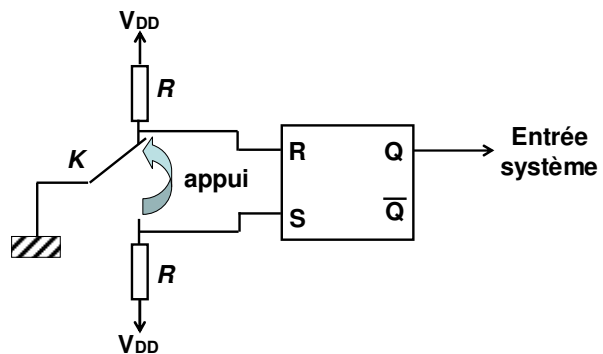
☺ Soit l'octet suivant : 0110 1001. Convertir ce mot en code hexadécimal. Quelle valeur représente ce mot binaire en codage binaire naturel ? (69h / 105)

☺ Donner le schéma électrique d'une porte réalisant la fonction logique ni exclusif. (XNOR)

☺ Proposer un circuit de multiplexage à 4 entrées. Il doit réaliser l'aiguillage de 4 données D0, D1, D2 et D3 sur la sortie Q en fonction d'une adresse sur 2 bits A0A1, qui code le numéro de la donnée sélectionnée.

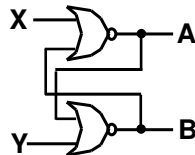
☺

Quelle pourrait être l'utilité du circuit présenté ci-dessous ? (Le contacteur en entrée est commandé manuellement).



☺ Modifier la structure de la bascule RS de la 10 afin d'ajouter une entrée de validation T. Quelle est l'utilité d'ajouter une telle entrée ?

☺ Analyser le circuit ci-dessous. Donner sa table de vérité et déterminer sa fonction. (bascule RS)



☺ A partir du schéma de l'additionneur complet, réalisez un soustracteur entre des mots de 4 bits A et B. (piste : utiliser le complément à 2).

CONCLUSION

Une variable binaire peut prendre deux valeurs 0 ou 1, c'est un BIT.
En regroupant 8 bits, on forme un OCTET ou un BYTE.

Les fonctions logiques sont souvent représentées sous la forme de tables de vérité.

On distingue 2 types de porte logiques : les portes à logiques combinatoire et les portes à logique séquentielle ou bascules. Les sorties des portes à logique combinatoire ne dépendent que des états des entrées, alors que celles des bascules dépendent non seulement des états des entrées, mais aussi des états de sortie précédents.

Un circuit numérique manipule des variables logiques associées dans des fonctions :

- ⇒ asynchrones : le résultat est instantané,
- ⇒ synchrone : c'est sur un front montant ou descendant d'un signal d'horloge que la fonction est exécutée.

Les circuits synchrones sont actifs sur les commutations ou fronts du signal d'horloge, toutes leurs sorties sont alors modifiées simultanément.

Chapitre 9

C Conversions analogique \leftrightarrow numérique

I. – PREAMBULE

Le monde qui nous entoure ne cesse de vanter les louanges du numérique : la musique est numérique, l'image est numérique, la téléphonie, nombreux sont les objets dont on attribue le qualificatif de numérique... Alors qu'on a persuadé que le « numérique c'est bien », ce chapitre présente et détaille les concepts associés de cette technologie qui a vraisemblablement bouleversé le XXIème siècle.

1.1. – Un peu d'histoire

Même si le plus ancien des calculateurs numériques fut le boulier, suivi de l'abaque de calcul utilisé jusqu'au XVII^e siècle en France pour la comptabilité publique; la première machine à calculer est inventée par Wilhelm SCHICKARD en 1623. Ce n'est qu'au travers d'une correspondance à son ami Kepler que l'on garde une description de « l'horloge à calculer » qui fut détruite par un incendie. En 1641, Blaise PASCAL conçoit la première machine à additionner qu'il matérialise en 1645 sous le nom de « Pascaline ». Miniaturisée en 1666 par Samuel MORLAND en Angleterre, Gottfried LEIBNITZ finalise en 1694 la première machine effectuant des multiplications dont l'innovation repose sur le principe de tambour à dents inégales utilisé dans la plupart des machines à calculer mécaniques jusqu'à la « Curta » encore fabriquée en 1972. La première réalisation industrielle « l'Arithmomètre » produite par Thomas de COLMAR en 1820 joua un rôle dans l'histoire de l'informatique. La transition entre le calcul mécanique et les techniques numériques de transmission de l'information, initiées par Claude Chape en mars 1793 s'effectue au travers des travaux d'Augustin-Louis Cauchy en 1841 (théorie de l'échantillonnage) et de George Boole en 1854.

L'histoire de la conversion analogique numérique peut être associée à la problématique de l'enregistrement et la reproduction du son depuis le téléphone d'Alexander Graham Bell en 1876, le phonographe de Thomas Edison (1877) jusqu'au Compact Disc développé en 1970 dans les laboratoires Philips par Compaan et Pete Kramer puis standardisé par Philips-Sony en 1980 (16bits, 44.1kHz, 120 millimètres de diamètre pour 74mn d'enregistrement). Dès 1922 J.R. Carson étudie le principe de l'échantillonnage pour les communications, complété par les travaux d'Harry Nyquist (1928) sur la théorie de la transmission télégraphique. On doit l'invention du principe de la transcription numérique d'un signal analogique à Alec Reeves, ingénieur britannique qui, en 1937, alors qu'il travaille au laboratoire ITT de Paris avec Deloraine et Busignies, énonce le principe du « Pulse Code Modulation » (PCM), ou « Coded Step Modulation » (CSM). On raconte que la première transcription par PCM développée par Bell fut utilisée durant la seconde guerre mondiale pour les conversations secrètes entre Churchill et Roosevelt. Ce concept, brevetée par ITT le 3 octobre 1938 en France (n°852,185) fut étendu aux USA le 3 Février 1942 (n°2,272,070) bien qu'il n'existait pas le support technologique nécessaire à l'application civile.

En 1948, Raymond W. Sears, développe le premier convertisseur Analogique Numérique sur la base d'une technologie à lampes, tandis que Claude E. Shannon publie une théorie mathématique pour la communication. Avec l'invention du transistor bipolaire en 1947 par John Bardeen, Walter Brattain, et William Shockley des laboratoires Bell; le principe développé par Reeves dix ans plus tôt est économiquement viable.

En 1950, Richard W. Hamming développe le principe des codes détecteurs/correcteurs d'erreurs, travaux complétés par I.S. Reed and G. Soloman (1960) qui sont à la l'origine des techniques d'encodage et de lecture de nos CDs. Alors que la première mission Apollo connaissait un échec le 27 Janvier 1967, le premier enregistrement audio numérique (12bits, 30kHz) est présenté par le NHK Technical Research Institute, suivi par Sony en 1969 (13bits 47.25 kHz). En 1980, le standard actuel des CDs (16bits, 44.1kHz) est finalisé par Sony et Philips, et l'exploitation commerciale débute fin 1982 sur le marché Japonais et Européen pour atteindre 1 milliard d'unités CD vendues sur la planète en 1990. Après le succès du CD, et des graveurs de CDs, la technologie du DVD (4.7Go) est introduite dès 1996, et son exploitation commerciale prend son essor en 1999 avec la diffusion massive de films sur support DVD et l'apparition de la seconde génération de graveurs de DVD.

Père des technologies de l'information (internet, CD, DVD, téléphone portable,...) visionnaire, Reeves décrivait dans les années 50 les « autoroutes de l'information du XXI^e siècle ». Pionnier du transport de l'information par la lumière, ses travaux sur les guides d'ondes le conduisent à rejoindre l'équipe de Charles Kao et George Hockham qui, dans les années 60, créent le premier système de transmission par fibre optique. Reeves s'éteint le 13 Octobre 1971, l'année où la société Intel produit le premier microprocesseur...

Faire des opérations sur des signaux analogiques, représentés par un module et une phase, est équivalent à faire des opérations entre vecteurs. Fort de cette affirmation, il apparaît inconcevable de développer des calculs ou des algorithmes sur ces grandeurs. On préfère sans aucune comparaison traiter des grandeurs scalaires, ce que le processus de numérisation décrit ci-après autorise.

Les exemples de traitement numérique de d'information sont nombreux : en téléphonie mobile, le son capté par le microphone ou l'image recueillie par la caméra embarquée sont des signaux analogiques qui vont subir des traitements numériques variés visant à les modifier (numérisation, compression, filtrage). Inversement, un système électronique peut aussi restituer un signal analogique à partir d'un flux de données numériques, comme un lecteur de fichiers MP3. Ces 2 opérations impliquent une conversion entre des représentations analogiques et numériques d'un signal.

L'opération visant à transformer un signal analogique en un signal numérique est appelé conversion analogique numérique, Analog to Digital Conversion en anglais. L'opération inverse s'appelle conversion numérique analogique, Digital to Analog Conversion.

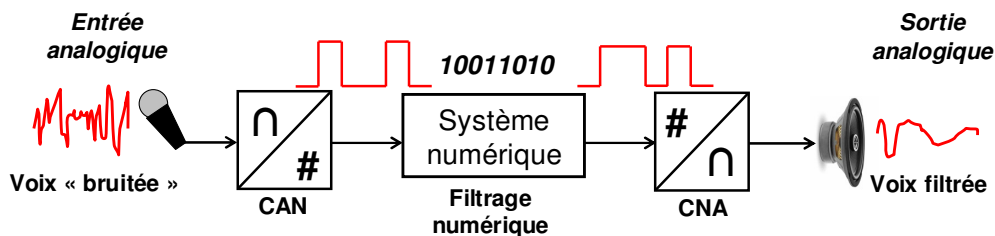


Fig. 1 – Chaîne de traitement numérique d'un signal analogique

Alors qu'un signal analogique présente une infinité d'états électriques possibles (dans un intervalle de valeurs borné par les tensions d'alimentation du circuit), un signal numérique ne peut représenter qu'un nombre fini d'états.

Dès lors, la transformation d'un signal analogique en un signal numérique ne peut se faire sans erreurs. Plusieurs règles de dimensionnement (quantification, codage, échantillonnage) du circuit de conversion analogique numérique doivent être suivies pour que le signal analogique restitué par un système numérique reste fidèle au signal analogique initialement acquis.

II. – CONVERSION ANALOGIQUE NUMERIQUE

Une conversion analogique numérique consiste à récupérer des échantillons du signal analogique à des instants donnés puis à les coder sur un nombre fini de bits.

Les **deux paramètres** principaux d'une conversion analogique numérique sont :

- la fréquence d'acquisition des échantillons su signal analogique ou **fréquence d'échantillonnage**
- **le nombre de bits** utilisés pour représenter sous forme binaire le signal numérisé.

La conversion analogique numérique comprend TROIS étapes successives :

- l'échantillonnage blocage,
- la quantification en amplitude du signal analogique
- le codage binaire.

II.1 .– Codage et Quantification en amplitude

La quantification consiste à transformer un signal analogique $u_{e,k}$, par hypothèse constant à l'instant k, en un nombre p, représenté en base binaire sur n bits.

Il ne faut pas confondre la représentation binaire $(u_{e,k})_2$ du nombre et le codage issu d'un CAN n bits défini par les relations :

- codage par troncature (ou valeur inférieure) :
 - si $u_{e,k} \in [p\Delta, (p+1)\Delta[$ alors le CAN codera en sortie sur les n bits la valeur $(p)_2$.
- codage par arrondi :
 - si $u_{e,k} \in [(p - 1/2)\Delta, (p + 1/2)\Delta[$ alors le CAN codera en sortie $(p)_2$.

Avec

$$\Delta = \frac{PE}{2^n}$$

n = Nombre de bits du convertisseur

PE = Pleine Echelle du convertisseur (en anglais Full Scale Range)

Δ : pas de conversion du CAN (ou quantum, noté parfois q) (en anglais « quantization intervals or bins ») associé à la largeur de chacun des 2^n intervalles de tension,

La Pleine Echelle représente l'amplitude de l'intervalle dans lequel la grandeur analogique à convertir prend ses valeurs découle les notions de :

- convertisseur unipolaire : les tensions convertibles en entrée sont strictement positives,
- convertisseur bipolaire : les tensions autorisées en entrée peuvent être négatives et la pleine échelle est symétrique par rapport au potentiel de référence.

Dans le cas d'un convertisseur linéaire, on décompose la tension maximale autorisée en entrée en 2n intervalles de largeur unitaire Δ définis par la relation :

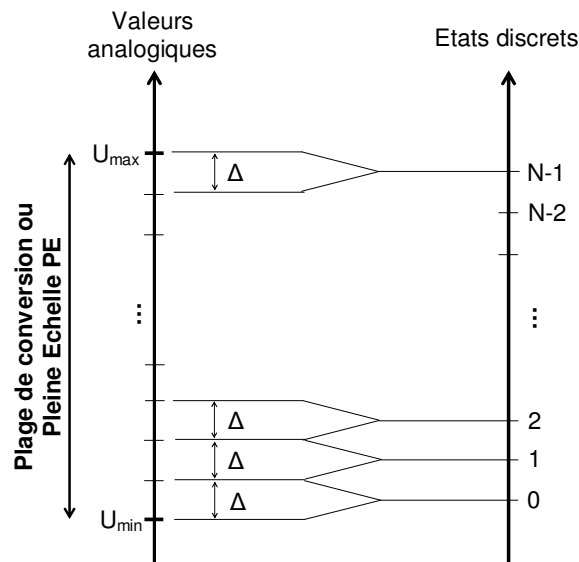


Fig. 2 – Quantification en amplitude d'une plage de conversion

On définit R, résolution du CAN, exprimée en pourcentage, comme le rapport entre le pas de conversion et la pleine échelle :

$$R = 100 \frac{\Delta}{PE} = 100 \frac{1}{2^n}$$

Remarque :

1) Dans le cas d'une représentation binaire naturelle, la valeur p de l'intervalle représentée en base deux s'écrit :

$$(p)_2 = 2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + 2^{n-3}b_{n-3} \dots + 2^0b_1$$

Où b_i représente la variable binaire du bit i qui peut prendre la valeur 0 ou 1. En remarquant que les bits sont changés par puissance croissante de 2, le bit avec b_{n-1} associé à la puissance 2^{n-1} est le bit qui a le plus d'importance numériquement, on dit qu'il est le bit de poids FORT, et qu'il représente le MSB (Most Significant Bit). Par dualité, b_0 est dit bit de poids faible ou LSB (Least Significant Bit).

2) Etant donné que l'on préfère coder le « 0 analogique », la valeur de la Pleine Echelle n'est plus atteignable par le système : on parle d'horizon de conversion, valeur vers laquelle tend le maximum sans l'atteindre. Dans le cas d'un CAN par arrondi, cette remarque est transposée au codage du zéro analogique.

Exemple : soit un CAN 8bits, dont la tension maximale autorisée en entrée est :

$u_e \in [0, 5V]$. Donner le code associé à une tension analogique présentée à l'entrée d'amplitude $u_{e,k} = 3,456V$.

Rép : le pas de quantification Δ est défini selon $\Delta = \frac{5}{2^8}$, ce qui implique la relation $u_{e,k} = 176,9472 \Delta$

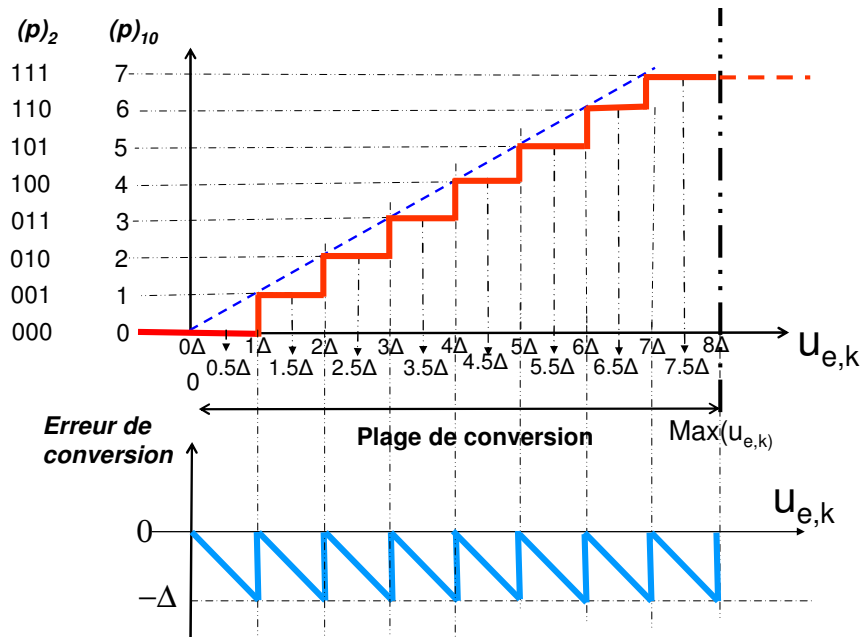
d'où le code en sortie du CAN:

- => par arrondi : $p = (177)_{10} = 1011\ 0001 = 0xB1$ en hexadécimal
- => par troncature : $p = (176)_{10} = 1011\ 0000 = 0xB0$ en hexadécimal

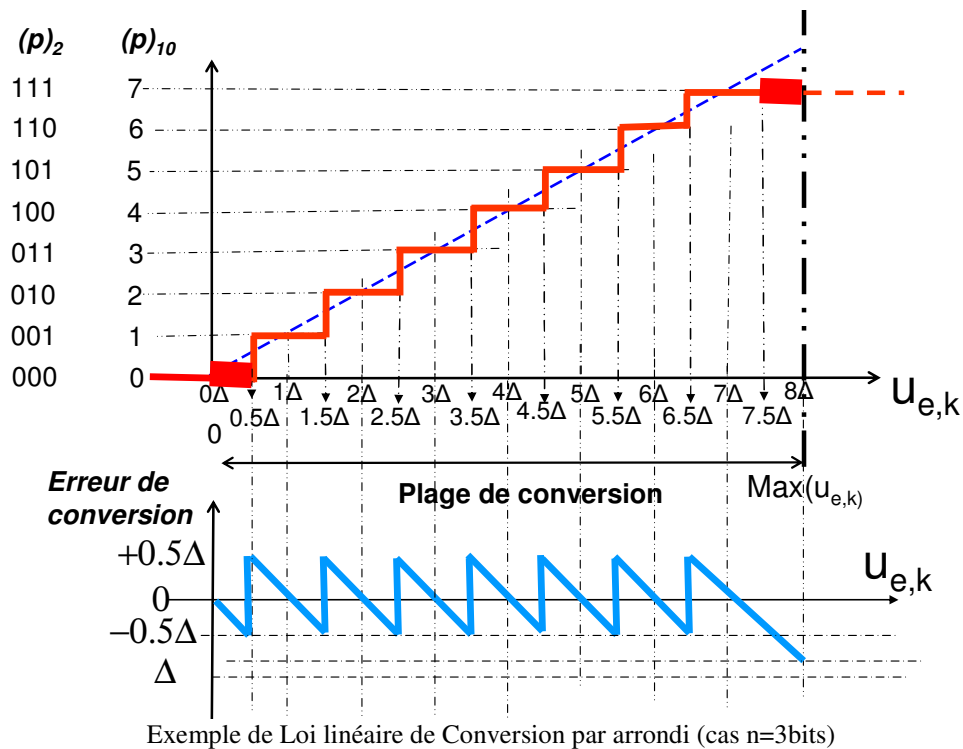
II.2 .- Erreur de conversion

La quantification d'un signal analogique génère nécessairement une erreur de conversion, puisque dans le cas où si $u_{e,k} \neq u_{e,j}$ mais $u_{e,k}$ et $u_{e,j}$ appartiennent au même intervalle, le code généré en sortie sera identique : on définit ainsi la notion d'erreur de conversion qui ne peut dépasser :

- $0,5\Delta$ dans le cas d'une conversion par arrondi,
- 1Δ dans le cas d'une conversion par troncature.



Exemple de Loi linéaire de Conversion par troncature (cas n=3bits)

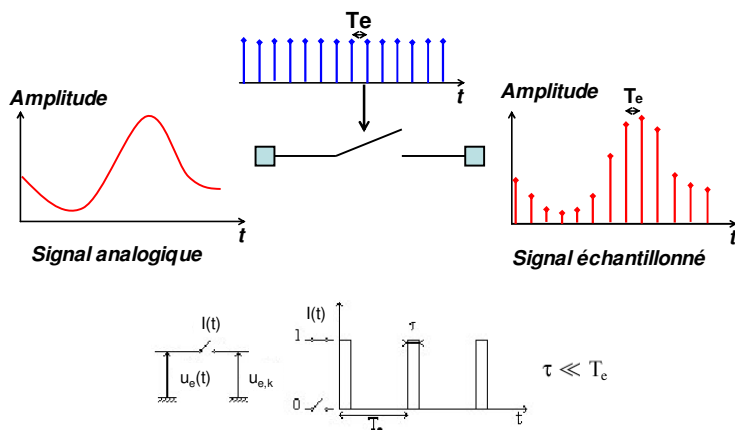


Remarque :

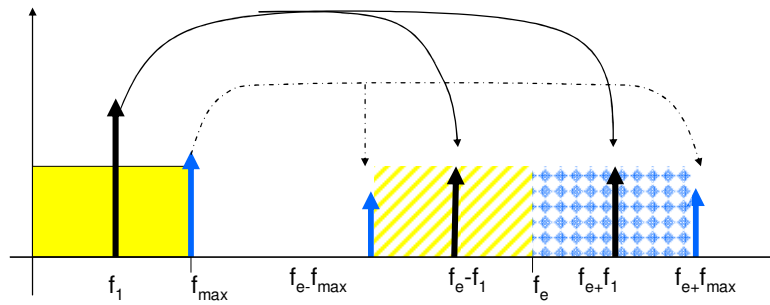
Le pas de conversion Δ étant inversement proportionnel au nombre de bits, on diminuera l'erreur de conversion en augmentant le nombre de bits, au prix d'un CAN plus cher et surtout une plus grande quantité d'information à stocker.

II.3. – Constitution de la suite des échantillons $u_{e,k}$: échantillonnage de u_e

Le signal analogique à convertir est mesuré à des instants précis espacés uniformément dans le temps avec une distance temporelle T_e : c'est l'échantillonnage, processus qui peut au premier ordre être vu comme un interrupteur qu'on ouvre puis qu'on fermerait pendant une durée infiniment courte. On conçoit donc que plus T_e est petit et moins on aura de perte dans la variation du signal à convertir.



Peut-on évaluer avec précision le choix de la fréquence d'échantillonnage $f_e=1/T_e$? La réponse est dans la représentation spectrale du signal à échantillonner : L'échantillonnage, c'est-à-dire la construction de la suite d'échantillons $u_{e,k}$ modifie le spectre $\hat{u}_e(f)$. Même si le spectre « théorique » n'est pas borné, on peut physiquement considérer qu'il existe une fréquence limite f_c au-delà de laquelle les harmoniques du signal peuvent être négligés. Dès lors, le spectre « effectif » entièrement contenu dans la bande de fréquence $[0, f_c[$, échantillonné à la fréquence f_e , se répartit de part et d'autre de la fréquence d'échantillonnage f_e étant donné que l'échantillonnage peut être modélisé dans l'espace de Fourier par un produit de deux fonctions cosinus.



Le spectre du signal d'entrée se retrouve réparti de part et d'autre de la fréquence f_e .

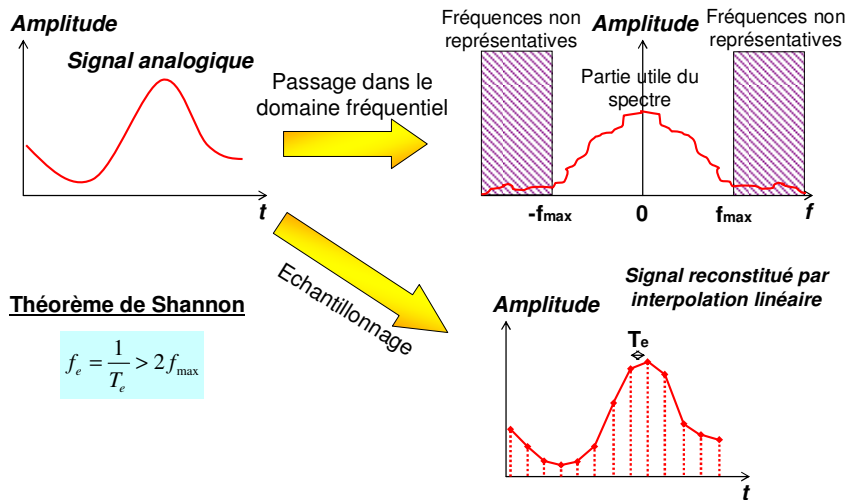
On évite tout recouvrement d'harmoniques en garantissant la condition : $f_e - f_{\max} > f_{\max}$

D'où la condition sur la fréquence d'échantillonnage, appelée critère de Shannon-Nyquist :

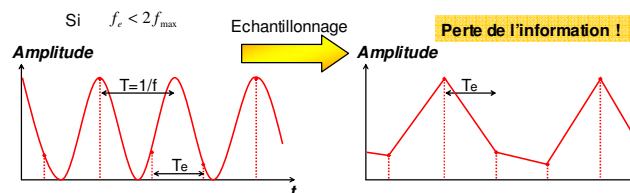
$$f_e > 2f_{\max}$$

Remarques :

1) En pratique, afin de borner le spectre du signal à échantillonner, à la fréquence f_{\max} , on placera en entrée du CAN un filtre passe-bas nécessairement de nature analogique, appelé *filtre anti-repliement* (*anti-aliasing filter en anglais*).



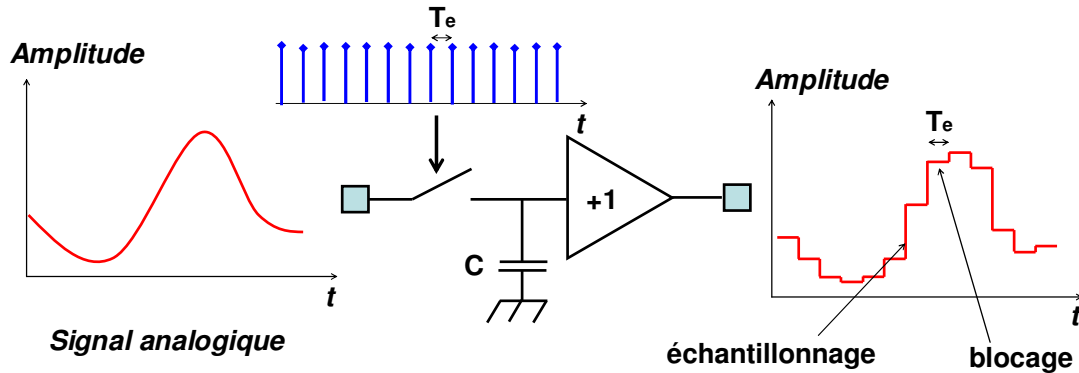
2) En ne respectant pas le critère de Shannon, il devient impossible de reconstituer le signal original faute d'un nombre de points insuffisants, comme présenté ci-dessous pour un signal sinusoïdal.



II.4 .- Echantillonnage et blocage.

Pendant la durée du codage, il est nécessaire que le signal présenté en entrée du CAN reste constant. Il est donc nécessaire de bloquer l'évolution du signal pendant la phase de codage, après échantillonnage de la valeur

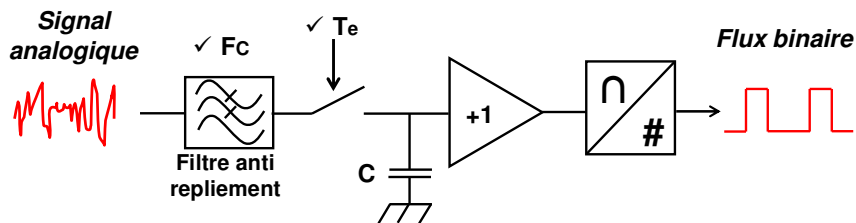
analogique. La figure ci-dessous présente la structure d'un échantillonneur bloqueur qui transforme le signal analogique d'origine en signal à marche d'escalier. Un interrupteur se ferme pendant une durée courte à chaque période d'échantillonnage et charge une capacité de maintien. Un amplificateur suiveur est ajouté en sortie de la capacité pour éviter toute décharge de la capacité de maintien dans le CAN.



II.5 .- Mise en œuvre d'un convertisseur analogique numérique.

Résumons la chaîne d'éléments nécessaires à la conversion analogique numérique d'un signal :

- Filtre anti-repliement,
- Echantillonnage
- Blocage,
- Conversion
- Transmission binaire série ou parallèle.



Parmi les critères de choix d'un CAN :

- f_c détermine la précision en fréquence
- n détermine la précision de conversion en amplitude/

Toutefois, la conclusion hâtive qui tendrait à privilégier une grande valeur de n et f_c , doit grader en mémoire la quantité d'information à transmettre et à stocker qui est déterminée par le produit nf_e .

Exemple : L'acquisition d'un signal audio se code sur 16bits avec une fréquence d'échantillonnage de 44,1kHz.

MAXIM
+5V, 1Msps, 4 & 8-Channel,
8-Bit ADCs with 1µA Power-Down

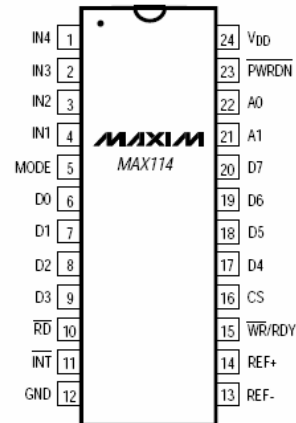
ABSOLUTE MAXIMUM RATINGS

VDD to GND-0.3V to +7V
 Digital Input Voltage to GND-0.3V to (VDD + 0.3V)
 Digital Output Voltage to GND-0.3V to (VDD + 0.3V)
 REF+ to GND-0.3V to (VDD + 0.3V)
 REF- to GND-0.3V to (VDD + 0.3V)
 IN_n to GND-0.3V to (VDD + 0.3V)
 Continuous Power Dissipation (TA = +70°C)
 24-Pin Narrow Plastic DIP
 (derate 13.33mW/°C above +70°C).....1.08W
 24-Pin SSOP (derate 8.00mW/°C above +70°C)......640mW
 24-Pin Narrow CERDIP
 (derate 12.50mW/°C above +70°C).....1W

ELECTRICAL CHARACTERISTICS

(VDD = +5V ±5%, REF+ = 5V, REF- = GND, Read Mode (MODE = GND), TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution	N		8			Bits
Total Unadjusted Error	TUE				±1	LSB
Differential Nonlinearity	DNL	No-missing-codes guaranteed			±1	LSB
Zero-Code Error					±1	LSB
Full-Scale Error					±1	LSB
Channel-to-Channel Mismatch					±1/4	LSB
DYNAMIC PERFORMANCE						
Signal-to-Noise Plus Distortion Ratio	SINAD	MAX11_C/E, fSAMPLE = 1MHz, fIN = 195.8kHz	45			dB
		MAX11_M, fSAMPLE = 740kHz, fIN = 195.7kHz	45			
Total Harmonic Distortion	THD	MAX11_C/E, fSAMPLE = 1MHz, fIN = 195.8kHz			-50	dB
		MAX11_M, fSAMPLE = 740kHz, fIN = 195.7kHz			-50	
Spurious-Free Dynamic Range	SFDR	MAX11_C/E, fSAMPLE = 1MHz, fIN = 195.8kHz	50			dB
		MAX11_M, fSAMPLE = 740kHz, fIN = 195.7kHz	50			
Input Full-Power Bandwidth		VIN = 5Vp-p		1		MHz
Input Slew Rate, Tracking			3.1	15		V/µs



Datasheet d'un convertisseur analogique numérique : MAX114

III. – CONVERSION NUMERIQUE ANALOGIQUE

La conversion numérique analogique est l'opération inverse de la conversion analogique numérique. A partir d'un flux binaire, elle permet la reconstitution d'un signal analogique.

L'observation et la commande de processus industriels font appel aux techniques numériques où un CNA peut par exemple constituer l'interface de sortie d'un ordinateur (port parallèle ou port série). Elément d'une chaîne de traitement du signal, un CNA transforme un nombre *p*, codé sur *n* bits ou digits, en tension (ou courant) proportionnelle à *p*.

On distingue deux grandes familles disjointes de CNA :

- les CNA à entrée parallèle, qui présentent *n* entrées associés à chacun des *n* bits de codage,
- les CNA à entrée série qui présentent une seule entrée de conversion (et des entrées logiques de commande). Pour ces architectures, le mot binaire est présenté en série avec un protocole associé qui définit le début et la fin du mot.

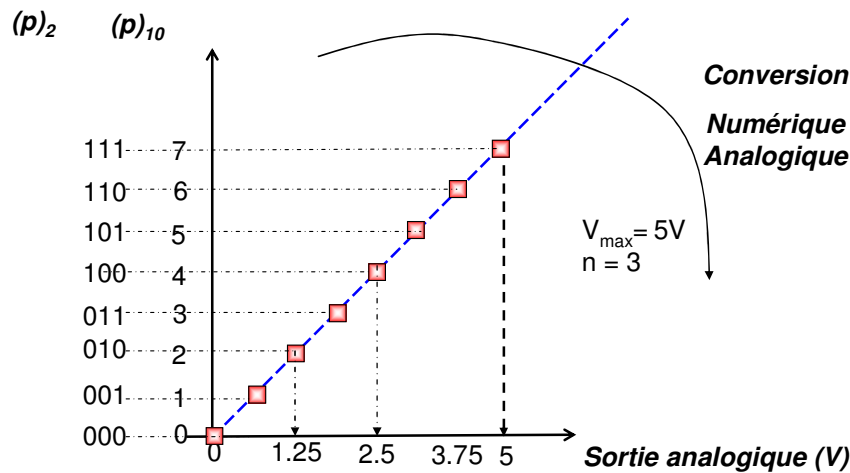
Dès lors une architecture à entrée parallèle ne pourra pas être envisagée étant donné le nombre trop important de ports d'entrée nécessaires. Même si la plupart du temps on privilégie la transmission série, qui nécessite la définition et contrôle d'un protocole, il perdure un certain nombre d'applications pour lesquelles on présentera les données numériques en parallèle en ayant pris soin d'ordonner les bits pour identifier le bit de poids faible.

On peut citer qu'il existe une famille de composants qui assurent la transcription « série vers parallèle » ou « parallèle vers série » que l'on appelle les UART (« Universal Asynchronous Receiver Transmitter »).

III.1 .– Principe de la conversion numérique analogique

A la différence d'un CAN, un convertisseur numérique analogique (CNA) ne commet pas d'erreur de conversion : à chaque mot binaire est associé une amplitude unique, définie par :

$$U_{CNA} = \Delta_{CNA} (2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + \dots + 2^1b_1 + 2^0b_0), \text{ où } \Delta_{CNA} \text{ est le pas de conversion du CNA.}$$

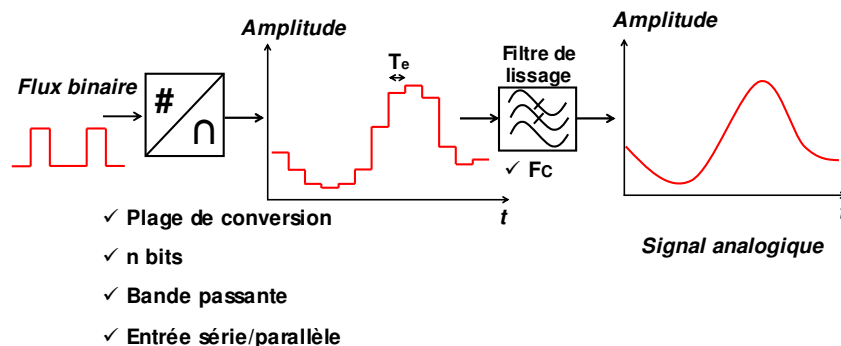


Par exemple : si on veut faire correspondre au plus grand nombre codé sur n bits (dont la valeur est 2ⁿ-1) une tension en sortie du CNA égale à V_{max} ; on a la relation :

$$(2^n - 1)\Delta_{CNA} = V_{max} \text{ soit un pas de conversion } \Delta_{CNA} = \frac{V_{max}}{(2^n - 1)}$$

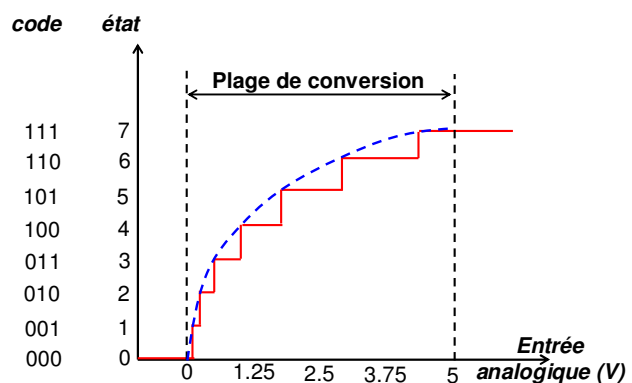
III.2.- Mise en œuvre d'un convertisseur numérique analogique

Le signal produit en sortie d'une conversion numérique analogique a une forme de marche d'escalier. Ces discontinuités dans le signal seront supprimées par un filtre passe bas appelé filtre de lissage dont la fréquence de coupure est supérieure à la fréquence d'échantillonnage.



POUR ALLER PLUS LOIN...

A titre de remarque intéressante pour les applications de télécommunications, on peut mentionner les lois de quantifications non uniformes. Celles-ci sont par exemple utilisées dans la téléphonie mobile. La figure ci-contre présente la caractéristique de transfert. En découpant de manière non linéaire la pleine échelle, on obtient un pas de quantification non uniforme, plus petit pour les faibles valeurs de tension à convertir. Cette technique permet de maintenir une précision de conversion élevée sans à avoir à augmenter le nombre de bits.



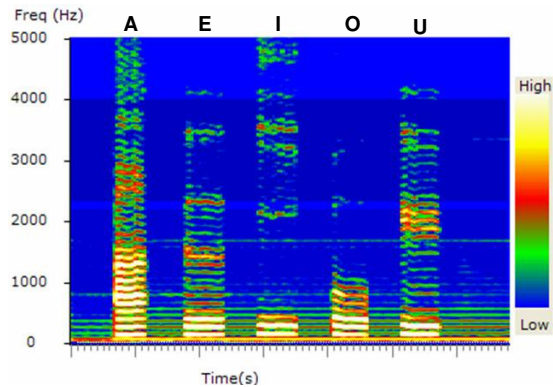
Caractéristique de transfert pour une loi de conversion non uniforme

TESTEZ VOS CONNAISSANCES

☺ Sur un disque compact, le son est codé sur 16 bits. Supposons que le CAN utilisé soit alimenté entre 0 et 5 V, calculer le pas de conversion. ($76 \mu V$)

☺ Un enregistrement sonore stéréophonique sur CD a été échantillonné à 44.1 KHz. Quelle est la fréquence maximale du signal que l'on peut convertir ? Quelle quantité d'informations peut on placer sur un CD de 80 minutes ? ($22.05 \text{ KHz} / 807.5 \text{ Mo}$)

☺ La figure suivante présente le spectre typique d'une voix humaine. Déterminer la fréquence d'échantillonnage minimum requise. (8 KHz)



☺ Un CAN 8 bits est utilisé dans un système de téléphonie. Calculer le débit binaire fourni en sortie du CAN. (64 Kbits/s)

☺ Ce CAN est alimenté entre 0 et 5 V. Il fournit le code binaire suivant : 0110 0010. Quelle est la valeur en entrée du CAN si celui-ci fonctionne en arrondi ? En troncature ? ($1.9 - 1.92 \text{ V} / 1.91 - 1.93 \text{ V}$)

☺ Dans ce même système, le CNA de la chaîne de reconstitution du son est suivi d'un filtre de lissage. Il s'agit d'un simple filtre passe bas, composé d'une résistance de 100 Ω et d'une capacité de 100 nF. Que pensez vous de ce filtre ?

☺ Un CNA unipolaire de 12 bits a un pas de conversion de 850 μV . Calculer la valeur de la pleine échelle. Si l'erreur de pleine échelle est de +/- 1 %, quelle valeur en sortie fournira le CNA pour le code 1F7h ? ($3.5 \text{ V} / 428 \text{ mV} +/- 4 \text{ mV}$)

☺ Un fabricant d'un CAN 10 bits fonctionnant par troncature garantit que l'erreur de linéarité de son composant est inférieure à 1 LSB. Pour le tester, vous l'alimentez entre 0 et 5 V et vous appliquez en entrée un signal continu de 2 V +/- 5 mV. Le code binaire obtenu en sortie du CAN est 01 1001 1011. Qu'en concluez vous ?

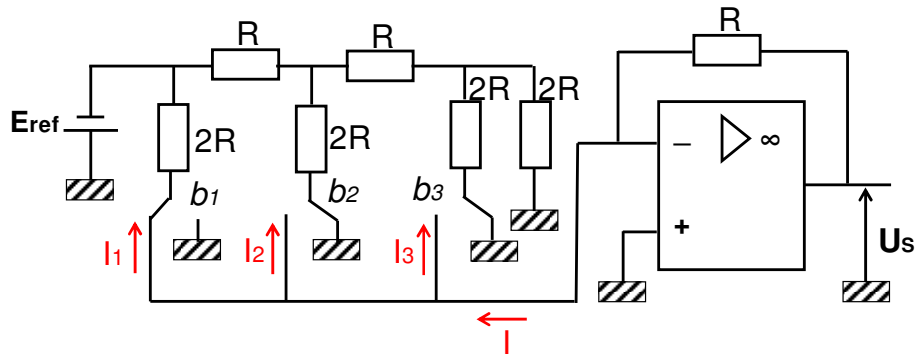
☺ Un signal télévision analogique est codé par un CAN pour une transmission par un système numérique. Le spectre du signal analogique s'étale de 0 à 6 MHz. Ce signal unipolaire est quantifié par arrondi. On souhaite que l'erreur de quantification ne dépasse jamais 1% de la pleine échelle. Quelle est la fréquence d'échantillonnage minimale ? Quel est, dans ce cas, le débit minimum que doit posséder le système de transmission numérique (en Mbits/s) ? (72 Mbits/s)

☺ Soit le convertisseur représenté ci-dessous.

a. Pourquoi les courants i_1 , i_2 et i_3 sont-ils indépendants de la position des interrupteurs ?

b. Calculer les amplitudes de ces courants. Conclure.

c. D'après la figure, quel est le chiffre binaire à convertir ? Que vaut dans ce cas U_s si $E_{ref} = 100 \text{ mV}$? Que valent le pas de conversion D et la plage de conversion U_o ?



CONCLUSION

CAN et CNA sont des circuits qui assurent la fonction d'interface entre un système entièrement numérique (calculateur) et les systèmes analogiques (capteurs, actionneurs, ...)

Un CAN n bits fait correspondre à une tension continue constante appelée échantillon, un code de sortie numérique sur n bits. La fonction de conversion est définie par le nombre de pas de quantification inscrits dans l'amplitude de l'échantillon. Ces n bits caractérisent la résolution en amplitude du CAN.

Trois paramètres définissent les caractéristiques d'un CAN : la pleine échelle donnée par les tensions minimale et maximale autorisées pour l'échantillon, le nombre de bits qui assure la précision sur le codage de l'amplitude et la fréquence d'échantillonnage qui délimite la précision du spectre pouvant être reconstitué.

La définition de f_{\max} , bande spectrale effective du système à numériser, est très importante puisqu'elle conditionne le choix de f_c , fréquence d'échantillonnage du CAN, avec la condition minimale du théorème de Shannon-Nyquist : $f_c > 2 f_{\max}$.

Un CNA assure la transposition d'une valeur représentée numériquement en une grandeur tension ou courant proportionnelle à cette valeur numérique. Le coefficient de proportionnalité est appelé pas de conversion ou pas de progression. Un CNA ne produit pas d'erreur de conversion mais doit être associé à un filtre de lissage placé en sortie du CNA pour lisser les marches d'escalier du signal analogique.

Vitesse de conversion et nombre de bits élevés induisent un débit d'information conséquent et la nécessité de stocker les données. Des techniques de compression de données permettent de réduire le débit d'information.

L'utilisateur devra toujours vérifier si le niveau de bruit de son système analogique est compatible avec la précision du CAN pour éviter de traiter des bits non significatifs noyés dans le bruit.

Chapitre 10

C Caractéristiques physiques des circuits numériques

I. – INTRODUCTION

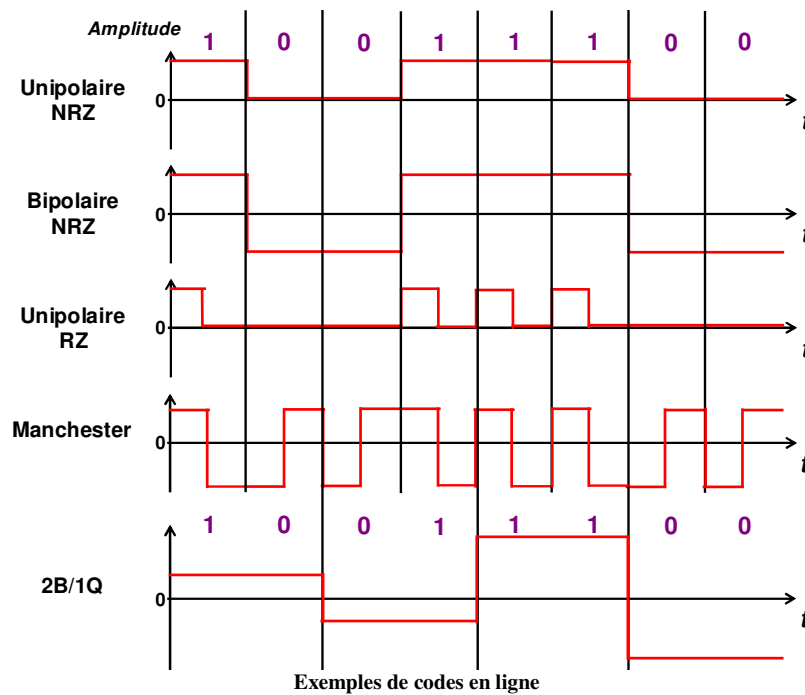
Dans les systèmes numériques, les signaux sont assimilés à des flux binaires : une succession de bits forme un mot qui représente un nombre selon un codage donné. La variable binaire est définie par 2 états, qui sont physiquement représentés par un signal analogique. Ainsi, les signaux numériques sont décrits par des amplitudes en tension et peuvent prendre une infinité de valeurs. Dans ce chapitre, sont abordées les propriétés physiques des signaux et des composants numériques avec comme objectifs :

- D'associer des états binaires à un signal électrique
- De connaître les principales caractéristiques physiques d'un circuit numérique : niveaux logique, marges de bruit, temps de transition, temps de maintien, temps de stabilisation, entrance, sortance
- De différencier les technologies TTL et CMOS
- D'analyser les avantages et les inconvénients des technologies CMOS et TTL

II. – CODAGE EN LIGNE

La correspondance entre les états logiques et les états électriques d'un signal numérique est définie par le codage en ligne, où on dénombre plusieurs exemples de codage :

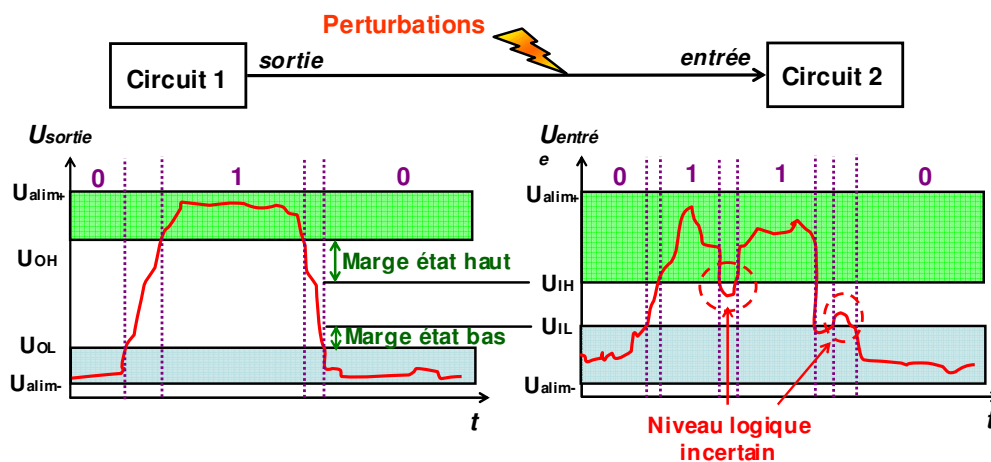
- codage NRZ (Non Return to Zero) unipolaire et bipolaire ; technique la plus classique mais qui présente le désagrément de définir la durée d'un bit, et pour laquelle il est délicat de distinguer une succession de zéros logiques d'une perte totale de signal.
- le code Manchester, utilisé par exemple pour Ethernet, présente l'avantage d'éviter le signal de définition de durée d'un bit, et présente des variations de signal y compris dans le cas de longues suites de 0 et de 1.
- le code 2B/1Q, utilisé dans certaines techniques d'ADSL, a la propriété d'utiliser plus de 2 états avec la possibilité de coder 2 bits à partir d'un symbole. Cette technique est largement utilisée en télécommunications car elle permet, pour un débit binaire donné, de minimiser le nombre de symboles à transmettre.



III. – NIVEAUX LOGIQUES ET MARGES DE BRUIT

Les valeurs électriques prises par un signal numérique correspondent à des états discrets ; dès lors un signal numérique est dans un état logique donné si l'amplitude de la tension du signal appartient à la plage de tensions correspondante à cet état.

Un état logique n'étant pas associé à un niveau de tension unique ; tout signal parasite (bruit électrique, effet de la température) se superposant au signal utile peut avoir comme conséquence fâcheuse de modifier l'état logique en franchissant les seuils des plages de tension : il est donc nécessaire de quantifier les risques d'erreurs logiques.



Définition des plages de tension associées au niveau logique et des marges de bruit

Considérons l'exemple du circuit 1, polarisé par la tension continue positive U_{alim+} et négative U_{alim-} . La variable logique en sortie vaudra :

- 0 lorsque la tension de sortie du circuit est comprise entre U_{alim-} et U_{ol} pour tension Output Low, cad tension de sortie associée au niveau logique bas.
- 1 lorsque la tension de sortie du circuit est comprise entre U_{oh} (tension de sortie associée au niveau haut) et U_{alim+} .

Si un circuit 2 est connecté en sortie du circuit 1, il reconnaîtra respectivement un état 0 si le signal reçu est compris entre U_{alim-} et U_{il} (tension d'entrée associée au niveau bas), ou état 1 si le signal reçu est compris entre U_{ih} et U_{alim+} .

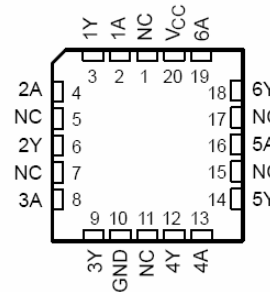
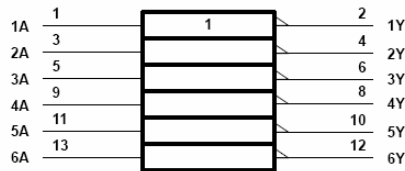
Aussi, dans le cas où la tension en entrée du circuit est entre U_{il} et U_{ih} , il ne sera pas possible de garantir le niveau logique que le circuit 2 interprétera. On en déduit la notion de :

- marge de bruit à l'état haut, modélisée par la différence entre U_{oh} et U_{ih} ,
- marge de bruit à l'état bas comme la différence entre U_{ol} et U_{il} .

Si le circuit 1 fournit une tension à l'intérieur de ces plages de tension, le circuit 2 arrivera à interpréter correctement l'état logique en entrée.

**SN54HC04, SN74HC04
HEX INVERTERS**

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

		SN54HC04			SN74HC04			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V
V_{IH}	High-level input voltage	$V_{CC} = 2V$	1.5		1.5			V
		$V_{CC} = 4.5V$	3.15		3.15			
		$V_{CC} = 6V$	4.2		4.2			
V_{IL}	Low-level input voltage	$V_{CC} = 2V$	0	0.5	0	0.5	V	
		$V_{CC} = 4.5V$	0	1.35	0	1.35		
		$V_{CC} = 6V$	0	1.8	0	1.8		
V_I	Input voltage	0	V_{CC}		0	V_{CC}	V	
V_O	Output voltage	0	V_{CC}		0	V_{CC}	V	

Datasheet du 74HC04 : définition des plages de tension liées aux états 0 ou 1.

IV. – COMPORTEMENT DYNAMIQUE

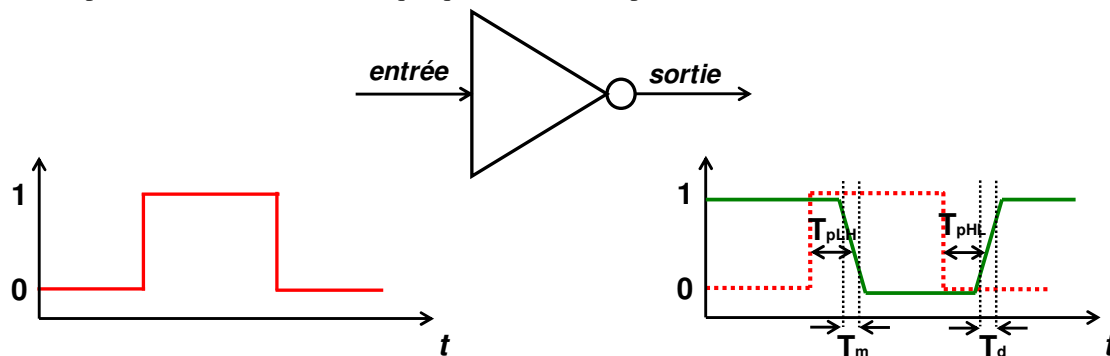
Les circuits numériques présentent aussi des caractéristiques temporelles : ils ne réagissent pas de manière instantanée et possèdent une certaine inertie. Leur transport est affecté par des effets de filtre passe-bas qui ont pour conséquence de retarder et déformer les transitions entre états logiques.

IV.1 – Temps de commutation et de propagation

Supposons que l'on applique en entrée d'un inverseur une impulsion logique idéale (temps de montée et de descente nuls). En sortie de l'inverseur, le signal de sortie commence à changer d'état au bout d'une durée appelée temps de propagation T_p notée :

- T_{pLH} lorsqu'il concerne le basculement de l'état 0 vers l'état 1,
- T_{pHL} lors du basculement de l'état 1 vers l'état 0.

En outre, l'impulsion en sortie présente des temps de montée T_m et de descente T_d . Les circuits actuels sont caractérisés par des retards de l'ordre de quelques centaines de ps.



Définition des plages de commutation et de propagation

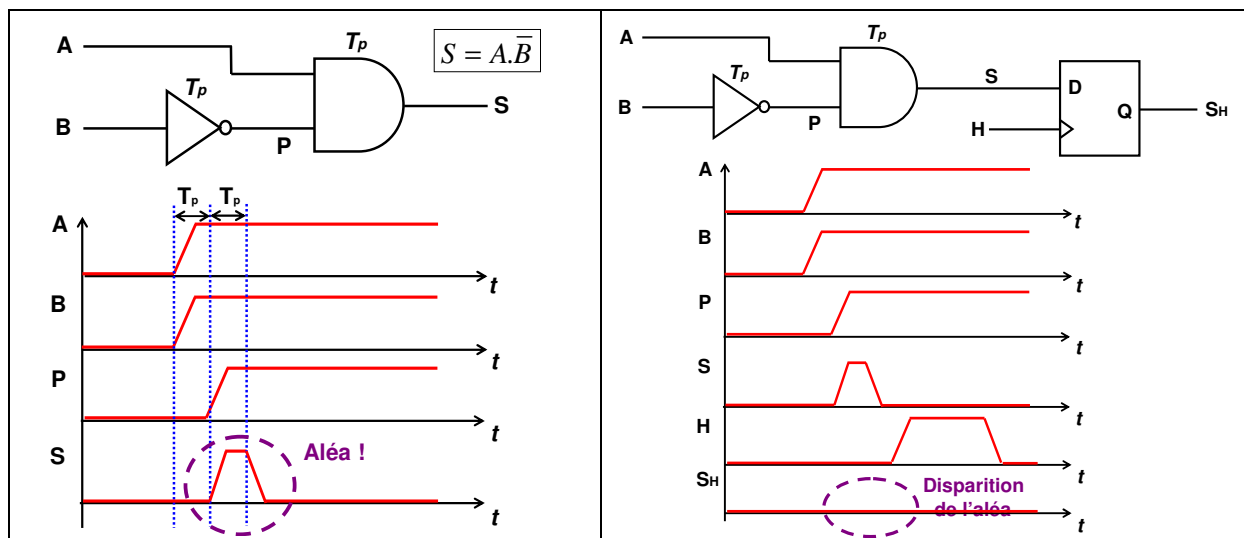
Les temps de montée, de descente et de propagation fixent les fréquences limites de fonctionnement des circuits. Dans un circuit, de nombreuses portes et bascules sont chaînées et le signal binaire peut se propager à travers plusieurs chemins parallèles :

*On définit la notion de **chemin critique** le chemin dont le temps de propagation est le plus long, avec comme conséquence de fixer la fréquence d'utilisation maximale.

IV.2 – Apparition d'aléas

Les retards des portes non pris en compte peuvent conduire à l'apparition d'états fugitifs et indésirables appelés aussi aléas ou glitch.

Intéressons nous à l'apparition d'un aléa (fréquent dans les circuits asynchrones) qui peut perturber le fonctionnement du système. Il apparaîtra dans un circuit à logique combinatoire si un signal se propage le long de plusieurs chemins différents avec des temps de propagation différents et qui convergent vers une même porte.



Apparition d'un aléa dans un circuit asynchrone (à gauche) et suppression de cet aléa dans un circuit synchrone (à droite)

Le passage de ces mêmes circuits en version synchrone fait disparaître ce genre d'erreur puisque toutes les opérations vont être cadencées par le signal d'horloge :

* seuls les états binaires présents en entrée de la bascule au moment du front actif seront pris en compte.

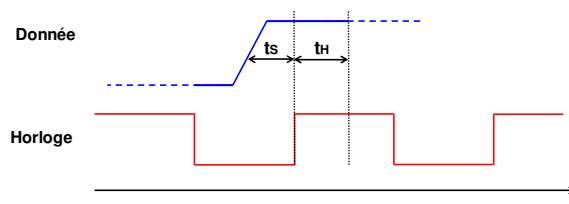
En reprenant le circuit à logique combinatoire précédent et en ajoutant une bascule D à déclenchement sur front montant, l'aléa disparaît puisque seul l'état présent sur D au moment du front montant est placé sur la sortie Q.

IV.3 – Temps de stabilisation/temps de maintien

Ces limitations temporelles imposent des règles au niveau des délais à assurer entre les signaux, afin de compenser les retards de propagation et ainsi d'éviter toute erreur logique. Cela est notamment le cas en logique synchrone, où toutes les opérations sont cadencées sur un des fronts de l'horloge avec les conditions suivantes :

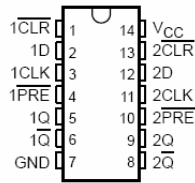
- pour qu'un signal soit pris en compte sur un front d'horloge :
 - il devait être présent au minimum un certain temps avant l'instant du front d'horloge ; c'est la contrainte de garantir le **temps de pré conditionnement**, noté t_s pour **setup time** en anglais.
 - il doit rester constant au moment du front d'horloge pendant une durée minimale appelée **temps de maintien**, noté t_h pour **hold time** en anglais.

Résumons ces deux contraintes temporelles pour une bascule D de type 74HC74, synchronisée sur front montant d'horloge.



SN54HC74, SN74HC74
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS
WITH CLEAR AND PRESET

FUNCTION TABLE



INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H↑	H↑
H	H	↑	L	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	Q̄ ₀

		V _{CC}	T _A = 25°C			SN54HC74		SN74HC74		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f _{clock}	Clock frequency	2 V	0	6	0	4.2	0	5		MHz
		4.5 V	0	31	0	21	0	25		
		6 V	0	36	0	25	0	29		
t _w	Pulse duration	PRE or CLR low	2 V	100		150		125		ns
			4.5 V	20		30		25		
			6 V	17		25		21		
		CLK high or low	2 V	80		120		100		
			4.5 V	16		24		20		
			6 V	14		20		17		
t _{su}	Setup time before CLK↑	Data	2 V	100		150		125		ns
			4.5 V	20		30		25		
			6 V	17		25		21		
		PRE or CLR inactive	2 V	25		40		30		
			4.5 V	5		8		6		
			6 V	4		7		5		
t _h	Hold time, data after CLK↑	2 V	0		0		0		ns	
		4.5 V	0		0		0			
		6 V	0		0		0			

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC}	T _A = 25°C			SN54HC74		SN74HC74		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f _{max}			2 V	6	10		4.2		5		MHz
			4.5 V	31	50		21		25		
			6 V	36	60		25		29		
t _{pd}	PRE or CLR	Q or Q̄	2 V	70	230		345		290		ns
			4.5 V	20	46		69		58		
			6 V	15	39		59		49		
	CLK	Q or Q̄	2 V	70	175		250		220		
			4.5 V	20	35		50		44		
			6 V	15	30		42		37		
t _t		Q or Q̄	2 V	28	75		110		95		ns
			4.5 V	8	15		22		19		
			6 V	6	13		19		16		

Datasheet du SN74HC74

V. – SORTANCE ET ENTRANCE D'UN CIRCUIT

L'entrée (fan in en anglais) et de la sortance (fan out) d'un circuit sont des données cruciales dès qu'on cherche à relier des circuits numériques entre eux. Elles indiquent le nombre maximal de circuits qu'on peut connecter sur un autre circuit et sont reliées à la technologie du circuit :

La sortance correspond au nombre maximal d'entrées pouvant être connectées à une même sortie.

L'entrée correspond à la quantité de courant pouvant être absorbée par un circuit.

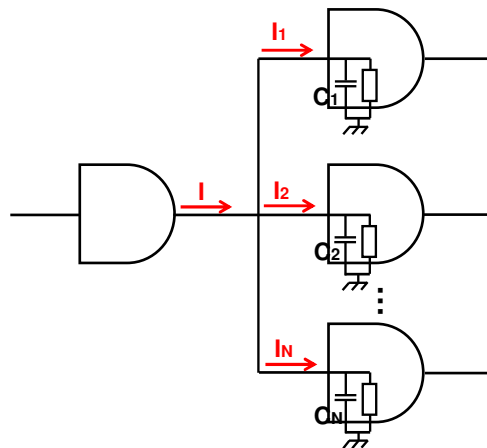


Illustration de la sortance d'un circuit

VI. – FAMILLE TECHNOLOGIQUE

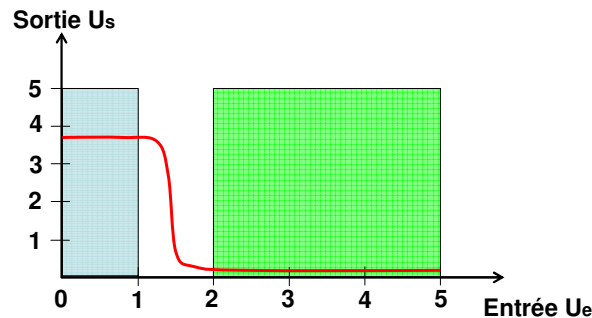
Sans entrer dans le détail de la constitution physique des technologies de fabrication des circuits numériques, deux technologies prédominent : la technologies TTL et la technologie MOS où sont abordées ci-après leurs caractéristiques, différences, avantages et inconvénients..

VI.1.– Technologie TTL

La technologie TTL (Transistor Transistor Logic) constitue la technologie la plus ancienne. Les circuits TTL sont généralement alimentés en 0 - 5 V :

- ⇒ L'état haut est caractérisé par une tension d'environ 3.6 V et l'état bas par une tension de 0.2 V,
- ⇒ Les tensions V_{il} et V_{ih} sont égales à 1 V et 2 V,
- ⇒ Le seuil de commutation en TTL est situé entre ces 2 tensions.

Cette dissymétrie ainsi que la faiblesse des marges de bruit rendent la technologie TTL sensible au bruit.



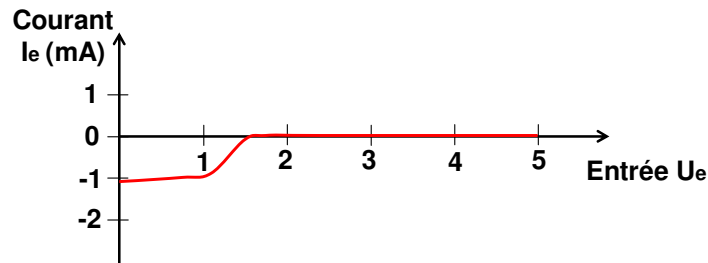
Caractéristique entrée-sortie pour une technologie TTL

Du point de vue contraintes d'utilisations, une entrée TTL fournissant un courant à l'état bas, un circuit placé en amont d'un circuit TTL devra être capable d'absorber ce courant pour assurer un fonctionnement correct.

D'autre part, la sortance d'un circuit TTL, à l'état 0 est égale à 10 Unités Logiques.

Ce courant est ainsi responsable d'une consommation statique : un circuit TTL mis sous tension dissipe de la puissance.

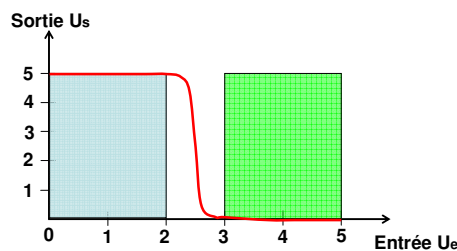
Enfin même si les entrées non utilisées d'un circuit TTL peuvent rester en l'air puisqu'en théorie elles restent à l'état haut, il est plus que fortement conseillé pour garantir une totale sûreté de fonctionnement de connecter toutes les entrées à un potentiel connu.



Caractéristique courant-tension en entrée pour une technologie TTL

VI.2 – Technologie CMOS

La technologie CMOS (Complementary Metal Oxyde Semiconductor) est la technologie la plus couramment utilisée au détriment de la technologie TTL (80 à 90 % des circuits numériques sont réalisés en technologie CMOS). Les circuits CMOS ont des tensions d'alimentation allant généralement de 1 V à 5 V. La caractéristique de transfert $U_s(U_e)$ d'un inverseur CMOS est très symétrique.



Caractéristique entrée-sortie pour une technologie CMOS

Le niveau bas correspond à la tension d'alimentation basse (0 V) et le niveau haut à la tension d'alimentation haute. La tension V_{il} est égale à 30 % de la tension d'alimentation (entre 1.5 et 2 V) et V_{ih} à 70 % de la tension d'alimentation (entre 3 et 3.5 V). Le seuil de commutation de l'inverseur est situé à 2.5 V. Les marges de bruit sont importantes, conférant à la technologie CMOS une bonne immunité au bruit.

Contrairement à la technologie TTL, la technologie CMOS n'absorbe ou ne fournit pas de courant en entrée puisqu'elle présente une haute impédance. La consommation statique d'un circuit CMOS est négligeable, contrairement à la consommation dynamique, proportionnelle avec la fréquence. Comme les entrées CMOS ne consomment pas de courant, les sortances typiques des sorties CMOS sont élevées (de l'ordre de 50 UL). Cependant, il convient de réduire le nombre de sortie si les contraintes en termes de vitesses sont strictes. Enfin, comme les entrées présentent une haute impédance, il est crucial de ne jamais laisser en l'air les entrées non utilisées d'un circuit. En effet, elles risquent de se comporter comme des antennes et coupler toutes perturbations environnantes. Le potentiel de l'entrée ne pourra alors jamais être garanti.

VI.3 .– Comparaison TTL/CMOS

Ces deux familles technologiques présentent des différences en terme de niveau de tension à l'état haut et bas, d'immunité au bruit et en terme de consommation de puissance.

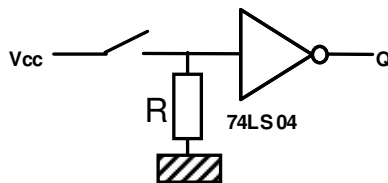
Famille	Sous famille	Symbole	Temps de propagation (ns)	Consommation statique (mW)
TTL	Standard	74XX	10	10
	Basse consommation	74LXX	30	1
	Shottky basse consommation	74LSXX	10	2
	Rapide	74FXX	2	4
CMOS	Standard	74CXX	50	1
	Rapide	74HCXX	10	0.5
	Compatible TTL	74HCTXX	10	0.5
	Avancée	74ACXX	3	0.5

Comparaison des caractéristiques de différentes familles technologiques TTL et CMOS

Les technologies TTL et CMOS sont certes les technologies de circuits intégrés les plus répandues, mais il en existe d'autres, parfois réservées pour certaines niches. On trouve par exemple la technologie BiCMOS, qui est une technologie hybride entre CMOS et TTL. Cette technologie permet d'atteindre de fortes densités d'intégration et des vitesses de fonctionnement élevées. Elle est adaptée à la réalisation de circuits mixant des parties analogiques et numériques. La technologie ECL (Emitter Common Logic) est une technologie longtemps employée pour réaliser des circuits digitaux très rapides (fréquences supérieures à 100 MHz), au prix d'une consommation très élevée. Aujourd'hui, celle-ci est dépassée par les technologies CMOS plus récentes. Enfin, de nombreuses technologies existent pour la réalisation de circuits RF dont les fréquences dépassent le GHz, citons les technologies AsGa, SiGe, SiC,

TESTEZ VOS CONNAISSANCES

☺ Soit un inverseur 74LS04 utilisé dans le montage ci-dessous. A quoi sert la résistance R ? Quelle est la valeur maximale de R ? Sa valeur minimale ?



Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

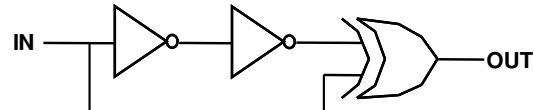
Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Unit
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}$	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IH} = \text{Min}$		0.35	0.6	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$		0.25	0.4	
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.38	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-20		-100	mA
I_{OCH}	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		1.2	2.4	mA
I_{OCL}	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		3.8	6.6	mA

☺ On décide de connecter 2 inverseurs en série, un de type 74HC04 (cf. fig. 3) et un de type 74LS04. Sont-ils compatibles ?

☺ Soit le circuit décrit ci-dessous. Les fiches techniques des composants donnent un délai de propagation de 25 ns. Tracer le chronogramme du signal de sortie. Quelle est l'utilité de ce circuit ?



☺ Réalisez un détecteur de front montant, puis un détecteur de front descendant. Modifier le détecteur de front montant pour qu'une impulsion de 0.5 μs soit générée à chaque front montant.

CONCLUSION

- Les états binaires sont associés à des niveaux de tension, qui dépendent du code en ligne et de la technologie employée.
- Un état logique n'est pas associé à une valeur de tension unique, mais à une plage de tension. Plus celle-ci est large, meilleure est l'immunité du circuit au bruit.
- Lorsqu'on connecte 2 circuits, il convient de s'assurer de la compatibilité des niveaux de tension afin d'avoir une marge de bruit suffisante.
- Les circuits présentent des caractéristiques temporelles : temps de propagation, temps de montée et de descente, temps de préconditionnement, temps de maintien.
- Les délais introduits par la propagation d'un signal à travers des portes asynchrones peuvent conduire à l'apparition d'états indésirables fugitifs ou aléas. L'utilisation de portes synchrones fait disparaître l'apparition d'aléas.
- Des temps de maintien et de stabilisation doivent être respectés entre l'apparition de plusieurs signaux.
- L'entrée et la sortie d'un circuit définissent le nombre maximal de circuits pouvant être connectés.
- Deux familles technologiques prédominent parmi les circuits numériques : TTL et CMOS. En raison d'une meilleure immunité au bruit, d'une faible consommation, et d'une plus grande sortie, la technologie CMOS prédomine.

Chapitre 11

Liaison entre circuits numériques

I. – INTRODUCTION

Un circuit numérique est souvent amené à échanger des données avec un autre circuit numérique (par exemple un microprocesseur avec une mémoire ou un microprocesseur avec un contrôleur graphique, un contrôleur réseau). Ces échanges binaires se font à travers des lignes qui peuvent être regroupées au sein de bus partagés par plusieurs circuits.

Afin que ces échanges soient efficaces, fiables et « compris » par les différents circuits, les liaisons entre les circuits doivent suivre un certain nombre de caractéristiques électriques et de règles définies par un **protocole de communication**. Les communications entre les circuits peuvent se faire à différentes échelles : au sein d'une même carte électronique, d'un même coffret, à courte distance (PC - imprimante) ou à longue distance. Suivant le niveau de sûreté et de fiabilité attendu, des liaisons plus ou moins robustes seront employées.

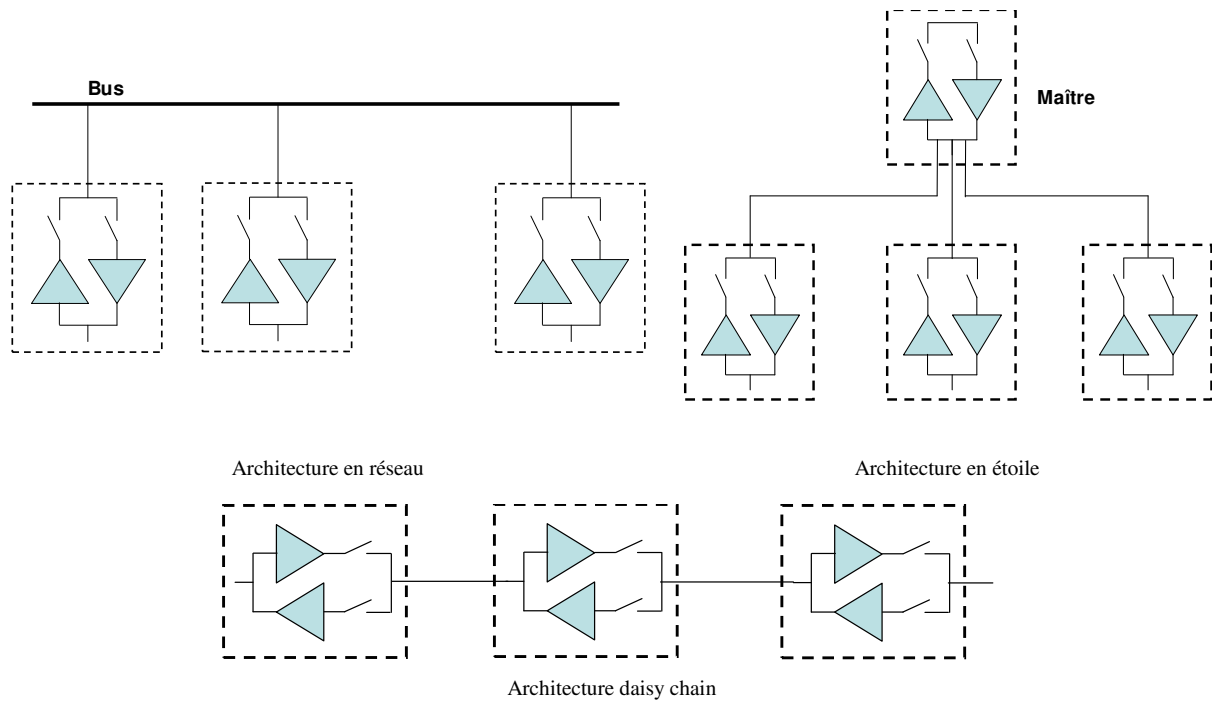
Dans ce chapitre sont abordés les notions nécessaires pour

- Connaître les principaux modes de transmission en électronique
- Différencier liaison série et parallèle et savoir passer d'un type de liaison à l'autre
- Différencier liaison synchrone et asynchrone
- Comprendre les notions de bus, protocole et trames
- Expliquer le terme de mémoire tampon ou buffer
- Connaître les conditions d'une transmission en temps réel

II. – TOPOLOGIE DE CONNEXION

Trois architectures de connexion entre circuits sont définies:

- ⇒ **l'architecture en réseau**, où tous les circuits sont connectés en parallèle au même support de transmission. Cette architecture est la plus courante dans les systèmes électroniques actuels.
- ⇒ **La topologie en étoile**, un circuit maître placé au centre du réseau est en liaison avec tous les autres circuits esclaves par plusieurs sorties multiplexées.
- ⇒ **La topologie daisy chain** où les circuits sont chaînés et communiquent de proche en proche.



III. – MODE DE TRANSMISSION

III.1 – Liaison bidirectionnelle

L'interconnexion de 2 circuits impose plusieurs contraintes électriques : niveaux de tension et sortances compatibles, délais de propagation et fréquences de transmission identiques. Généralement, les circuits sont interconnectés en réseau et partagent des lignes communes avec la condition de communication bidirectionnelle :

- être capable d'émettre ou de recevoir.

Cependant, une E/S ne peut pas être à la fois entrée et sortie : elle doit être configurée par des règles d'échange de données baptisées protocole de communication. Par exemple, dans le cas où plusieurs émetteurs partagent une même ligne, il est nécessaire qu'un seul émetteur émette à la fois.

Trois modes de fonctionnement sont à analyser :

- Liaison simplex : données émises de manière unidirectionnelle.
- Liaison half duplex : les données peuvent être émises de manière bidirectionnelle, mais jamais simultanément.
- Liaison full duplex : les données sont émises simultanément de manière bidirectionnelle.

Les liaisons en full duplex ne peuvent exister si les circuits émettent et reçoivent en même temps et sur le même canal de transmission, à cause du risque de collisions de données ou d'interférences.

Pour y remédier, 2 lignes physiques différentes peuvent être employées :

- une pour l'émission,
- l'autre pour la réception.

Le partage d'une même ligne physique est également possible au travers d'une fonction de multiplexage :

- ⇒ **multiplexage temporel** : chaque émetteur émet durant une période de temps donnée,
- ⇒ **multiplexage fréquentiel**, technique courante en télécommunications (téléphonie cellulaire, ADSL) : on attribue une bande de fréquences pour la voie montante (depuis l'émetteur au réseau) et pour la voie descendante (depuis le réseau à l'émetteur) ; avec la condition de non recouvrement de fréquences.

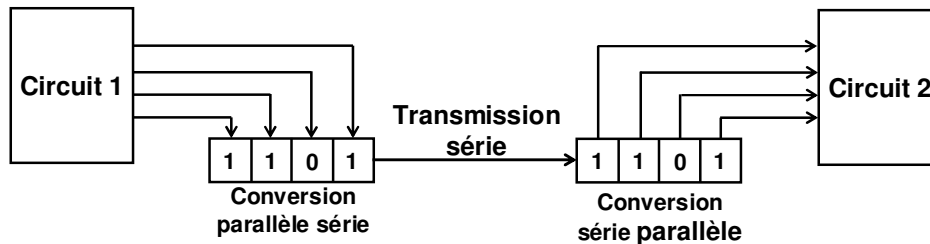
III.2 – Liaison série parallèle

La transmission d'un mot binaire peut se faire :

- en série : les bits sont transmis les uns après les autres sur un seul canal support physique,
- en parallèle : chaque bit est transmis sur un support physique ce qui nécessite simultanément n voies différentes.

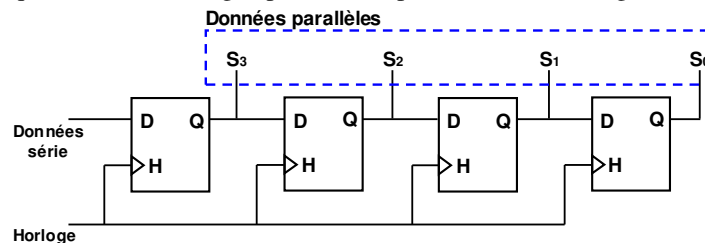
A vitesse de commutation égale, la liaison parallèle permet des débits binaires bien plus élevés qu'une liaison série, au détriment d'un plus grand nombre d'E/S et de plus de longueurs d'interconnexion. Les liaisons parallèles sont donc adaptées aux liaisons courtes (entre 2 circuits proches sur une même carte) ou lorsque la surface d'intégration d'un système n'est pas prioritaire. Pour des distances de communication importantes, il est préférable d'employer des liaisons série.

Les circuits peuvent être dotés d'interface série ou parallèle. Dans certains cas, des circuits à interface parallèle fournissent des données qui seront transmises sur une liaison série, ou inversement. Il est donc nécessaire de transformer des données parallèles en données série (conversion parallèle série) ou inversement (conversion série parallèle).



Principe de la conversion série parallèle

Un circuit appelé registre à décalage permet d'assurer ces 2 types de conversion. Il est composé de n bascules D chaînées, où N représente la taille du mot à transmettre en nombre de bits. A chaque front d'horloge, le niveau appliqué sur l'entrée D est recopié sur la sortie Q et sur l'entrée de la prochaine bascule. Ainsi, les bits se trouvent décalés de gauche à droite. Le mot binaire de n bits envoyé en série doit commencer par le bit de poids faible (LSB) Q0, qui arrivera sur la ligne parallèle 0 après n fronts d'horloge.



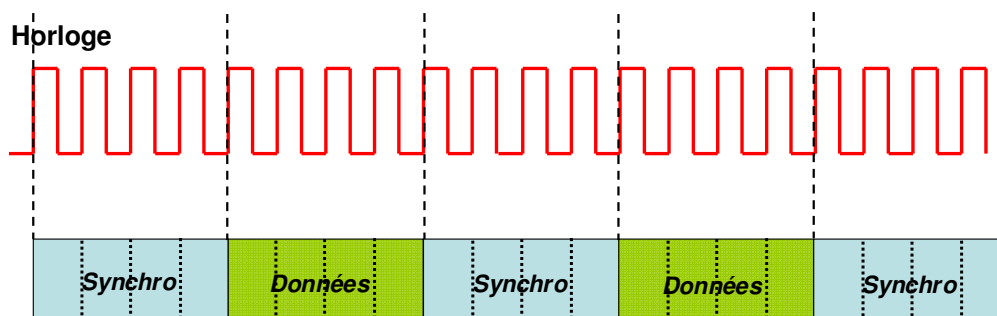
Registre à décalage pour une conversion série parallèle

III.3 – Transmission synchrone

Les transmissions de données se font souvent en mode série. Comme un seul fil transporte l'information, il existe un problème de synchronisation entre l'émetteur et le récepteur. En effet, les bits sont envoyés successivement et le récepteur ne peut pas distinguer les différents mots binaires.

Deux modes de transmission ont été développés pour résoudre ce problème :

- mode de **transmission synchrone** : les données transmises sont synchronisées sur une horloge présente au niveau de l'émetteur. Le flux binaire transmis est continu et invariable
- ou mode de **transmission asynchrone**.



Principe d'une transmission synchrone

Le récepteur reçoit un signal électrique qu'il doit transformer en un message formé d'états 0 et 1. Il échantillonne ce signal à des instants donnés et détermine l'état logique pris par le signal. Pour interpréter correctement le signal reçu, cet échantillonnage doit se faire au même rythme que l'horloge de cadencement du flux binaire reçu. Si des horloges séparées et non synchronisées sont utilisées au niveau de l'émetteur et au récepteur, des erreurs d'interprétation sont à craindre.

Une première solution consiste à transmettre l'horloge en parallèle des liaisons de données :

- ⇒ avantage : simplification de la récupération du message binaire par le récepteur
- ⇒ inconvénient : nécessite une ligne physique supplémentaire, ce qui n'est pas économiquement envisageable pour des liaisons longues distances.

Dans la plupart des liaisons synchrones, l'horloge n'est pas transmise et un circuit de reconstitution de l'horloge est alors nécessaire :

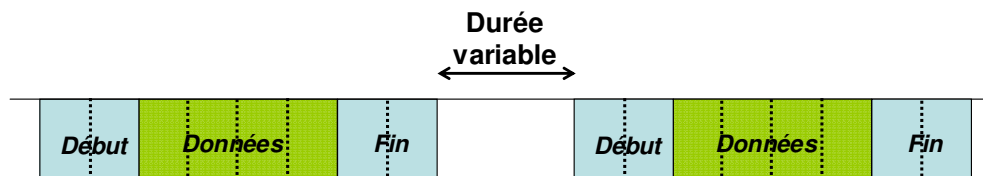
- ⇒ au niveau du récepteur une horloge est générée à la même fréquence que l'horloge de l'émetteur ce qui nécessite la contrainte de connaître la fréquence de transmission,
- ⇒ le récepteur synchronise ensuite son horloge sur le flux binaire. L'horloge ainsi reconstituée est une image de l'horloge de l'émetteur, au délai de transmission près.

Parfois, pour faciliter la reconstitution de l'horloge et éviter toute désynchronisation due à de longues séries de 0 ou de 1, des séquences ou trames spéciales de synchronisation sont envoyées régulièrement au récepteur, formées de séries alternées de 0 et de 1.

III.4.- Transmission asynchrone

La transmission asynchrone diffère de la transmission synchrone du fait que le débit de données est irrégulier et discontinu. Les mots binaires sont envoyés les uns après les autres après une durée variable. La transmission des bits est par contre cadencée sur une horloge de l'émetteur et le récepteur doit aussi reconstituer cette horloge pour échantillonner correctement le signal.

Pour indiquer au récepteur le début ou la fin d'un message, il est nécessaire d'inclure des séquences ou trames de début ou de fin (START Bit ou STOP Bit). La trame de début prépare le récepteur à la réception, empêche tout autre circuit à émettre et aide à la récupération de l'horloge. La trame de fin prépare le récepteur à la fin de la transmission, met la ligne à l'état de repos et autorise les autres circuits à émettre à nouveau.



Principe d'une transmission asynchrone

Afin de garantir la présence du récepteur, on peut échanger les données par un protocole « Handshake » (poigné de main) : l'émetteur commence par faire une demande au récepteur et attend que le récepteur réponde favorablement à la requête par un accusé de réception. Ensuite, les données pourront être échangées. Pour conclure, les liaisons synchrones sont plus adaptées au transfert entre circuits alors que les liaisons asynchrones sont adaptées aux transferts homme machine, comme une liaison reliant un clavier à une unité centrale. Les liaisons synchrones ont des débits de données limités car la synchronisation est cruciale.

III.5 – BUS DE DONNEES

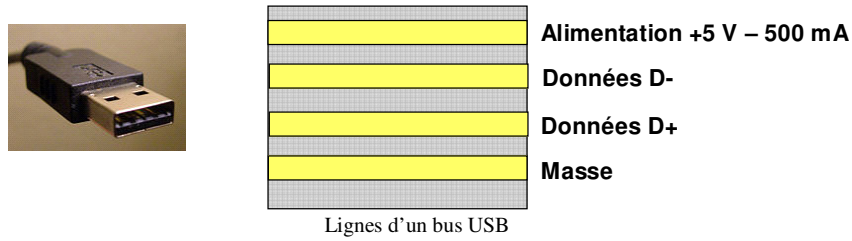
Un **bus** est défini par un ensemble de lignes de communication qui connectent plusieurs circuits électroniques :

- on lui donne souvent un qualificatif qui traduit le type de données qui transitent : bus d'adresses, bus de datas, bus de commande (indispensable pour une utilisation en mode asynchrone), .

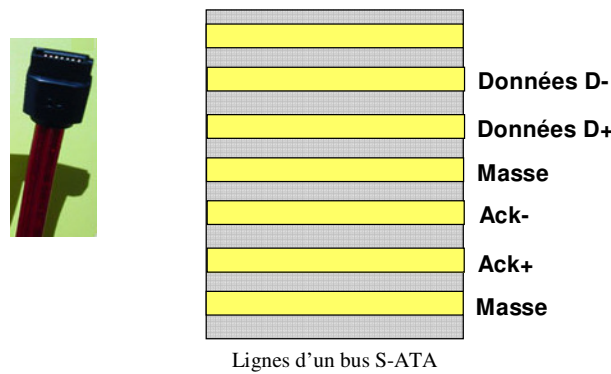
Un des plus populaires actuellement est le **bus série USB** (Universal Serial Bus) :

- * Quatre lignes :
 - * 2 pour les alimentations
 - * 2 pour les données transférées de façon différentielle.

Les transmissions par bus différentiel sont moins sensibles au bruit électromagnétique que les transmissions sur une seule ligne. Le bus USB permet des connexions rapides avec des périphériques externes (fonctionnement plug and play), peut fonctionner à plusieurs vitesses (de 1.5 à 12 Mbits/s pour l'USB 2.0), ce qui est fait un bus lent comparé à des bus informatique comme le bus PCI ou FireWire (IEEE1394).



Un autre type de bus série est le **bus S-ATA**, conçu pour les transferts entre un PC et un disque dur et remplace le bus parallèle IDE. Il est composé de 7 broches : 3 pour la masse, une paire de 2 broches pour la transmission des données série en mode différentiel et une paire de 2 broches pour la transmission des accusés de réception.



Autre exemple de bus parallèle est le **bus PCI** (Peripheral Component Interconnect), standard de bus pour les interconnexions entre carte mère d'un ordinateur et cartes d'extension comme des cartes graphiques ou réseaux. Il existe en plusieurs versions qui autorisent des débits allant de 132 Mo/s à 2.1 Go/s. Il fonctionne en mode maître/esclave, les échanges sont gérés par un arbitre. Le bus comprend 124 E/S mais 49 E/S sont exigées. Le bus comprend 32 lignes de données et d'adresse, 4 bits de validation d'octets, 6 bits de contrôle, 2 bits d'erreur, 2 bits d'arbitrage (pour les maîtres) et 2 bits système pour l'horloge et le reset.

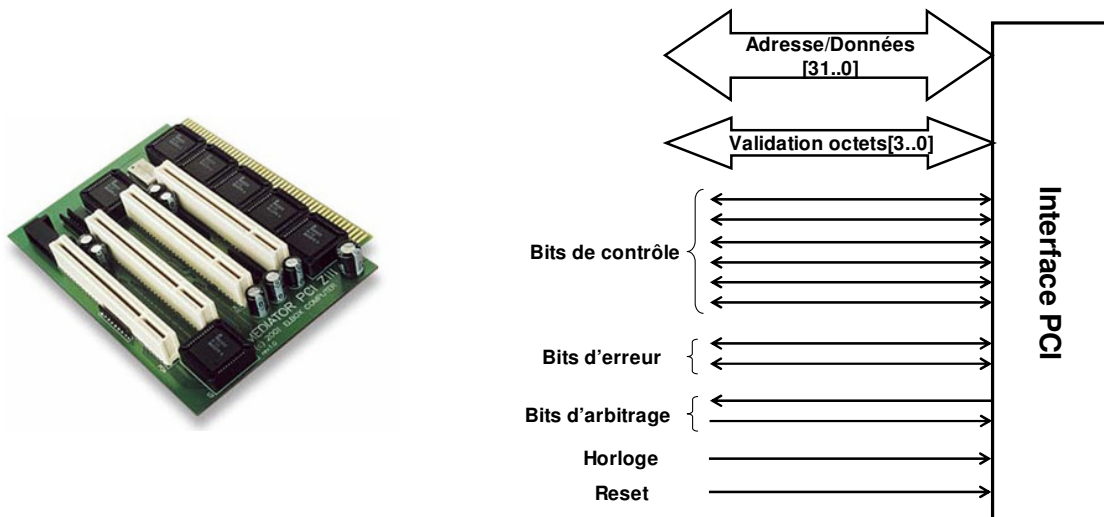


Fig. 1 - Lignes d'un bus PCI

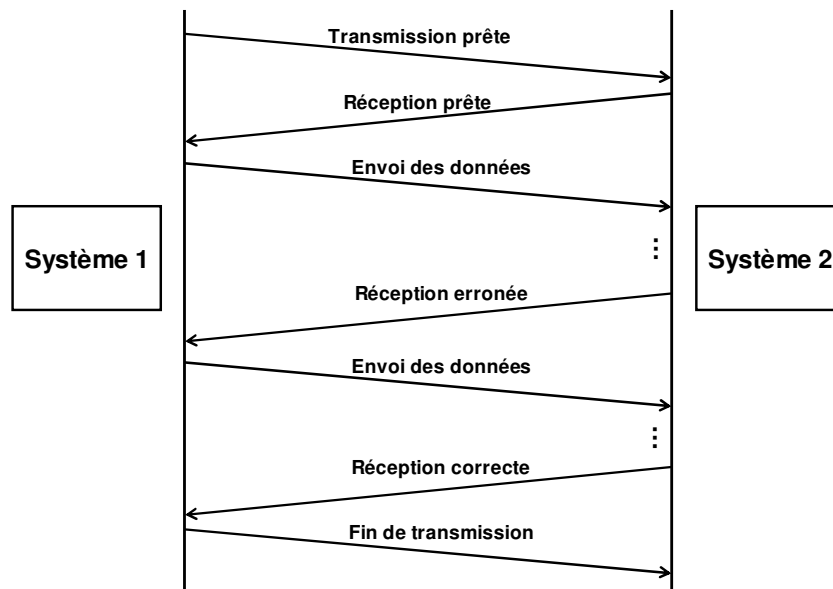
IV. – PROTOCOLE DE COMMUNICATION

Un protocole de communication est un ensemble de règles et de procédures définies par un standard permettant d'établir correctement une communication entre 2 entités. Dès qu'on cherche à faire communiquer plusieurs entités, il est nécessaire de spécifier un langage commun et des règles d'accès au canal de transmission.

Les protocoles peuvent être bas niveau (la façon dont 2 machines communiquent) et haut niveau (la façon dont 2 programmes informatiques échangent des données). La notion de protocole est plutôt informatique et elle est souvent implémentée dans un système à l'aide de composants programmables. Internet est basé sur plusieurs protocoles comme TCP/IP qui spécifie l'adressage des machines et l'acheminement des données et HTTP pour le transfert de fichiers.

Physiquement, la mise en place d'un protocole nécessite l'ajout de bits supplémentaires à un message ainsi que de lignes supplémentaires à un bus. L'ensemble des bits constituant un message élémentaire à transmettre selon un protocole est appelé trame. Elle contient les bits de données, mais aussi les bits d'indication de début et de fin, de contrôle, de synchronisation, ...

Considérons l'exemple de protocole bas niveau entre deux systèmes électroniques. Le protocole définit la manière dont l'émetteur demande l'autorisation d'émettre, le récepteur accepte la réception, la transmission des données se fait, la gestion des erreurs et les retransmissions éventuelles, les accusés de réception, la fin de la transmission.



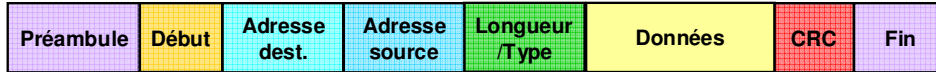
Exemple de protocole de communication

V. – TRAME DE DONNEES

Généralement, les données sont transmises par bloc ou trame d'information, dont le format et la taille (de quelques dizaines à plusieurs milliers de bits) sont définis par un standard. Les données utiles sont alors encapsulées dans un « paquet » composés de nombreux champs, qui vont aider à fiabiliser leur transmission à travers un réseau physique. La connaissance exacte du format de la trame est nécessaire, et des circuits spéciaux d'interface permettant l'accès au médium de transmission doivent savoir encapsuler ou désencapsuler les données d'une trame.

Une trame est caractérisée par un début ou en-tête et une fin ou postamble reconnaissable, qui permet au système récepteur de repérer les limites du message. Souvent, les champs de début servent à synchroniser le récepteur sur le flux binaire reçu. Une trame de donnée peut aussi renseigner sur la provenance et la destination du message. Dans le cas d'un ensemble de systèmes mis en réseau, connaître les adresses de destination et de sources pour que les messages transmis n'atteignent que les destinataires et que ces derniers puissent répondre. Une trame apporte aussi des informations utiles sur les données encapsulées qui vont aider le système récepteur à les lire. On trouve couramment des champs renseignant sur la longueur du champ de données, la nature du message, le type de protocole employé. Enfin, on trouve fréquemment un champ appelé champ de redondance

cyclique (CRC). Ce champ permet la détection (parfois même la correction) d'erreurs de transmission. Les bits composant ce champ, appelés aussi bits de parité, ont été calculé au moment de la création de la trame à partir des données de la trame. A la réception, le champ de CRC est recalculé à partir des données reçues puis comparé avec le champ de CRC reçu. Si ils diffèrent, alors le récepteur considère le message reçu comme invalide et peut demander à l'émetteur de réémettre. La technique la plus simple consiste à ajouter à chaque octet un bit de parité qui indique si le nombre de '1' de l'octet est pair ou impair. La figure 12 présente le format d'une trame Ethernet type II IEEE802.3.



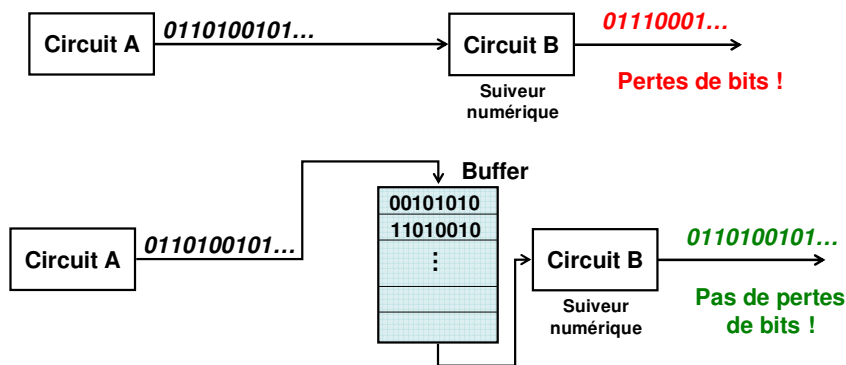
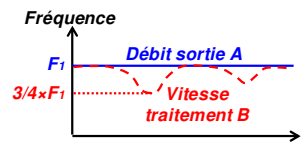
Format d'une trame Ethernet

VI. – TRANSMISSION EN TEMPS REEL – MEMOIRE TAMPON

Des applications telles que la transmission de la voix ou de la vidéo doivent parfois être effectuées en temps réel, c'est-à-dire qu'un signal analogique mesuré par un système émetteur doit être restitué par un système récepteur sans pertes de signal après un retard qui doit rester constant et non décelable par le récepteur. Ce retard inclus les délais de la conversion analogique numérique, du traitement numérique et de la transmission. Le signal restitué par le système récepteur doit donc être délivré de manière continue et au même rythme que le signal acquis par le système émetteur. Les systèmes de traitement et de transmission doivent se comporter comme une simple cellule de délai. Si la transmission ne se fait pas en temps réel, elle se fait donc en mode différé, ce qui suppose que le signal est mémorisé.

Illustrons sur l'exemple suivant les principes de transmission : un système numérique A convertit un signal analogique et transmet par bus série un flux binaire à un système numérique B qui doit effectuer un traitement numérique sur le flux binaire.

Pour avoir une transmission la plus rapide possible (transmission en temps réel), le flux de sortie du circuit A doit être égal à la capacité de traitement du circuit B. Si le débit de sortie de A est plus rapide que la capacité de traitement de B, les données arrivées en entrée de B qui n'auront pas eu le temps d'être traitées seront écrasées par les suivantes et seront irrémédiablement perdues. Dans le cas contraire, il est possible que B n'ait plus de nouvelles données à traiter et arrête momentanément son exécution. Pour éviter les situations où des données risquent d'être écrasées, une synchronisation commune et un protocole de communication sont nécessaires pour assurer un contrôle du flux.



Transmission en temps réel et utilisation d'une mémoire tampon

Cependant, même si on s'assure que les différents circuits fonctionnent à des vitesses identiques, les vitesses de traitements des circuits peuvent varier au cours du temps. En outre, les protocoles de communication asynchrone basés sur des accusés de réception peuvent engendrer des durées de transmission variables. Des

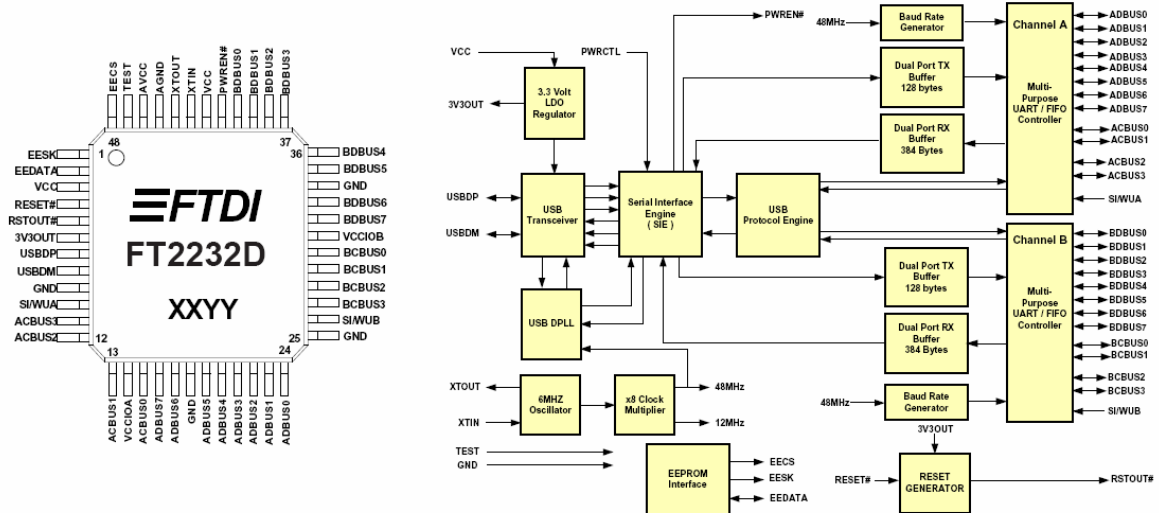
retards suffisamment importants pour devenir décelable peuvent alors être générés. Pour compenser ces variations de flux, une mémoire tampon ou buffer peut être placé avant le circuit récepteur. Les données sont alors stockées temporairement dans la mémoire en attendant leur traitement. Cette mémoire possède une structure en file d'attente ou FIFO (First In First Out). Plus la taille du buffer sera grande et plus il sera en mesure de compenser de fortes variations du débit ou de vitesse de traitement. Evidemment, si le flux de données en entrée est trop rapide, il arrivera un moment où le buffer sera saturé et les données seront irrémédiablement perdues. Le contrôle de flux reste donc requis.

Pour aller plus loin...

Des circuits spéciaux sont nécessaires pour pouvoir s'interfacer aux nombreux standards de communications. Ces circuits permettent soit d'adapter les niveaux électriques, soit de se conformer à un format ou à un protocole de communication. Des composants appelés Universal Asynchronous Receiver Transmitter (UART) et Universal Synchronous Asynchronous Receiver Transmitter (USART) permettent de convertir des données en plusieurs formats. Un UART transforme un flux parallèle, provenant d'un ordinateur par exemple, en un flux série asynchrone ou synchrone.

La figure ci-dessous présente un composant UART USB, capable de supporter plusieurs formats séries.

FT232D Dual USB UART / FIFO I.C.



TESTEZ VOS CONNAISSANCES

- ☺ Alors que vous roulez en voiture en écoutant un CD, une bosse sur la route interrompt la lecture du CD pendant 0.5 s. Quelle taille doit avoir le buffer pour compenser cette interruption ? (90 Ko)
- ☺ Réalisez un circuit qui fournit le bit de parité associé à un mot de 4 bits.
- ☺ Réalisez un circuit de détection d'erreur de parité pour des mots de 4 bits.
- ☺ Réalisez un circuit de conversion parallèle série. (Un signal Load assure le chargement des données parallèles).

CONCLUSION

- Les circuits électroniques sont amenés à échanger des données, ce qui impose un ensemble de contraintes électriques et de règles.
- Les liaisons entre circuits peuvent être unidirectionnelles ou bidirectionnelles, le support de transmission peut être partagé par plusieurs circuits. Les entrées sorties doivent donc être adaptées à la topologie de la connexion (E/S bidirectionnel, configurable, 3 états).
- Les bits d'un message peuvent être transmis soit de manière série, soit de manière parallèle. Les liaisons parallèles sont plus rapide que les liaisons série, mais au prix d'un nombre important de lignes physiques et sont peu adaptées au transmission à grande distance.
- Un registre à décalage permet la conversion d'un flux de bits série en un flux de bits parallèle.
- Les transmissions numériques peuvent être synchrones (flux continu) ou asynchrones (flux discontinu). Les bits transmis sont néanmoins cadencés sur l'horloge de l'émetteur. La récupération de ces bits par le récepteur nécessite qu'il soit correctement synchronisé sur l'horloge émetteur.
- Les lignes de transmission physiques sont souvent regroupées au sein de bus. Ceux-ci permettent non seulement de véhiculer les données, mais aussi des signaux de commande, d'horloge, d'arbitrage, d'alimentation, ...
- Un protocole de communication définit les règles permettant l'établissement d'une communication entre 2 systèmes.
- Dans le cadre d'un protocole de communication, les données sont généralement encapsulées dans des trames de données.
- Les transmissions en temps réel nécessitent un contrôle de flux permanent et font souvent appel à des mémoires tampons.

Chapitre 12

Registres, compteurs et afficheurs

I. – INTRODUCTION

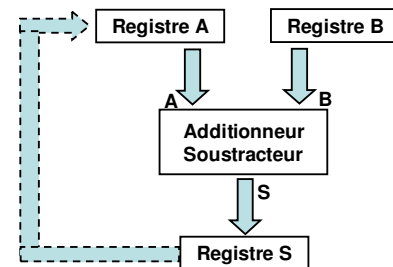
Les circuits numériques sont composés de nombreuses portes logiques et bascules, qui peuvent être regroupées en fonctions de base. Les premières fonctions à construire sont la fonction comptage construite à partir de bascules (le plus souvent de type D) et la fonction stockage dans un registre.

Dans ce chapitre sont décrits les architectures de fonctionnement des registres et des compteurs avec des applications registre à décalage, multiplieur, ligne à retard et diviseur de fréquence

II. – REGISTRES

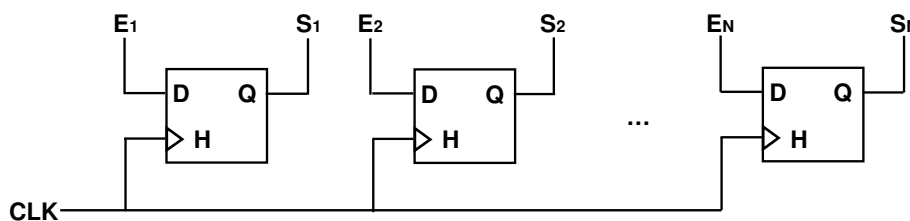
II.1 – Généralités

Un **registre** est un circuit à logique séquentielle chargé de **stocker ou mémoriser** un mot binaire à court terme (pendant une ou plusieurs périodes d'horloge) puis à le transférer. En général, le résultat d'un circuit logique n'est disponible que pendant une période d'horloge. Or, certaines opérations (comme les opérations arithmétiques) nécessitent que les données présentes en entrée restent constantes pendant toute la durée de l'opération (plusieurs périodes d'horloge). Un registre va donc assurer l'interface entre deux circuits.



Utilisation de registres dans un additionneur

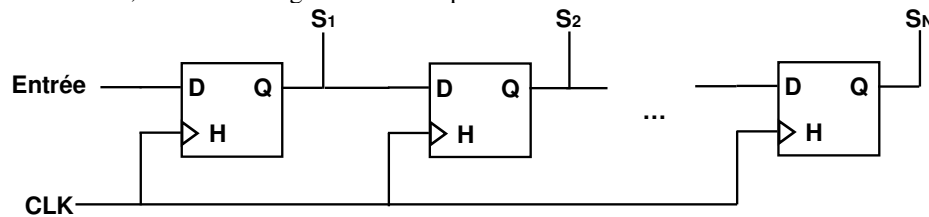
Considérons un registre à entrée et sortie parallèles à n bits formé de n bascules D synchrones. A chaque front montant de l'horloge, le mot placé en entrée ($E_0E_1...E_N$) est chargé sur la sortie ($S_0S_1...S_N$). Celui-ci restera inchangé en sortie jusqu'au prochain front actif de l'horloge. Néanmoins, cette structure modifie le contenu mémorisé à chaque font actif de l'horloge. Elle peut être modifiée en ajoutant une entrée Enable pour activer le chargement sur la sortie d'un mot en mémoire.



Structure d'un registre

II.2 – Registres à décalage

Les registres à décalage (shift register) sont des registres spéciaux pour lesquelles il existe une connexion entre chaque bascule du registre, qui se retrouve ainsi chaînées. Dans cette configuration particulière, les bits arrivent en série sur l'entrée du registre. A chaque front d'horloge, le bit mémorisé dans la bascule i est chargé dans la bascule $i+1$. Ainsi, les bits sont déplacés de la gauche vers la droite. Les sorties de chacune des bascules sont accessibles, la sortie du registre est donc parallèle.



Structure d'un registre à décalage

Plusieurs configurations de registres à décalage existent suivant la façon dont les bits arrivent ou sortent du registre à décalage :

- **PIPO** (Parallel In, Parallel Out) : à ne pas confondre avec un registre à décalage.
- **SIPO** (Serial In Parallel Out) : permet la conversion série parallèle
- **PISO** (Parallel In, Serial Out) : permet la conversion parallèle série
- **SISO** (Serial In Serial Out) : déduit de la structure registre à décalage où seule la sortie S_N est conservée

Le registre à décalage peut donc être employé pour modifier le format d'un bus de données (conversion parallèle série ou série parallèle). Dans la configuration SISO, il permet aussi de modifier l'espacement temporel entre 2 mots et donc ralentir le débit. Il peut ainsi servir de ligne de retard numérique. Si le registre est synchronisé à l'aide d'une horloge de période T et si un bit pénètre à un instant donné dans le registre, sa sortie du registre sera retardée de nT .

Les registres à décalage peuvent aussi être réversibles et ont ainsi un intérêt pour différentes opérations mathématiques. En effet, la multiplication d'un mot binaire par 2 correspond à un décalage à gauche du mot. Inversement, la division d'un mot binaire par 2 correspond à un décalage à droite du mot. En généralisant, un décalage de N bits vers la gauche ou vers la droite d'un mot correspond respectivement à une multiplication ou une division par 2^N . Ainsi, en modifiant la structure du registre à décalage de la figure 2 pour ajouter une commande sur le sens du décalage, on peut réaliser un circuit de multiplication ou de division par 2. Les cœurs des calculs des microcontrôleurs ou microprocesseurs sont composés d'unités arithmétique et logique, dans lesquels on retrouve des registres à décalage réversibles. La figure 4 présente la datasheet d'un registre à décalage universel de type 74HC194.

III. – COMPTEURS/DECOMPTEURS

III.1 – Compteur asynchrone – Diviseur de fréquence

La plupart des circuits numériques ont besoin de la fonction de comptage binaire qui va incrémenter régulièrement une valeur ou bien mesurer une durée de temps précise. Un compteur binaire est un circuit numérique séquentiel dédié au comptage du nombre d'impulsions reçues sur son entrée d'horloge. Il va incrémenter (ou décrémenter dans le cas d'un décompteur) le mot binaire chargé à chaque impulsion sur l'horloge. Comme le registre à décalage, il est constitué de bascules qui vont assurer l'élément mémoire de la fonction et de portes logiques pour le réseau à logique combinatoire qui va assurer le fonctionnement de la fonction.

74HC/HCT194

4-bit bidirectional universal shift register

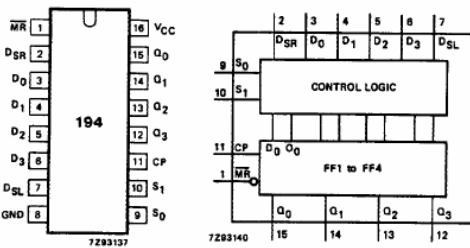


Fig.1 Pin configuration. Fig.4 Functional diagram.

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	\overline{MR}	asynchronous master reset input (active LOW)
2	D_{SR}	serial data input (shift right)
3, 4, 5, 6	D_0 to D_3	parallel data inputs
7	D_{SL}	serial data input (shift left)
8	GND	ground (0 V)
9, 10	S_0, S_1	mode control inputs
11	CP	clock input (LOW-to-HIGH edge-triggered)
15, 14, 13, 12	Q_0 to Q_3	parallel outputs
16	V_{CC}	positive supply voltage

FUNCTION TABLE

OPERATING MODES	INPUTS							OUTPUTS			
	CP	\overline{MR}	S_1	S_0	D_{SR}	D_{SL}	D_n	Q_0	Q_1	Q_2	Q_3
reset (clear)	X	L	X	X	X	X	X	L	L	L	L
hold ("do nothing")	X	H	I	I	X	X	X	q_0	q_1	q_2	q_3
shift left	\uparrow	H	h	I	X	I	X	q_1	q_2	q_3	L
	\uparrow	H	h	I	X	h	X	q_1	q_2	q_3	H
shift right	\uparrow	H	I	h	I	X	X	L	q_0	q_1	q_2
	\uparrow	H	I	h	h	X	X	H	q_0	q_1	q_2
parallel load	\uparrow	H	h	h	X	X	d_n	d_0	d_1	d_2	d_3

Notes

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 q,d = lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 \uparrow = LOW-to-HIGH CP transition

QUICK REFERENCE DATA

GND = 0 V, $T_{amb} = 25^\circ C$; $t_r = t_f = 6$ ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL} / t_{PLH}	propagation delay CP to Q_n	$C_L = 15$ pF; $V_{CC} = 5$ V	14	15	ns
t_{PHL}	\overline{MR} to Q_n		11	15	ns
f_{max}	maximum clock frequency		102	77	MHz
C_i	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	40	40	pF

Notes

- C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$$
 where:
 f_i = input frequency in MHz
 f_o = output frequency in MHz
 $\sum = (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
 C_L = output load capacitance in pF
 V_{CC} = supply voltage in V
- For HC the condition is $V_i = GND$ to V_{CC} ; for HCT the condition is $V_i = GND$ to $V_{CC} - 1.5$ V

Datasheet d'un registre universel de type 74HC194

Le compteur le plus simple existe dans une version asynchrone : à chaque front actif de l'horloge (montant ou descendant), la donnée mise en entrée de la bascule est complémentée. Après une seconde période d'horloge, la sortie de la bascule est à nouveau complémentée, le signal produit en sortie de la bascule a donc une fréquence deux fois plus faible que celle du signal d'entrée. On a réalisé de cette manière une division de fréquence par 2. En chaînant ainsi N bascules D actives à front descendant, la fréquence du signal de sortie de la dernière bascule est 2^N fois plus petite que celle du signal d'entrée. Un compteur asynchrone permet donc d'assurer le rôle de diviseur de fréquence. En outre, en observant le mot binaire formé par les sorties de chaque bascules, on remarque qu'il est décrémenté à chaque front d'horloge descendant. Il a donc compté le nombre d'impulsions reçues sur par le premier étage du compteur. Ce cycle dure indéfiniment tant qu'une horloge est appliquée sur l'entrée du premier étage. Ce circuit joue donc aussi le rôle de compteur binaire. Pour réaliser un compteur, il est nécessaire d'employer des bascules actives sur front descendant. En utilisant des bascules actives sur front montant, on réaliser un décompteur.

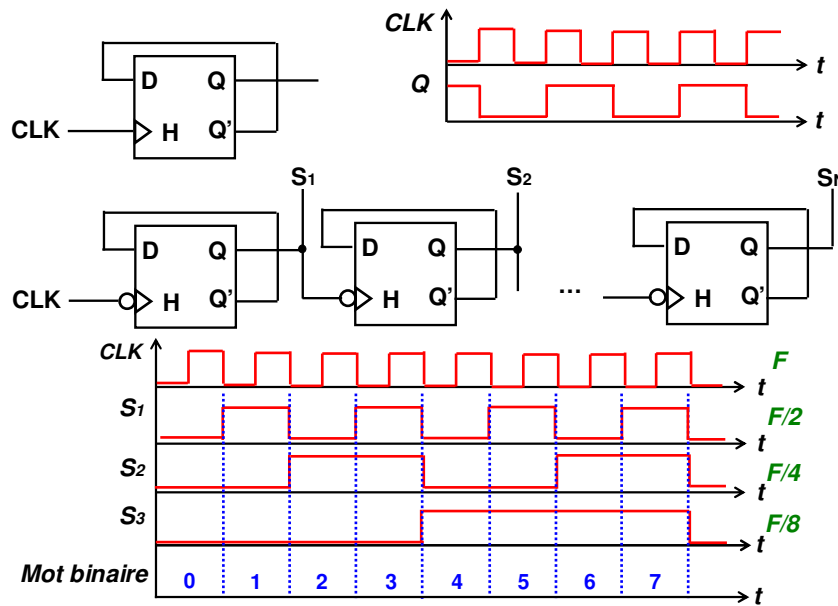
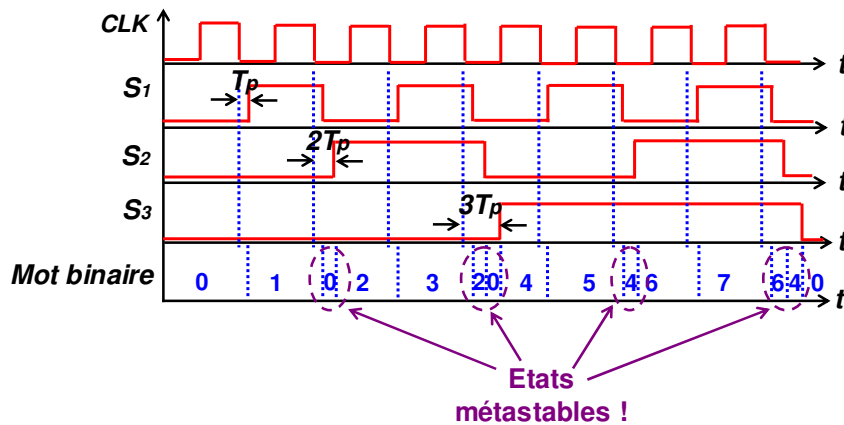


Fig. 1 - Compteur asynchrone

Bien que le fonctionnement du compteur soit cadencé par une horloge, il est qualifié d'asynchrone car les bascules ne sont pas activées par le même signal d'horloge. Les fréquences des horloges de chaque bascule ne sont pas identiques (facteur 1/2 entre chaque bascule successive). En outre, il existe un écart entre l'arrivée des fronts d'horloge sur chacune des bascules à cause du délai de propagation à travers les bascules. Si chaque bascule a un délai de propagation de T_p , alors la $n^{i\text{ème}}$ bascule reçoit un front montant avec un retard de nT_p ce qui peut représenter un temps important et limite la fréquence d'utilisation maximale du compteur asynchrone. La fréquence maximale théorique est liée à la propagation d'un bit à travers chacune des bascules du compteur et est limitée par le nombre de bits n , comme le montre l'équation ci-dessous.

$$F_{max} = \frac{1}{(N - 1) \times T_p}$$

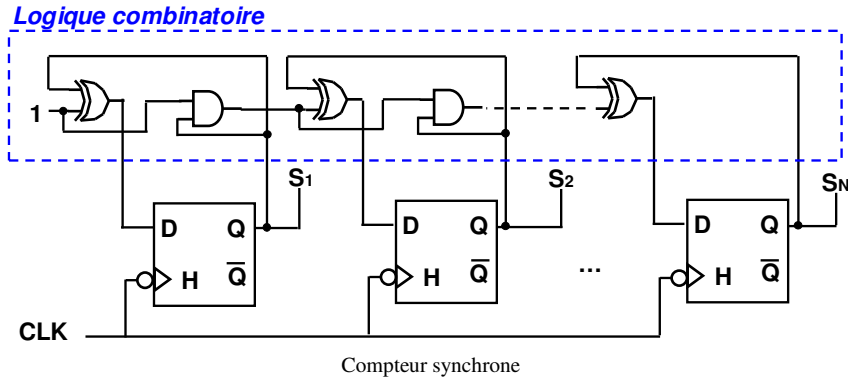
Cette désynchronisation entre chaque bascule a des conséquences parfois négatives car elle conduit à l'apparition d'aléas : états métastables rapides apparaissant parfois entre deux valeurs successives car le chargement des bascules est décalé les unes par rapport aux autres par des multiples des délais de propagation T_p . Suivant l'application et la durée de ces aléas, ces derniers peuvent être inacceptables.



Apparition d'états métastables dans un compteur asynchrone

III.2 – Compteur synchrone

Pour surmonter le problème d'aléas des compteurs asynchrones, il est nécessaire de réaliser une version synchrone du compteur, cadencé par une horloge unique, où toutes les bascules commutent simultanément, les états métastables vont disparaître.



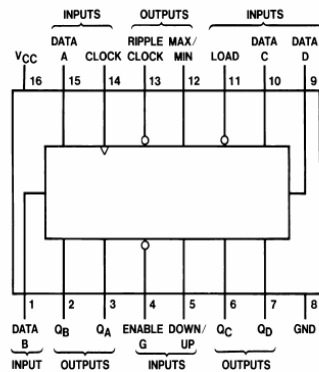
Dans cette version, un réseau de logique combinatoire est nécessaire pour déterminer les états à placer sur les entrées des bascules et les faire commuter à la bonne fréquence. Ici, le nombre de bascules ne limite pas la fréquence de fonctionnement puisque le comptage n'est plus basé sur la propagation d'un front à travers la chaîne de bascule. La fréquence limite théorique est fixée par le temps de propagation à travers le chemin critique, c'est-à-dire le chemin le plus long. D'après la figure 7, il est constitué par une bascule D, une porte XOR et une porte AND. La fréquence de fonctionnement maximale théorique vaut donc :

$$F_{max} = \frac{1}{T_{pD} + T_{pXOR} + T_{pAND}}$$

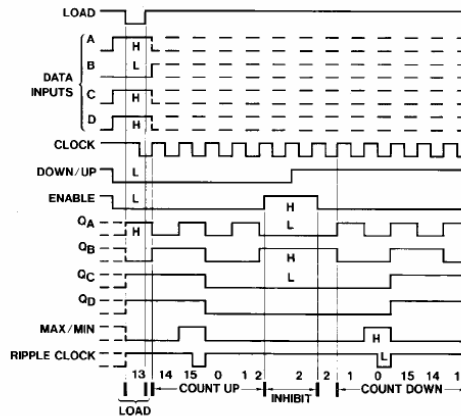
où T_{pXXX} sont les temps de propagation à travers les différentes portes.

DM74LS191
Synchronous 4-Bit Up/Down Counter with Mode Control

Connection Diagram



Timing Diagram



Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
f_{CLK}	Clock Frequency (Note 2)	0		20	MHz
t_W	Pulse Width (Note 2)	Clock	25		ns
		Load	35		
t_{SU}	Data Setup Time (Note 2)	20			ns
t_H	Data Hold Time (Note 2)	0			ns
t_{EN}	Enable Time to Clock (Note 2)	30			ns
T_A	Free Air Operating Temperature	0		70	°C

Note 2: $T_A = 25^\circ\text{C}$ and $V_{CC} = 5\text{V}$.

Datasheet d'un compteur synchrone de type 74LS191

Remarque :

Le comptage impose de démarrer à partir d'une valeur connue (zéro ou une autre valeur fixée par l'utilisateur) suivant l'utilisation. Pour cela, plusieurs entrées de commande sont nécessaires : RAZ ou CLR ou MR ou R sert de remise à zéro.

L'entrée CE (count enable) servant à valider le circuit ou interrompre le comptage, l'entrée U/D (Up ou Down) pour déterminer le sens de comptage.

Un compteur binaire, ne connaît pas à priori la notion de comptage en base 10 sauf dans le cas des compteurs BCD (Binary Coded Decimal) qui comptent de 0 à 9.

Chaque chiffre d'un nombre est codé par 4 bits. Ce système de codage se rapproche de la représentation décimale des nombres : $(24)_{10}$ correspond au code BCD 0010 0100.

IV. – AFFICHEURS NUMERIQUES

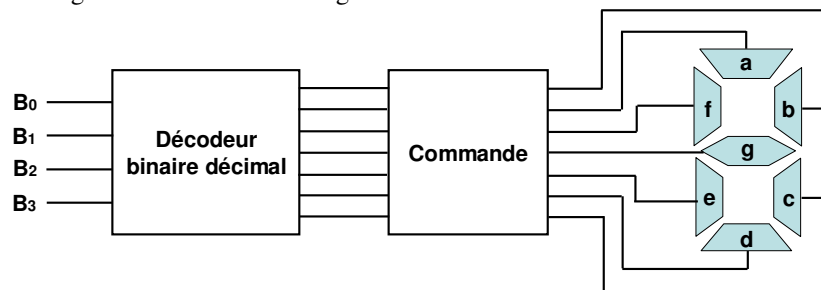
De nombreuses applications nécessitent une interface homme machine contenant un affichage (affichage d'heure, de données, demandes à l'utilisateur, ...). Plusieurs technologies existent pour afficher des informations, la plus courante est à base de cristaux liquides ou LCD (Liquid Crystal Display). Un écran à cristaux liquides est constitué d'un empilement de couches de verre polarisé et d'électrodes entourant une couche de cristaux liquides. En appliquant une différence de potentiel entre les électrodes, le plan de polarisation de la couche de cristaux liquides est modifié. Comme les deux couches de verre polarisé ont des directions de polarisation perpendiculaires, la transparence de cet empilement à la lumière peut être modifiée. En faisant passer de la lumière à travers cet empilement, on peut la faire passer ou la bloquer en fonction de la tension de polarisation. L'utilisation de cette technologie comme afficheur nécessite donc un rétro éclairage.

IV.1 – Afficheur 7 segments

Les afficheurs 7 segments LCD sont les plus basiques et sont adaptés à l'affichage de nombres décimaux et hexadécimaux. Sur l'écran, des segments sont gravés et formés de cristaux liquides et d'électrodes. Un caractère est reconstitué en fonction de la tension de commande des électrodes.

Les 7 segments sont appelés a, b,c, d, e, f et g.

L'affichage des 16 valeurs 0 à 9, A, B, C, D, E, F est commandée par 4 bits Si on ne souhaite afficher que des nombres décimaux, alors on utilisera en entrée un code BCD (Binary Coded Decimal). Des modules complets sont disponibles et intègrent le décodeur et l'étage de commande et de l'afficheur.



Afficheur à cristaux liquides 7 segments

IV.2 .– Afficheur LCD à matrice de pixels

Des afficheurs LCD plus complexes existent comme les afficheurs à matrice de points ou pixels, qui permettent d'afficher des caractères graphiques plus sophistiqués. Le fonctionnement est un peu différent de l'afficheur 7 segments et l'électronique est aussi plus complexe. L'emplacement de chaque caractère est prévu sur une matrice de pixels donné (5*7 pixels).

Les électrodes de chaque pixel sont accessibles par ligne et colonne. La commande d'allumage et d'extinction doit se faire par un balayage régulier des lignes. Ce type d'écran peut être monochrome (1 pixel par point) ou couleur (3 pixels par point). Les caractères affichés sont tous prédéfinis et contenus dans un tableau enregistré dans une mémoire morte du circuit. Pour afficher un caractère, il suffit d'envoyer l'adresse de ce caractère dans le tableau de caractère. La plupart du temps, les adresses des caractères correspondent à leur code ASCII (code sur 8 bits). Ce type d'afficheur doit être piloté par un circuit programmable externe tel qu'un microcontrôleur. Le programme embarqué sur ce composant doit être en mesure d'envoyer les commandes et les caractères à l'afficheur LCD.

Les afficheurs LCD sont généralement fournis sous forme de modules compacts nécessitant peu de composants externes. Ils incluent l'écran LCD, le contrôleur LCD, la mémoire des caractères, le circuit de commande LCD, le rétroéclairage. Un exemple de schéma bloc d'un afficheur LCD est donné avec un contrôleur interne qui

assure l'interface avec l'extérieur et pilote le fonctionnement du circuit. Il reçoit les codes ASCII des caractères à afficher ou les instructions, les différentes commandes (E = validation, RS = instruction ou donnée, R/W = lecture ou écriture de la mémoire).

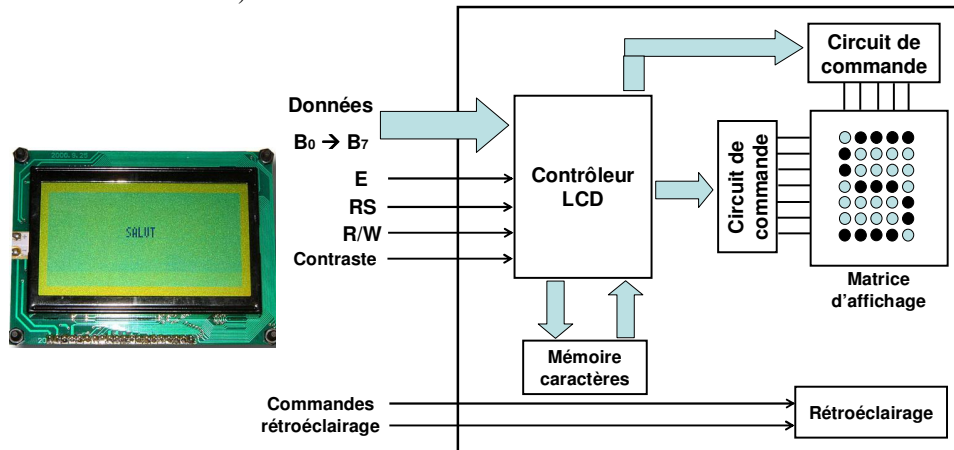
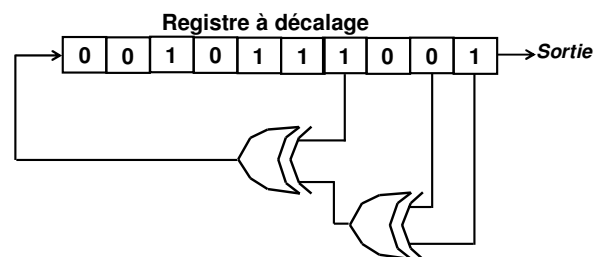


Schéma d'un circuit afficheur à cristaux liquides à matrice de pixels

Pour aller plus loin...

Les registres à décalage sont parfois employés pour réaliser des opérations arithmétiques complexes utilisées dans les communications. Une variante des registres à décalage est appelé registre à retour linéaire (Linear Feedback Shift Register), illustré à la figure 11. Le ou les bits de sorties subissent une série d'opérations et d'opérations binaires (des ou exclusifs) avant d'être réinsérés dans le registre. Ainsi, l'entrée du registre correspond à une fonction linéaire de l'état précédent du registre.



Registre à décalage à retour linéaire ou générateur pseudo-aléatoire

Comme l'opération effectuée par le circuit est déterministe, la valeur obtenue ne dépend que de l'état précédent, et donc de la valeur initialement chargée dans le registre. Le registre a un nombre de bits finis et donc un nombre d'états finis. Parfois, la séquence générée est cyclique, mais si la fonction de retour est correctement choisie, le cycle de cette séquence devient tellement long que l'apparition des bits en sortie du registre devient aléatoire.

Ce circuit est aussi appelé générateur pseudo-aléatoire, puisqu'il est capable de générer des séquences de bits aléatoires. Cependant, comme la structure est déterministe, il est possible de déterminer l'état suivant si on connaît la structure du générateur et le mot initialement chargé dans le registre. Il existe de nombreuses formes de générateurs pseudo-aléatoires. Plus la taille du registre est grande, plus le nombre d'états possibles et plus la durée du cycle sont importants. Les applications des générateurs pseudo-aléatoires sont multiples :

- ils permettent de générer des séquences binaires de manière aléatoires, afin de former des vecteurs de test. Ceux-ci sont ensuite injectés sur les circuits intégrés pour tester leur fonctionnement en couvrant le maximum de cas possibles.
- ils permettent de sécuriser l'échange des données sur un réseau, par exemple pour les réseaux sans fils (comme WiFi), par cryptage des informations. Le principe consiste à définir au niveau du point d'accès et de l'utilisateur une clé ou une séquence de bits aléatoire. Cette clé correspond à la séquence d'initialisation du registre à décalage. Ensuite, le générateur génère des nombres pseudo-aléatoires de mêmes longueurs que les trames à transmettre.
- dans les communications numériques, les longues séries de 0 et de 1 dégradent la synchronisation du récepteur sur le flux binaire reçu. Pour y remédier, un générateur pseudo-aléatoire placé au niveau de l'émetteur modifie le flux de bits à transmettre pour le rendre totalement aléatoire. Au niveau du récepteur, un autre générateur pseudo-aléatoire effectue l'opération inverse et extrait le message original de la séquence aléatoire reçue.

TESTEZ VOS CONNAISSANCES

- ☺ Réaliser un registre à décalage de 4 bits à partir de bascules JK.
- ☺ Modifier la structure du registre synchrone pour contrôler le chargement en mémoire par un signal enable EN et pour autoriser la lecture des sorties par un signal Read.
- ☺ Réalisez une ligne à retard numérique programmable à partir d'un registre à décalage. Les valeurs permises pour le retard sont de 0, 1, 2, 3 ou 4 périodes d'horloge. (Utilisez des multiplexeurs, voir chapitre suivant)
- ☺ Réalisez un diviseur de fréquence par 10. (Utilisez un compteur synchrone).
- ☺ A quel nombre correspond le code BCD 0001001000110100 ? (1234)

CONCLUSION

- Un registre est un circuit à logique séquentielle chargée de stocker momentanément une donnée pour ensuite la transférer.
- En chaînant les bascules d'un registre, on forme un registre à décalage, utile pour une conversion série-parallèle, parallèle-série ou encore une ligne à retard, un multiplieur ou un diviseur par 2.
- Un compteur est un circuit à logique séquentielle capable de compter le nombre d'impulsions reçues sur son horloge. Il peut être utilisé comme moyen de métrologie du temps
- Un compteur asynchrone peut assurer la fonction de diviseur de fréquence.
- Un compteur asynchrone est un « mauvais » compteur car des états métastables peuvent apparaître. L'utilisation d'un compteur synchrone fait disparaître ces états.
- La fréquence d'un compteur asynchrone est limitée par le nombre de bascules ou par le nombre de bits. Celle d'un compteur synchrone est limitée par le chemin critique.

Chapitre 13

Mémoires, multiplexeurs et décodeurs

I. – INTRODUCTION

Les mémoires constituent une fonctionnalité cruciale pour tout système numérique puisqu'elles assurent le stockage sous forme numérique d'une grande quantité d'informations. Dans une application comme un téléphone portable, plusieurs types de mémoires coexistent et sont destinés à différentes fonctions :

- ⇒ la mémoire interne qui stocke les instructions du programme,
- ⇒ la mémoire externe (mémoire de la carte SIM, périphériques,...).

Plusieurs supports de sauvegarde existent :

- les disques optiques (CD, DVD)
- les disques magnétiques (disque dur)
- les mémoires à semi-conducteurs.

Cette dernière catégorie comprend l'ensemble des mémoires internes à un système électronique. Dans un téléphone portable, on ne trouve que des mémoires à semi-conducteurs. Alors que les mémoires optiques et magnétiques sont dédiées à du stockage de masse, les mémoires à semi-conducteur sont intégrées au plus près des systèmes électroniques pour transférer ou enregistrer le plus rapidement possible des données ou des instructions d'un programme. Même si la capacité de stockage des mémoires à semi-conducteurs est limitée (même si certains baladeurs MP3 font plusieurs dizaines de Go), elles ont l'avantage d'avoir une vitesse d'accès élevée.

La zone de stockage d'une mémoire ne représente qu'une partie de la mémoire et elle ne peut fonctionner sans un système électronique (multiplexeurs/démultiplexeurs) qui adressera les données en lecture ou écriture dans la mémoire.

A partir de la description des principales caractéristiques d'une mémoire (technologie, performance, stockage,...), des exemples d'architecture de fonctionnement sont présentées en utilisant les fonctions de multiplexage et démultiplexage.

II. – LES MEMOIRES

II.1 – Caractéristiques d'une mémoire

Les principales caractéristiques d'une mémoire sont :

- La **capacité**, c'est à dire le volume global d'informations (en bits) que la mémoire peut stocker

- Le **temps d'accès**, correspondant à l'intervalle de temps entre la demande de lecture/écriture et la disponibilité de la donnée
- Le **temps de cycle**, représentant l'intervalle de temps minimum entre deux accès successifs
- Le **débit**, définissant le volume d'information échangé par unité de temps et exprimé en bits par seconde
- La **non volatilité**, qui caractérise l'aptitude d'une mémoire à conserver les données lorsque la mémoire n'est plus alimentée électriquement.

Une mémoire idéale possède une grande capacité avec des temps d'accès et temps de cycle très restreints, un débit élevé et est non volatile. Cependant, elle n'existe pas. On distingue 2 catégories de mémoires à semi-conducteurs :

- **ROM (Read Only Memory) ou mémoire morte** : ce type de mémoire ne peut être que lue et ne doit pas être modifiée lors du fonctionnement de l'application ou lors de toute coupure de l'alimentation. Il s'agit de mémoires non volatiles. Ce type de mémoire est principalement destiné à des mémoires de programme, la séquence d'instructions d'un programme doit être impérativement protégée. Elle est aussi destinée à la sauvegarde de données « précieuses ».
- **RAM (Read Access Memory) ou mémoire vive**: cette mémoire peut être lue et écrite à tout moment. Elle est destinée au stockage de données qui seront régulièrement remises à jour. Ce sont néanmoins des mémoires volatiles.

II.2 – Mémoires vives

Les mémoires vives servent à l'écriture et à la lecture de données utiles à un système électronique pendant une durée limitée. Le temps d'accès doit être le plus court possible pour éviter un ralentissement du fonctionnement du système. Ces mémoires sont volatiles, les données sont perdues dès que la tension de polarisation est supprimée. Les circuits mémoires sont quasiment exclusivement en technologie CMOS.

On trouve 2 types de mémoires vives :

- **SRAM ou RAM statique** : une SRAM est une association de 2 bistables qu'il suffit d'alimenter pour conserver un état logique. La lecture de la donnée stockée ne provoque pas la perte de l'information.
- **DRAM ou RAM dynamique** : dans une DRAM, l'état électrique est conservé dans une capacité de faible valeur qui est isolée du bus de sortie pour éviter qu'elles se déchargent. Néanmoins, des résistances parasites existent inévitablement et provoquent le déchargement de la capacité et la perte de l'information stockée. Il est donc nécessaire de rafraîchir régulièrement une DRAM. En général, le contenu de la mémoire est indisponible durant 15 ns environ et est répété tous les 15 μ s environ. De plus, la lecture de la donnée stockée provoque la décharge de la capacité (à cause de l'échange de charge entre la capacité de faible valeur de stockage et les capacités parasites du bus et d'entrée du circuit). Il sera nécessaire de réécrire la donnée après lecture.

Le temps d'accès des SRAM est plus rapide que ceux des DRAM (10 ns contre 60 ns) et la procédure d'accès aux données est plus simple. Cependant les SRAM restent beaucoup plus chères que les DRAM. De plus, elles sont plus volumineuses et consomment plus d'énergie que les DRAM. De ce fait, les DRAM sont plus répandues que les SRAM, qui sont par exemple utilisées dans les mémoires caches des microprocesseurs. Les DRAM sont employées comme mémoire vidéo, dans les cartes graphiques ou comme mémoire principale dans les PC. Pour réduire le temps d'accès, des techniques de gestion d'accès ont été développées comme autoriser la lecture ou l'écriture des mémoires à la fois sur les fronts montants et descendants. Ce principe est employé dans les DDR-SDRAM (Double Data Rate Synchronous DRAM). Les DRAM les plus performantes atteignent des débits de 6 Go/s.

II.3 – Mémoires mortes

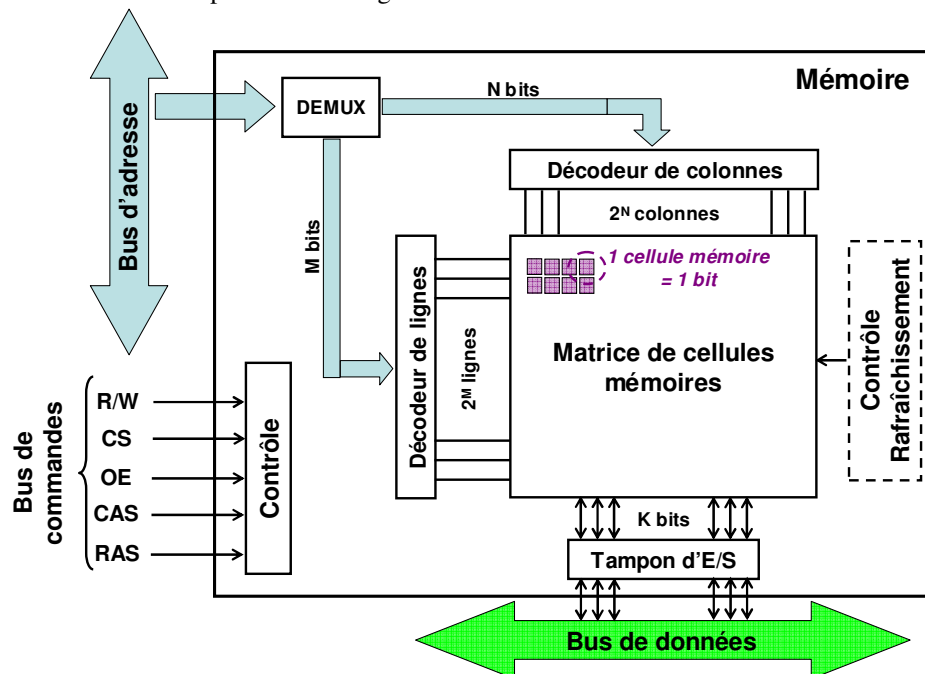
Ces mémoires sont uniquement lisibles durant leur phase d'utilisation nominale. Selon la technologie employée, elles sont écrites soit durant les phases de fabrication, soit durant une phase de programmation. Ces mémoires sont non volatiles et sont réservées au stockage des programmes et d'informations à conserver (BIOS, table de conversion, table de génération de caractère graphiques).

On trouve différents types de mémoires mortes :

- **ROM** : elles sont programmées par le fabricant du circuit (réseau de fusibles). Cette opération est irréversible.
- **PROM (Programmable ROM)** : ces mémoires sont équivalentes aux ROM, exceptées qu'elles sont programmées par l'utilisateur.
- **EPROM (Erasable Programmable ROM)** : l'écriture est réversible. Elle est programmable électriquement à l'aide de fortes tensions (21 V) et le contenu de la mémoire peut être effacé par une exposition de plusieurs minutes aux rayons UV. Malheureusement, tout le contenu de la mémoire est effacé. Son utilisation est devenue de plus en plus rare.
- **EEPROM (Electrically Erasable Programmable ROM)** : Ces mémoires sont programmables et effaçables électriquement à l'aide de forts niveaux de tension. En outre, l'effacement et la programmation ne sont pas globaux. Ces mémoires sont donc intéressantes comme mémoire non volatiles reprogrammables in-situ par l'utilisateur. Cependant, leur temps d'accès est de l'ordre de 10 ms et le nombre de cycles effacement est limité empêchant leur utilisation à la place des mémoires RAM. Ces composants sont intéressants comme mémoire programme dans des composants programmables.
- **Mémoires Flash** : il s'agit d'une variété particulière des mémoires EEPROM plus rapides (jusqu'à plusieurs dizaines de Mo/s) et non volatiles qui en font un compromis entre les RAM et les EEPROM. L'accès à la mémoire est plus simple, l'effacement ne se fait que sur quelques groupes d'octets, la consommation faible et sa grande durée de vie les rendent très attractives pour stocker des programmes et des données dans de nombreuses application (appareils photo, caméscopes, baladeurs, clés USB. Les SD Card et XD Card sont des mémoires Flash.

II.4 – Architecture d'une mémoire

La figure suivante l'architecture générale d'une mémoire à semi-conducteurs. La zone mémoire est organisée en matrice de cellules mémoires capables de sauvegarder un bit.



Architecture d'une mémoire à semi-conducteur

Cette matrice est organisée en lignes et en colonnes, chaque bit ou chaque mot peuvent être identifiables et sélectionnables par une adresse (ou par une adresse ligne et une adresse colonne) véhiculée par le bus d'adresse. Des fonctions annexes sont nécessaires pour transférer les données de la mémoire vers l'extérieur ou de l'extérieur vers la mémoire. Des décodeurs de ligne et de colonne permettent de faire la correspondance entre l'adresse envoyée et la position de la donnée à lire ou écrire. Les données lues dans la mémoire ou à écrire dans

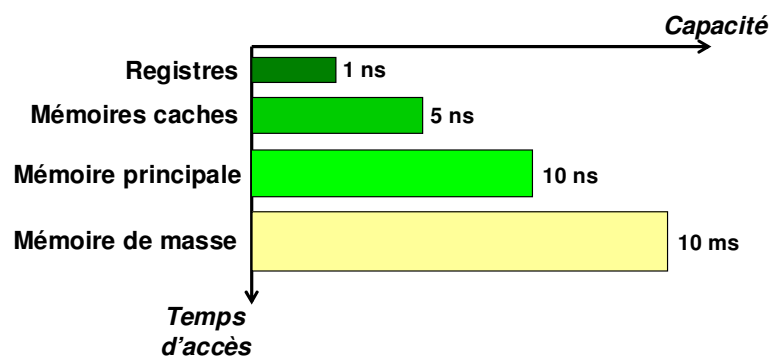
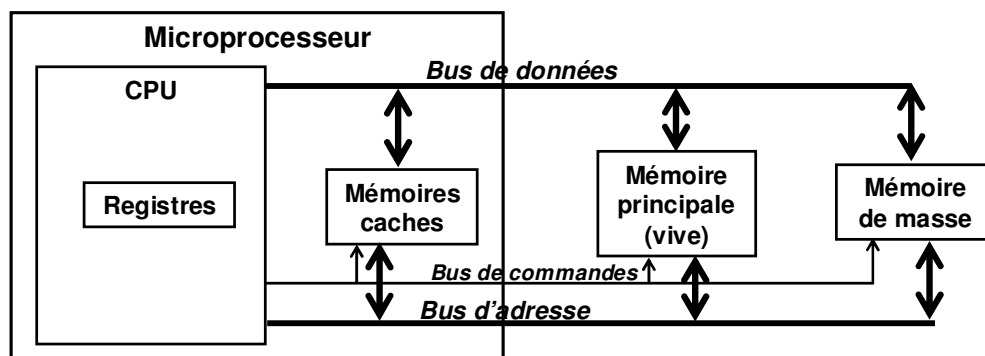
la mémoire sont présentes sur le bus de données. Un tampon ou buffer bidirectionnel est nécessaire pour placer en entrée de la mémoire ou sur le bus de données des mots binaires stables. Ce buffer doit fonctionner en logique 3 états car le bus de données est généralement partagé par plusieurs circuits.

Un ensemble de commandes (bus de commandes) permet à un circuit externe (microprocesseur) de piloter la mémoire. L'entrée CS (Chip Select) permet de rendre opérationnelle la mémoire, c'est-à-dire que les données seront placées sur le bus de données. L'entrée OE (Output Enable) autorise la mémoire à placer des données sur le bus de données. La commande R/W (Read Write) permet de sélectionner le mode de fonctionnement de la mémoire : en écriture ou en lecture. Dans le cas de mémoires de fortes capacités, les adresses sont divisées en 2 parties : une adresse ligne, une adresse colonne. Les commandes RAS (Read Address Selection) et CAS (Column Address Selection) permettent de donner le type de l'adresse. La figure 3 présente la datasheet d'une mémoire vive de type SRAM.

II.5 – Hiérarchie de mémoires dans une application

La mémoire idéale n'existe malheureusement pas puisque les mémoires rapides sont également les plus onéreuses...

Afin, d'optimiser la vitesse d'accès, il est possible d'améliorer l'organisation des mémoires dans le système. Dans un système traitant de nombreuses données comme un ordinateur, plusieurs types de mémoire basées sur différentes technologies sont utilisées, interfacées les unes avec les autres et organisées de façon hiérarchique. Les mémoires les plus rapides sont situées en faible quantité à proximité du processeur et les mémoires de masse, moins rapides, servent à stocker les informations de manière permanente. Le niveau de mémoire le plus proche du système de traitement (CPU du microprocesseur) est constitué par les registres, d'accès très rapides mais qui ne servent qu'à stocker un ou plusieurs octets pendant un nombre limité de cycles d'horloge. Le niveau de mémoire au dessus est constitué par la mémoire cache, qui duplique les informations les plus utilisées par le microprocesseur, évitant ainsi un accès plus lent dans la mémoire RAM. On trouve plusieurs niveaux de mémoire cache. Celle-ci est souvent faite de SRAM. Au dessus, on trouve la mémoire principale qui est une mémoire vive, généralement une DRAM. Enfin, le dernier niveau est constitué par la mémoire de masse où sont conservées de manière permanente les données. Dans un PC, elle est assurée par le disque dur.



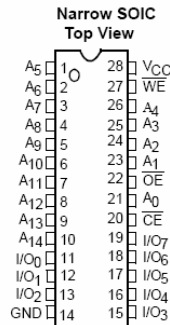
Niveaux de hiérarchie de mémoire et performances

CY62256 256K (32K x 8) Static RAM

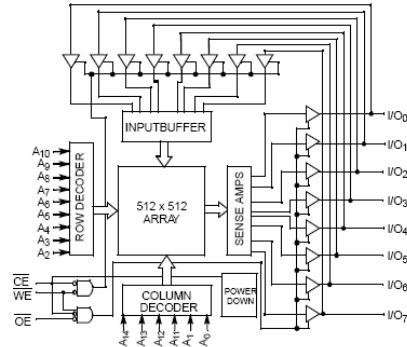
Features

- High speed: 55 ns and 70 ns
- Voltage range: 4.5V–5.5V operation
- Low active power (70 ns, LL version) — 275 mW (max.)
- Low standby power (70 ns, LL version) — 28 μ W (max.)
- Easy memory expansion with \overline{CE} and \overline{OE} features
- TTL-compatible inputs and outputs
- Automatic power-down when deselected
- CMOS for optimum speed/power
- Package available in a standard 450-mil-wide (300-mil body width) 28-lead narrow SOIC, 28-lead TSOP-1, 28-lead reverse TSOP-1, and 600-mil 28-lead PDIP packages

Pin Configurations



Logic Block Diagram



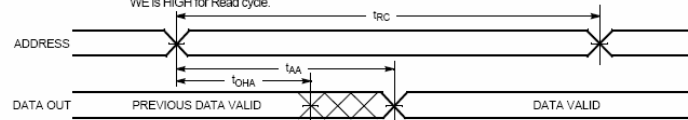
Truth Table

CE	WE	OE	Inputs/Outputs	Mode	Power
H	X	X	High-Z	Deselect/Power-down	Standby (I_{sp})
L	H	L	Data Out	Read	Active (I_{CC})
L	L	X	Data In	Write	Active (I_{CC})
L	H	H	High-Z	Deselect, Output Disabled	Active (I_{CC})

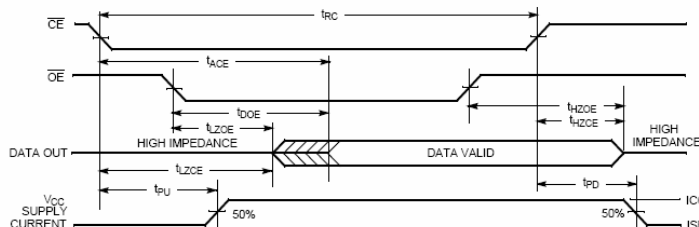
Switching Characteristics Over the Operating Range^[9]

Parameter	Description	CY62256-55		CY62256-70		Unit
		Min.	Max.	Min.	Max.	
Read Cycle						
t_{RC}	Read Cycle Time	55		70		ns
t_{AA}	Address to Data Valid		55		70	ns
t_{OHA}	Data Hold from Address Change	5		5		ns
t_{ACE}	\overline{CE} LOW to Data Valid		55		70	ns
t_{DOE}	\overline{OE} LOW to Data Valid		25		35	ns
t_{LZOE}	\overline{OE} LOW to Low-Z ^[7]	5		5		ns
t_{HZOE}	\overline{OE} HIGH to High-Z ^[7, 8]		20		25	ns
t_{LZCE}	\overline{CE} LOW to Low-Z ^[7]	5		5		ns
t_{HZCE}	\overline{CE} HIGH to High-Z ^[7, 8]		20		25	ns
t_{PU}	\overline{CE} LOW to Power-up	0		0		ns
t_{PD}	\overline{CE} HIGH to Power-down		55		70	ns
Write Cycle^[9, 10]						
t_{WC}	Write Cycle Time	55		70		ns
t_{SCE}	\overline{CE} LOW to Write End	45		60		ns
t_{AW}	Address Set-up to Write End	45		60		ns
t_{HA}	Address Hold from Write End	0		0		ns
t_{SA}	Address Set-up to Write Start	0		0		ns
t_{PWE}	\overline{WE} Pulse Width	40		50		ns
t_{SD}	Data Set-up to Write End	25		30		ns
t_{HD}	Data Hold from Write End	0		0		ns
t_{HZWE}	\overline{WE} LOW to High-Z ^[7, 8]		20		25	ns
t_{LZWE}	\overline{WE} HIGH to Low-Z ^[7]	5		5		ns

Read Cycle No. 1 Device is continuously selected. \overline{OE} , $\overline{CE} = V_{IL}$. \overline{WE} is HIGH for Read cycle.



Read Cycle No. 2 \overline{WE} is HIGH for Read cycle. Address valid prior to or coincident with \overline{CE} transition LOW.

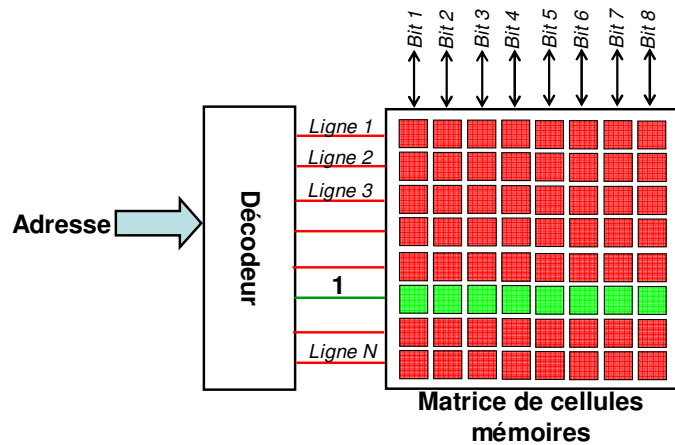


Datasheet d'une SRAM de type CY62256

III. – DECODEURS D'ADRESSE - MULTIPLEXEURS

Pour écrire ou lire une mémoire, il est nécessaire de faire transiter une donnée depuis une des cellules de la mémoire vers le bus de données ou inversement, en fonction d'une adresse. Cette fonction d'aiguillage est assurée dans la mémoire par des décodeurs d'adresse, parfois séparés en décodeur de ligne et de colonne. En

fonction de l'adresse sélectionnée, une ligne ou une case de la mémoire est accessible et reliée au bus de données, comme le montre la figure ci-dessous. Ces circuits décodeurs sont basés sur l'utilisation d'un démultiplexeur.



Décodeur d'adresse dans une mémoire

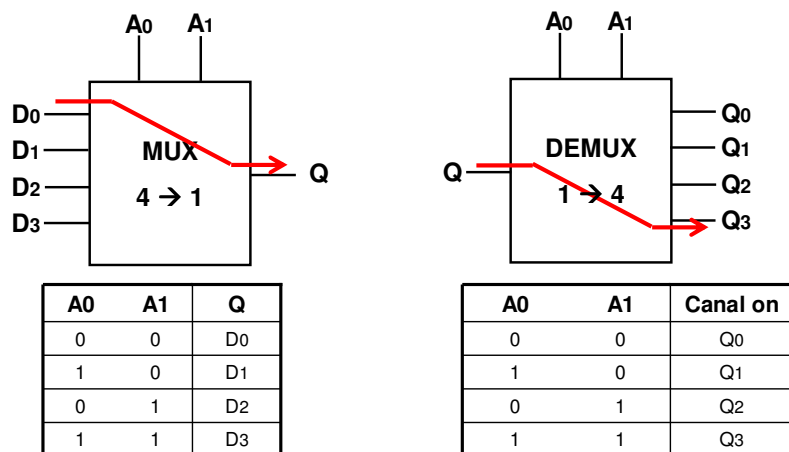
III.1 – Multiplexeurs

La fonction de multiplexage (MUX) est d'assurer l'aiguillage de plusieurs signaux sur une voie unique et donc de réaliser une sélection d'une donnée parmi M données. Un multiplexeur possède plusieurs entrées : un groupe de M données, et l'adresse de sélection, formée de N bits telle que $M = 2^N$. Il possède évidemment une seule sortie. On parle aussi de multiplexeur M vers 1. La figure 5 présente le principe de fonctionnement d'un multiplexeur 4 vers 1.

III.2 – Démultiplexeurs

Le démultiplexeur (DEMUX) effectue la fonction inverse du multiplexeur. Il s'agit d'un distributeur de données puisqu'il dirige une donnée en entrée vers une des M sorties. Comme le multiplexeur, il possède N entrées pour l'adresse sélection, de telle sorte que $M = 2^N$. La sortie sélectionnée suivra l'entrée, alors que les autres sorties resteront dans un état 0 ou 1.

La figure suivante décrit le principe de fonctionnement d'un démultiplexeur 1 vers 4. Le démultiplexeur peut aussi jouer un rôle de décodeur. Un décodeur correspond à un circuit qui affecte à une sortie un état 0 ou 1 défini sur l'entrée du démultiplexeur en fonction de l'adresse de sélection. Les multiplexeurs/démultiplexeurs sont très courants en électronique et jouent de nombreux rôles. Un exemple d'application est l'aiguillage du signal d'horloge vers une partie du circuit, sans synchroniser les parties non utilisées du circuit.



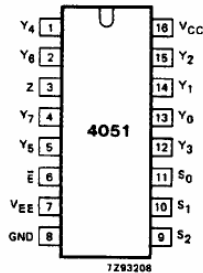
Principe d'un multiplexeur 4 vers 1 (gauche) et d'un démultiplexeur 4 vers 1 (droite)

74HC/HCT4051

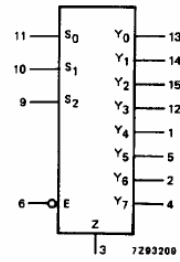
8-channel analog multiplexer/demultiplexer

FEATURES

- Wide analog input voltage range: ± 5 V.
- Low "ON" resistance:
80 Ω (typ.) at $V_{CC} - V_{EE} = 4.5$ V
70 Ω (typ.) at $V_{CC} - V_{EE} = 6.0$ V
60 Ω (typ.) at $V_{CC} - V_{EE} = 9.0$ V
- Logic level translation:
to enable 5 V logic to communicate with ± 5 V analog signals
- Typical "break before make" built in
- Output capability: non-standard
- I_{CC} category: MSI



Pin configuration.



Logic symbol.

APPLICATIONS

- Analog multiplexing and demultiplexing
- Digital multiplexing and demultiplexing
- Signal gating

FUNCTION TABLE

PIN NO.	SYMBOL	NAME AND FUNCTION
3	Z	common input/output
6	\bar{E}	enable input (active LOW)
7	V_{EE}	negative supply voltage
8	GND	ground (0 V)
11, 10, 9	S_0 to S_2	select inputs
13, 14, 15, 12, 1, 5, 2, 4	Y_0 to Y_7	independent inputs/outputs
16	V_{CC}	positive supply voltage

\bar{E}	INPUTS			channel ON
	S_2	S_1	S_0	
L	L	L	L	$Y_0 - Z$
L	L	L	H	$Y_1 - Z$
L	L	H	L	$Y_2 - Z$
L	L	H	H	$Y_3 - Z$
L	H	L	L	$Y_4 - Z$
L	H	L	H	$Y_5 - Z$
L	H	H	L	$Y_6 - Z$
L	H	H	H	$Y_7 - Z$
H	X	X	X	none

QUICK REFERENCE DATA

$V_{EE} = GND = 0$ V; $T_{amb} = 25$ °C; $t_r = t_f = 6$ ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PZH} / t_{PZL}	turn "ON" time \bar{E} to V_{OS} S_n to V_{OS}	$C_L = 15$ pF; $R_L = 1$ k Ω ; $V_{CC} = 5$ V	22	22	ns
			20	24	ns
t_{PHZ} / t_{PLZ}	turn "OFF" time \bar{E} to V_{OS} S_n to V_{OS}		18	16	ns
			19	20	ns
C_i	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per switch	notes 1 and 2	25	25	pF
C_S	max. switch capacitance independent (Y) common (Z)		5	5	pF
			25	25	pF

Datasheet d'un multiplexeur/démultiplexeur analogique/digital de type 74HC4051

Pour aller plus loin...

Les mémoires sont très largement utilisées dans les applications électroniques embarquées tels que les téléphones portables. Le développement de mémoires rapides, de forte capacité de stockage, de faible consommation, non volatile et bon marché est un véritable enjeu économique. Aujourd'hui, les mémoires DRAM et Flash dominent le marché des mémoires. Cependant, plusieurs nouvelles technologies de mémoires ont été développées récemment pour détrôner les DRAM et les Flash. Parmi ces nouveaux prétendant, on trouve la RAM ferroélectrique ou FRAM. Cette mémoire est similaire à une DRAM hormis qu'elle est non volatile. Cette propriété est rendue possible grâce à l'ajout d'un matériau ferroélectrique (PZT pour Plomb, Zirconium, titane) dans chaque case mémoire. Ce matériau présente 2 états stables qui peuvent être modifiés uniquement lors de l'application d'un champ électrique. Cette mémoire est présentée comme un concurrent aux mémoires Flash grâce à ses nombreux avantages : le temps d'accès est plus court, le nombre de cycle de réécriture est plus grand et la consommation électrique est plus faible. Les RAM magnétique (MRAM) sont aussi des concurrents aux Flash. L'élément mémoire d'une MRAM n'est plus une charge électrique, mais une charge magnétique (basée sur le spin d'un électron).

TESTEZ VOS CONNAISSANCES

- ☺ Quel est le débit binaire maximal de la mémoire CY62256-55 (fig. 3) ? (18 MHz)
- ☺ On décide de lire les données écrites dans la mémoire précédente. On applique sur /CE et /OE un signal d'horloge de 5 MHz et de rapport cyclique = 50 %. L'adresse des données est envoyée lorsque /CE est à 0. Après combien de temps décidez-vous de lire les données en sortie (55 – 105 ns)
- ☺ Construire le schéma électrique d'un multiplexeur 4 vers 1. Si le temps de propagation à travers une porte est de 10 ns, quel est le temps de propagation à travers le multiplexeur ? (< 50 ns)
- ☺ Réaliser un circuit de sélection de ligne d'une mémoire de 8 octets. Une ligne est sélectionnée si chaque case mémoire d'une ligne x reçoit un signal WLx à 1.
- ☺ Améliorer le circuit précédent pour qu'un circuit externe puisse commander l'écriture et la lecture de cette mémoire parmi un réseau de plusieurs mémoires.

CONCLUSION

- Une mémoire assure le stockage des données ou des programmes dans les systèmes numériques. Le stockage de masse est assuré par des disques optiques et magnétiques. Les mémoires internes aux circuits sont des mémoires à semi-conducteurs.
- Les performances d'une mémoire sont caractérisées par leur capacité de stockage, leur temps d'accès, leur temps de cycle, le débit maximal et leur volatilité.
- Il existe deux types de mémoires à semi-conducteur : les mémoires mortes ou ROM, qui ne peuvent être écrites qu'à l'initialisation ou au moment de la fabrication de la mémoire, ne sont pas volatiles et sont adaptées à la sauvegarde de programme et de données importantes. Les mémoires vives ou RAM sont volatiles et peuvent être lues et écrites à tout moment, sont adaptés à la sauvegarde de données temporairement utiles.
- L'architecture d'une mémoire est basée sur une matrice de cases mémoire, accessible par mot ou par bit par l'intermédiaire d'une adresse et de décodeurs d'adresse.
- Les décodeurs d'adresse d'une mémoire sont basés sur l'utilisation de démultiplexeurs.
- Les multiplexeurs et démultiplexeurs assurent la fonction d'aiguillage (sélection/distribution) des données.

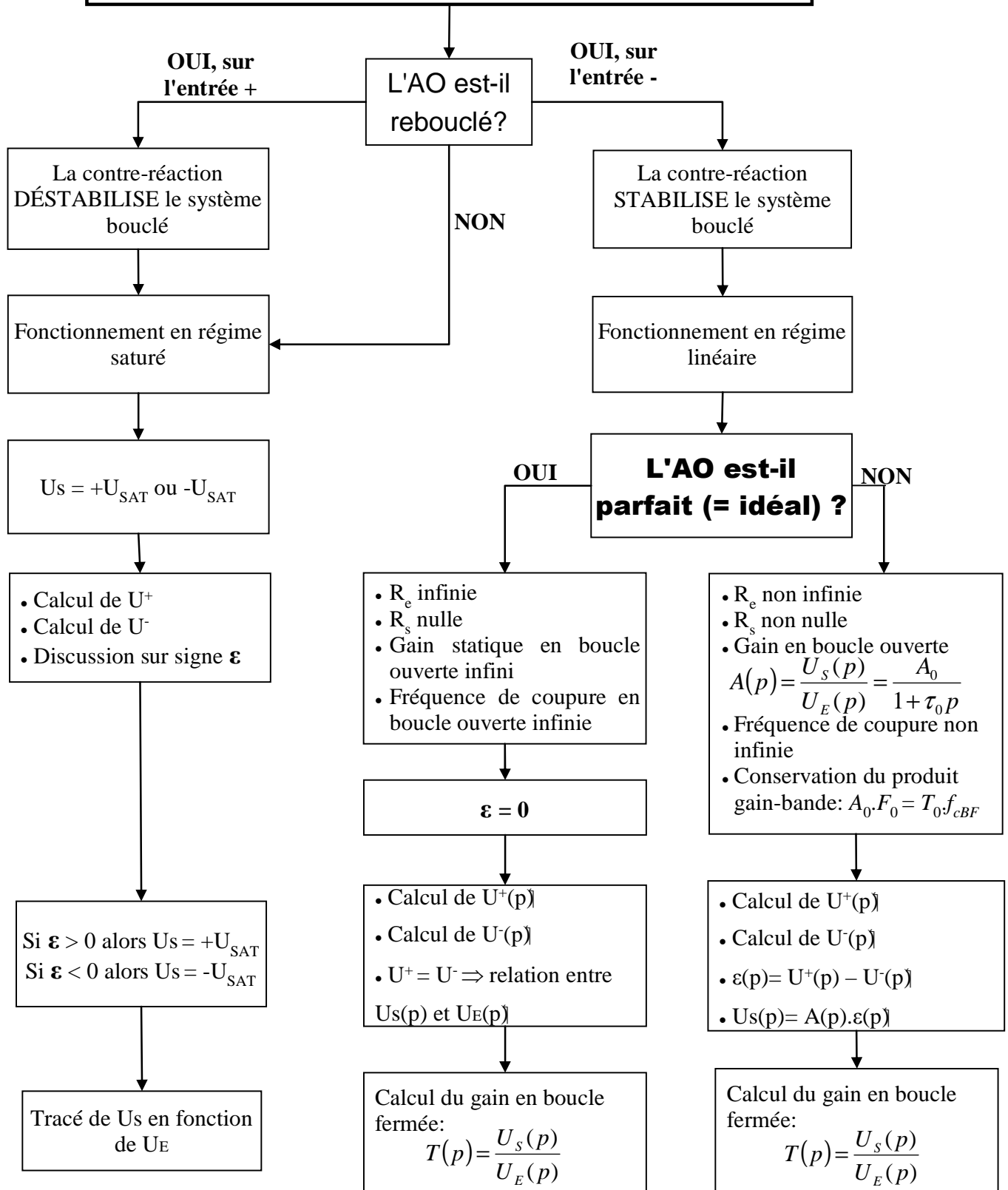
Bibliographie

- José-Philippe Pérez , Stéphane Bouhours , Jean-Yves Fourniols , Christophe Lagoute, « Electronique - Fondements et Applications », Dunod, 2006, ISBN 2-10-007930-1.
- François de Dieuleveult, Hervé Fanet, « Principe et Pratique de l'Electronique – Tome 2 : Fonctions Numériques et Mixtes », Dunod, 1997, ISBN 2-10-003321-2.
- Paul Horowitz, Winfield Hill, « Traité de l'Electronique Analogique et Numérique – Volume 2 : Techniques Numériques et Analogiques », Elektor, 1996, ISBN 2-86661-071-7.
- Jean Paul Troadec, « Principes de Conversions Analogique-Numérique et Numérique-Analogique - Cours et Problèmes Résolus », Dunod, 2004, 2-10-007478-4.
- Etienne Sicard, Sonia Ben Dhia, « Basic of CMOS Cell Design », McGraw Hill Professional, 2007, 978-0071488396.

Glossaire

BCD	Binary Coded Decimal
CAN	Convertisseur Analogique Numérique
CMOS	Complementary Metal Oxyde Silicium
CNA	Convertisseur Numérique Analogique
CPU	Central Process Unit
CRC	champ de redondance cyclique
DEMUX	Démultiplexeur
DRAM	Dynamic Read Only Memory
DSP	Digital Signal Processing
E/S	Entrée Sortie
EEPROM	Electrically Erasable Programmable ROM
FIFO	First In First Out
LCD	Liquid Crystal Display
LSB	Least Significant Bit
MSB	Most Significant Bit
MUX	Multiplexeur
NRZ	Non Return to Zero
RAM	Read Access Memory
ROM	Read Only Memory
RZ	Return to Zero
SRAM	Static Read Only Memory
TTL	Transistor Transistor Logic
UART	Universal Asynchronous Receiver Transmitter

Annexe A. Etude du fonctionnement d'un montage à Amplificateur Opérationnel



Notations:

$\varepsilon = U^+ - U^-$: tension d'entrée différentielle de l'AO
 U^+ : potentiel de l'entrée +
 U^- : potentiel de l'entrée -
 U_E : tension appliquée en entrée du montage
 U_S : tension obtenue en sortie de l'AO
 U_{SAT} : tension de saturation de l'AO
 R_e : résistance d'entrée de l'AO
 R_s : résistance de sortie de l'AO

$A(p)$: fonction de transfert en boucle ouverte
 A_0 : gain statique de l'AO en boucle ouverte
 $F_0 = 1/(2\pi.\tau_0)$: fréquence de coupure de l'AO en boucle ouverte
 $T(p)$: fonction de transfert en boucle fermée
 T_0 : gain statique de l'AO en boucle fermée
 f_{CBF} : fréquence de coupure de l'AO en boucle fermée

Annexe B. Synthèse des outils d'analyse fréquentielle des circuits

Cas d'utilisation	Principe de la transformation temps \rightarrow fréquence	Modèle équivalent des éléments linéaires	Analyse des circuits électriques	Prise en compte des conditions initiales	Expression de la fonction de transfert	Tracé du diagramme de Bode
Formalisme de Laplace (en p)	<p>u(t) quelconque</p> $U(p) = \int_0^{+\infty} u(t)e^{-pt} dt$ <p>avec $p \in \mathbb{C}$ tel que $\text{Re}(p) > 0$</p>	<p>Résistance : $Z_R = R$</p> <p>Condensateur : $Z_C = \frac{1}{Cp}$</p> <p>Inductance : $Z_L = Lp$</p>	<p>Loi des mailles : oui</p> <p>Loi des nœuds : oui</p> <p>Loi d'Ohm : $U(p) = Z(p)I(p)$</p>	<p>Possible.</p> <p>Par défaut, les signaux sont supposés nuls à $t = 0$</p>	$T(p) = \frac{U_s(p)}{U_E(p)}$	<p>NON</p> <p>Passer au préalable en régime sinusoïdal en posant $p = j\omega$</p>
Formalisme en $j\omega$	<p>s(t) sinusoïdal</p> $u(t) = A \cos(\omega t + \varphi)$ <p style="text-align: center;">\Downarrow</p> $U(j\omega) = A e^{j\omega t} e^{j\varphi}$	<p>Résistance : $Z_R = R$</p> <p>Condensateur : $Z_C = \frac{1}{jC\omega}$</p> <p>Inductance : $Z_L = jL\omega$</p>	<p>Loi des mailles : oui</p> <p>Loi des nœuds : oui</p> <p>Loi d'Ohm : $U(j\omega) = Z(j\omega)I(j\omega)$</p>	<p>NON</p>	<p style="text-align: center;">\Uparrow</p> <p style="text-align: center;">équation de passage</p> $T(j\omega) = \frac{U_s(j\omega)}{U_E(j\omega)}$	<p>OUI</p>

INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE
TOULOUSE

2^{ème} Année MIC

**ENONCE DES TRAVAUX
DIRIGES**

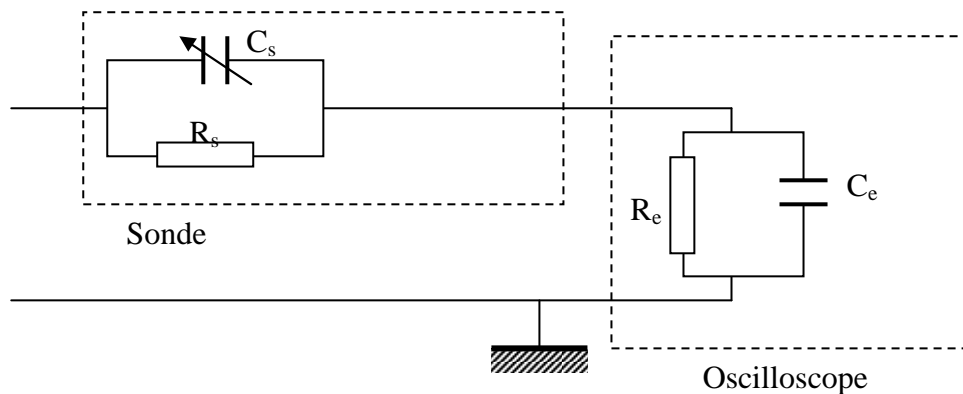
M. AIME, S. BEN DHIA, M. BONNET, A. BOYER, C. ESCRIBA,
J. Y. FOURNIOLS

2015 - 2016

Electronique analogique

Exercice analogique n°1 - Sonde atténuatrice d'oscilloscope

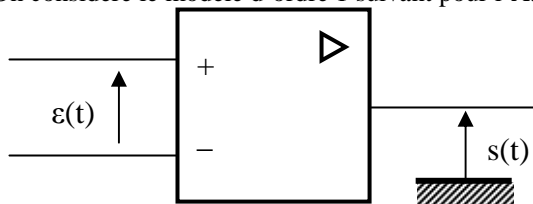
Une sonde de mesure est modélisée par une résistance R_s en parallèle avec une capacité réglable C_s . L'entrée de l'oscilloscope correspond également à un circuit composé d'une résistance R_e en parallèle avec une capacité C_e .



- 1) **Sonde atténuée 10x** : Déterminez le couple C_s et R_s en fonction de R_e et C_e pour qu'un signal périodique appliqué en entrée ne soit pas déformé, et atténué d'un facteur k , $k > 1$.
AN : $C_e = 20\text{pF}$, $R_e = 1\text{M}\Omega$ et $k = 10$.
- 2) Le câble de la sonde constitue en fait une capacité parasite de quelques pF inconnue modélisée par une capacité C_0 entre l'entrée de l'oscilloscope et la masse. La présence de cette capacité C_0 peut-elle nuire au bon fonctionnement de la sonde ?

Exercice analogique n°2 - Réponses temporelles d'un montage à AO / Stabilité

On considère le modèle d'ordre 1 suivant pour l'A.O :



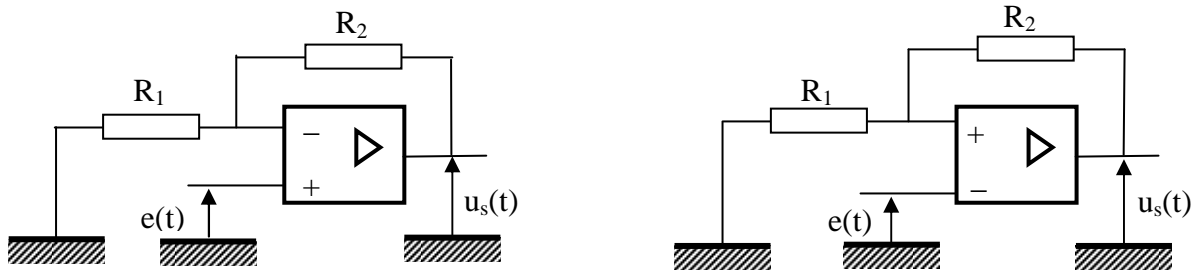
$$s(t) + \tau_c \frac{ds}{dt} = A_0 \varepsilon(t)$$

Avec $\tau_c \approx 1\text{ms}$ et $A_0 \approx 10^5$

Remarque : L'A.O idéal correspond à ce modèle avec $\tau_c \rightarrow 0$ et $A_0 \rightarrow \infty$.

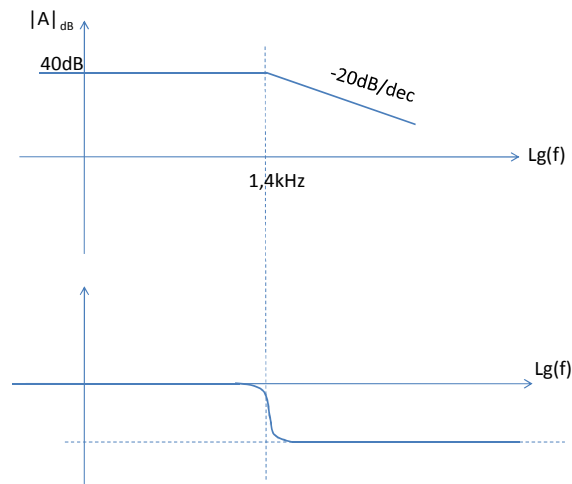
- 1) En utilisant les lois de Kirchhoff, déterminez pour les deux montages ci-dessous (ou déduire des résultats de l'un d'entre eux) une équation différentielle entre $e(t)$, $u_s(t)$ et sa dérivée première. Pour les ordres de grandeurs, prendre $R_1 \approx 1\text{k}\Omega$ et $R_2 \approx 47\text{k}\Omega$.
- 2) On applique un échelon de tension en entrée $e(t) = E \cdot u(t)$. Résoudre l'équation différentielle et trouver la réponse temporelle dans les deux cas, pour $E = 10\text{mV}$. En particulier, préciser si l'état initial $u(t=0)$ influe sur l'évolution de $u(t)$.

- 3) Montrez que ce modèle permet de prendre en compte le phénomène de stabilité d'un montage à A.O.



Exercice analogique n°3 - Diagramme de Bode

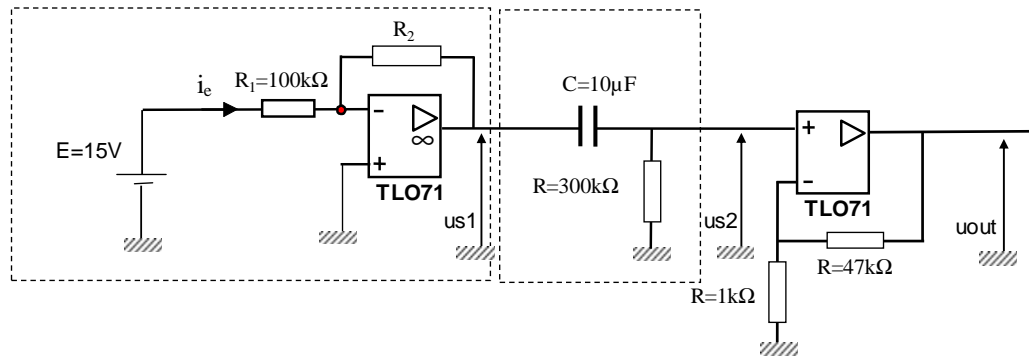
Un représentant vous a laissé la documentation ci-après (très sommaire mais suffisante) d'un amplificateur dont il vous a signifié que c'était un amplificateur d'ordre un, alimenté par des tensions $-10V$, $+10V$.



- 1) Identifier la fréquence de coupure à partir du tracé.
- 2) Donner l'expression de la fonction de transfert dans l'espace de Laplace en précisant la valeur du gain stationnaire et de la constante de temps de cet amplificateur.
- 3) A partir de quelle fréquence (que vous pouvez calculer avec précision) cet amplificateur n'amplifiera plus ?
- 4) Quelle est la valeur maximale du signal d'entrée que vous pourrez mettre en entrée de cet amplificateur sans risque de saturation en amplitude ?
- 5) Donner l'expression exacte du signal de sortie $s(t)$ pour un signal d'entrée exprimé en Volts : $e(t)=0,02 \sin(8796t)$.
- 6) Donner l'expression du signal de sortie lorsqu'on place à $t=0$ en entrée de cet amplificateur une pile de tension $1.5V$.
- 7) Calculer le temps avant saturation en amplitude.

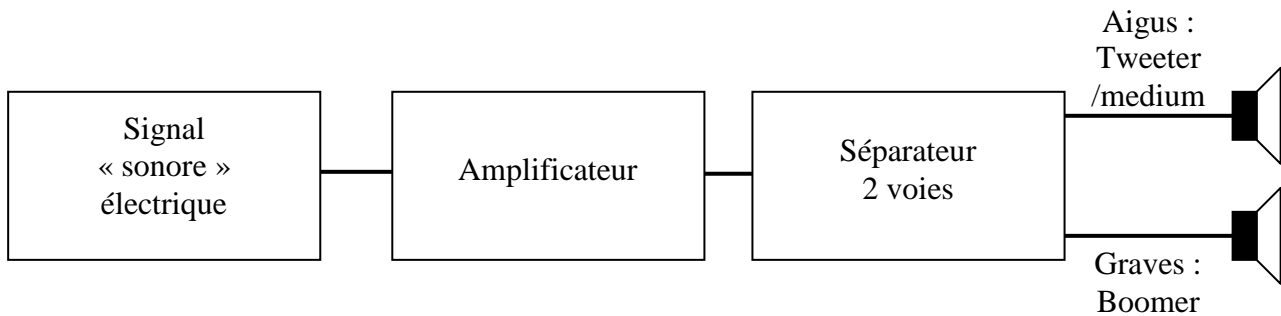
Exercice analogique n°4 - Chaîne d'amplificateur

On considère le montage ci-dessous, qui représente une chaîne de mesure d'un capteur dont la résistance $R2$ varie selon la température, selon la loi $R2=R20 + \alpha T$, avec $R20 = 200k\Omega$ et α un paramètre exprimé en $k\Omega \cdot T^{-1}$; où T est exprimée en Kelvins. On souhaite détecter des variations de température de $5^\circ C$ autour de $7^\circ C$, pour détecter la rupture d'une chaîne du froid.



- 1) Analyser le montage en citant les montages reconnus.
- 2) Donner l'expression de us_1 en fonction de E en considérant idéal l'AO.
- 3) Calculer la fonction de transfert us_2/us_1 et la représenter dans le plan de Bode.
- 4) Pour un signal us_1 sinusoïdal, à partir de quelle valeur de fréquence, peut-on affirmer qu'au moins 95% de l'amplitude du signal d'entrée présenté sur us_1 sera transféré en us_2 .
- 5) Exprimer u_{out} en fonction de us_2 .
- 6) En considérant que le produit gain bande de l'AO du troisième étage est égal à 5MHz, ce dernier Montage, à partir de quelle valeur de fréquence on n'aurait que 95% du signal us_2 en sortie ?

Exercice analogique n°5 – Amplificateur audio



Les documents suivants puisés dans la gamme de produits de National Semiconductor proposent l'utilisation d'un amplificateur opérationnel LM 1875 comme amplificateur Audio 20W. Nous allons étudier le montage proposé en application après simplification.



July 2002

LM1875 20W Audio Power Amplifier

General Description

The LM1875 is a monolithic power amplifier offering very low distortion and high quality performance for consumer audio applications.

The LM1875 delivers 20 watts into a 4Ω or 8Ω load on ±25V supplies. Using an 8Ω load and ±30V supplies, over 30 watts of power may be delivered. The amplifier is designed to operate with a minimum of external components. Device overload protection consists of both internal current limit and thermal shutdown.

The LM1875 design takes advantage of advanced circuit techniques and processing to achieve extremely low distortion levels even at high output power levels. Other outstanding features include high gain, fast slew rate and a wide power bandwidth, large output voltage swing, high current capability, and a very wide supply range. The amplifier is internally compensated and stable for gains of 10 or greater.

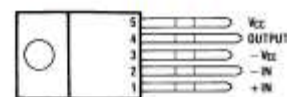
Features

- Up to 30 watts output power
- A_{VO} typically 90 dB
- Low distortion: 0.015%, 1 kHz, 20 W
- Wide power bandwidth: 70 kHz
- Protection for AC and DC short circuits
- Thermal protection with parole circuit
- High current capability: 4A
- Wide supply range 16V-60V
- Internal output protection diodes
- 94 dB ripple rejection
- Plastic power package TO-220

Applications

- High performance audio systems
- Bridge amplifiers
- Stereo phonographs
- Servo amplifiers
- Instrument systems

Connection Diagram



Front View

Electrical Characteristics

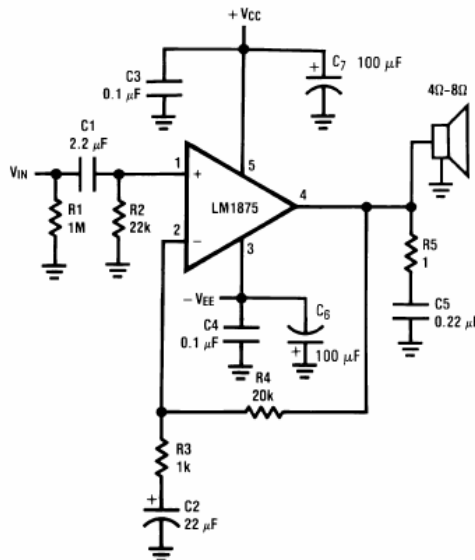
$V_{CC}=+25V$, $-V_{EE}=-25V$, $T_{AMBIENT}=25^{\circ}C$, $R_L=8\Omega$, $A_V=20$ (26 dB), $f_c=1$ kHz, unless otherwise specified.

Parameter	Conditions	Typical	Tested Limits	Units
Supply Current	$P_{OUT}=0W$	70	100	mA
Output Power (Note 2)	THD=1%	25		W
THD (Note 2)	$P_{OUT}=20W$, $f_c=1$ kHz	0.015		%
	$P_{OUT}=20W$, $f_c=20$ kHz	0.05	0.4	%
	$P_{OUT}=20W$, $R_L=4\Omega$, $f_c=1$ kHz	0.022		%
	$P_{OUT}=20W$, $R_L=4\Omega$, $f_c=20$ kHz	0.07	0.8	%
Offset Voltage		± 1	± 15	mV
Input Bias Current		± 0.2	± 2	μA
Input Offset Current		0	± 0.5	μA
Gain-Bandwidth Product	$f_c=20$ kHz	5.5		MHz
Open Loop Gain	DC	90		dB
PSRR	V_{CC} , 1 kHz, 1 Vrms	95	52	dB
	V_{EE} , 1 kHz, 1 Vrms	83	52	dB
Max Slew Rate	20W, 8 Ω , 70 kHz BW	8		V/ μs
Current Limit	$V_{OUT} = V_{SUPPLY} - 10V$	4	3	A
Equivalent Input Noise Voltage	$R_E=600\Omega$, CCIR	3		μV rms

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

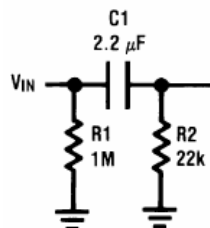
Note 2: Assumes the use of a heat sink having a thermal resistance of $1^{\circ}C/W$ and no insulator with an ambient temperature of $25^{\circ}C$. Because the output limiting circuitry has a negative temperature coefficient, the maximum output power delivered to a 4Ω load may be slightly reduced when the tab temperature exceeds $55^{\circ}C$.

Typical Applications



Étude de la cellule d'entrée

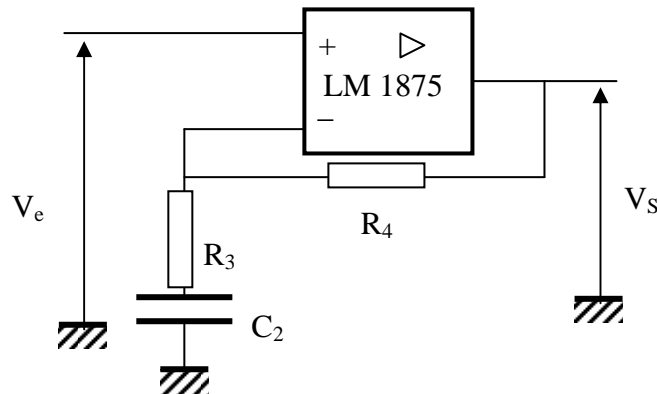
- 1) Calculez la fonction de transfert de la cellule d'entrée ci-dessous en $j\omega$ puis en Laplace. Tracer le diagramme de Bode en amplitude de la fonction de transfert.



- 2) Donnez les caractéristiques de ce filtre et en déduire son utilisation.

Etude de l'A.O

On considère le schéma simplifié suivant, extrait de la fiche d'application :



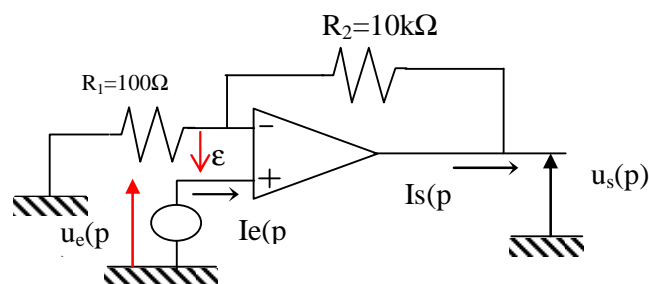
- 3) Calculez la fonction de transfert de ce montage en utilisant la transformée de Laplace, en supposant que l'AO se comporte idéalement. Tracez le diagramme de Bode de ce montage ? Précisez les valeurs numériques.
- 4) Comment se comporte ce montage dans la bande de fréquence audio ?
- 5) Vérifiez l'hypothèse de l'AO idéal à posteriori en vous servant des données du constructeur. Vous pouvez même établir le modèle fréquentiel d'ordre 1 du LM1875.

Exercice analogique n°6 – Connexion en cascade de montages à base d'A.O en contre réaction

Soit un amplificateur opérationnel caractérisé par les données constructeur suivantes :

- un gain statique $G_0=10^4$ et une constante de temps $T_0=1,6\text{ms}$
- des impédances d'entrée et de sortie, considérées comme des résistances ont pour valeurs respectives $R_e = \epsilon/i_e = 100 \text{ k}\Omega$ et $R_s = u_s/i_s = 100 \Omega$

On précise que son amplitude de tension de sortie maximum est $S_{MAX} = \pm 10\text{V}$. On considère les amplificateurs opérationnels comme étant parfait. On s'intéresse à un montage amplificateur basé sur le montage ci-dessous.



- 1) Calculer le gain statique $A_0 = u_s/u_e$ du montage.
- 2) En déduire la fréquence de coupure à -3dB , et la constante de temps τ_0 du montage bouclé.
- 3) Tracer sur un même diagramme, la représentation asymptotique de $G(f)$ et $A(f)$ dans le plan de Bode.

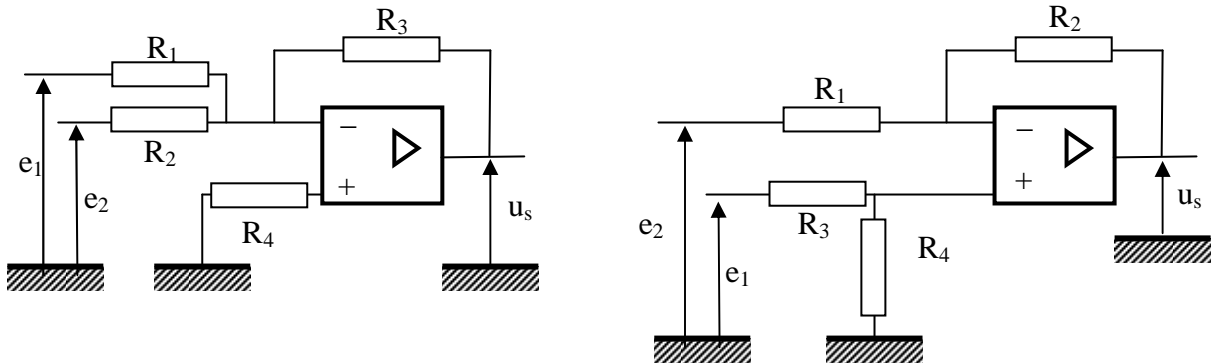
On connecte en cascade deux montages identiques à celui étudié précédemment.

- 4) En considérant l'étude qualitative du problème d'adaptation d'impédance, qu'elle est l'expression du gain global $K(p)=u_{s2}(p)/u_{e1}(p)$ de ce dispositif ?
- 5) Donner les valeurs numériques du gain statique K_0 et de sa constante de temps τ_0 .
- 6) Tracer sur un même diagramme, la représentation asymptotique de $G(f)$ et $K(f)$
- 7) Pour quelle fréquence f_2 , a t-on une chute à -3dB du gain du système ?

Exercice analogique n°7 – Amplificateurs différentiels / d'instrumentation

On étudie deux montages « similaires ». On pourra considérer un modèle idéal d'AO pour une première approche, puis éventuellement prendre en compte le gain fini en boucle ouverte et/ou l'impédance d'entrée R_e finie.

- On considère les deux montages suivants. Montrer que, moyennant une relation liant les 4 résistances, l'un d'entre eux permet d'obtenir une amplification de type différentiel ($u_s = A_d (e_1 - e_2)$), où A_d est le gain différentiel et ne dépend que du rapport R_2/R_1 . Préciser aussi la fonction de l'autre montage.

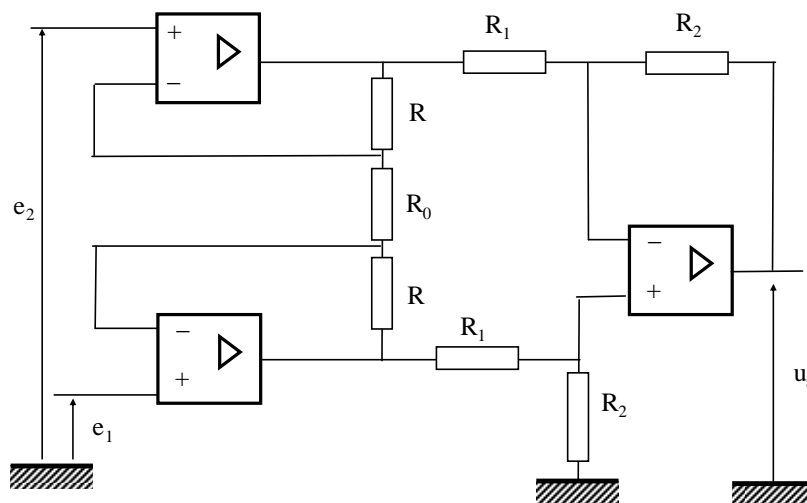


- Caractéristiques de l'amplificateur différentiel : déterminez les résistances d'entrée de chaque voie, définies par :

$$R_{e1} = \left(\frac{e_1}{i_{e1}} \right)_{e_2=0} \quad \text{puis} \quad R_{e2} = \left(\frac{e_2}{i_{e2}} \right)_{e_1=0}, \quad i_{e1} \text{ et } i_{e2} \text{ étant les courants d'entrées sur chaque voie.}$$

- Un capteur flottant délivrant un signal très faible peut être modélisé par une source de tension sinusoïdale $e(t)$ (contenant l'information) en série avec une résistance élevée, par exemple 100 kΩ pour fixer les idées. Faire le choix numérique des composants, sachant que l'on accepte une variation maximale de 1% du signal lorsqu'on connecte le capteur à l'amplificateur, et que le gain désiré est de 40dB. Ce montage serait-il viable avec un A.O. standard type 741 ?

Montage amélioré : l'amplificateur d'instrumentation

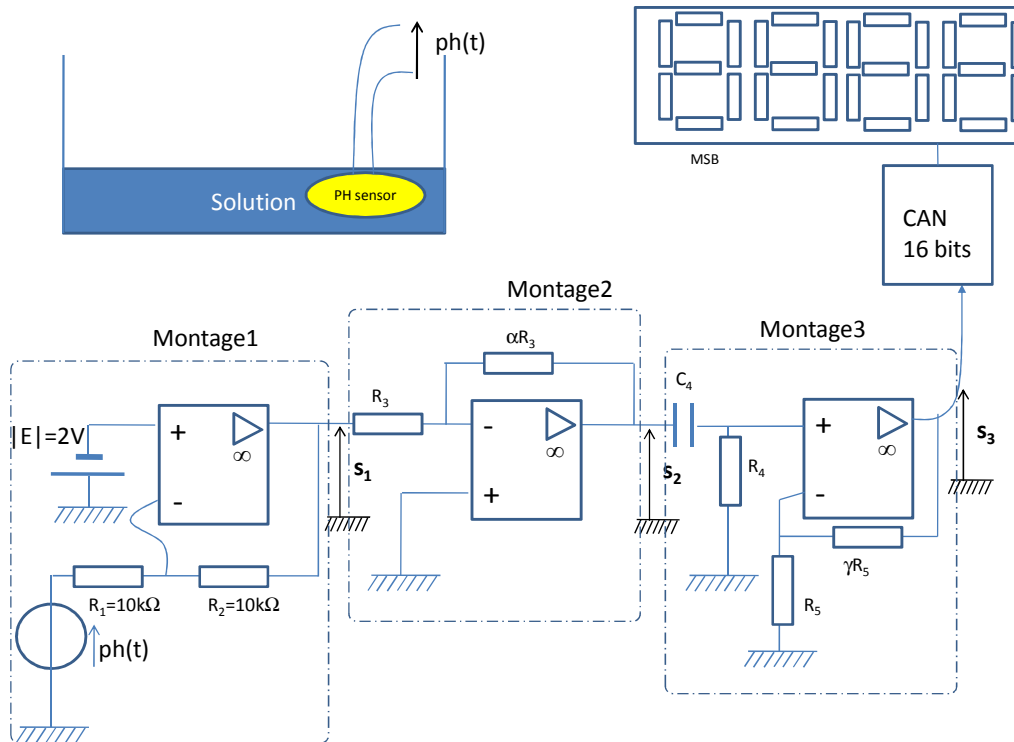


- 4) Déterminez le gain différentiel A_d de ce montage en fonction des caractéristiques de ses composants.
- 5) Quel est l'avantage de ce montage par rapport au précédent ?

Exercice analogique n°8 – Etude d'un capteur de pH

Le fabricant d'un capteur PH délivrant une tension $ph(t)$, vous vend un système d'acquisition et de traitement analogique et numérique du signal ; qui se décompose en différents étages électroniques présentés ci-après ; où on considèrera les Amplificateurs opérationnels parfaits (ou idéaux) ayant des tensions de saturation non symétriques égales respectivement à +15V et -10V.

Le constructeur précise la relation en tension du capteur : $ph(t) = 0.25 \cdot 10^{-2} [PH]$, avec $[PH]$ valeur du PH comprise entre 1 et 13.



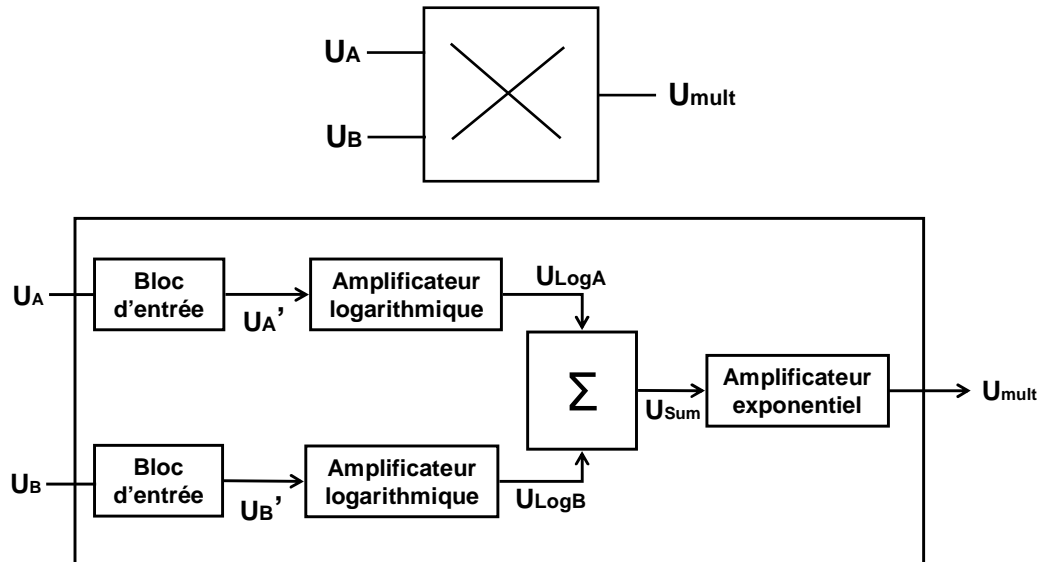
- 1) Démontrer que s_1 est un signal qui se met sous l'expression $s_1 = a + b \cdot [PH]$, où vous déterminerez les valeurs (et le signe) des constantes a et b .
- 2) Précisez la fonction du montage 2 qui induit la fonction de transfert s_2/s_1 .
- 3) Précisez la valeur maximale de α que le montage électronique 2 autorisera sans dégrader la mesure.

Dans la suite du problème on supposera $\alpha = 2$.

- 4) Estimer la plage de tension d'évolution associée à la variation du $[PH]$ au niveau du signal s_2 . Comment améliorer la précision d'observation ?
- 5) On connecte le montage3, pour lequel on vous demande d'établir l'expression de la fonction de transfert du filtre amplificateur passe haut s_3/s_2 .
- 6) Tracer le diagramme de Bode de cette fonction de transfert, en considérant $\gamma = 99$, et en précisant la valeur des fréquences de coupure et du gain stationnaire.
- 7) Le $[PH]$ étant une fonction qui varie à 5Hz, donner une valeur autorisée pour C_4 qui restera compatible avec votre mesure. On impose $R_4 = 10\text{k}\Omega$.

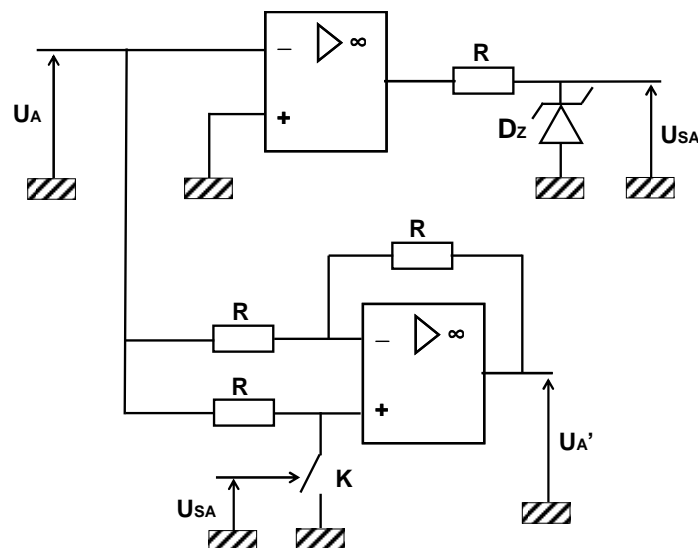
Exercice analogique n°9 – Multiplieur analogique

La fonction de multiplication est cruciale en télécommunication. Elle est utilisée dans des opérations de modulation et de détection du niveau de puissance. La figure ci-dessous présente le schéma bloc d'un multiplieur analogique. On se propose d'étudier son fonctionnement.



Analyse du bloc d'entrée

Le schéma ci-dessous décrit la structure du bloc d'entrée. Celui-ci est identique pour les entrées A et B. D_Z est une diode Zener de tension de Zener = 5 V. K est un interrupteur logique commandé en tension. Si la commande de K est à l'état '0', K est ouvert ; si elle est à l'état '1', K est fermé.



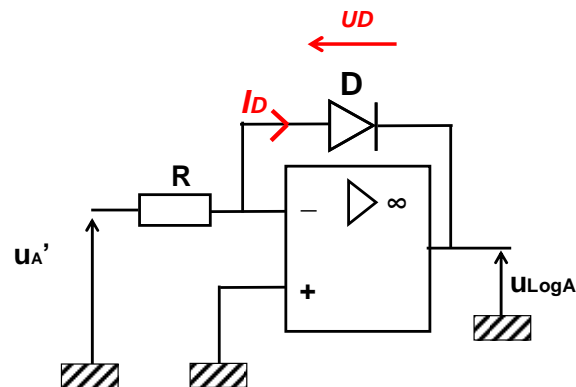
- 1) Déterminez la valeur du signal de sortie U_{SA} . Quelle est la fonction assurée par la partie supérieure de ce bloc ?
- 2) Donner l'expression de U_A' en fonction de U_{SA} et de U_A . Quelle est la fonction assurée par la partie inférieure de ce bloc ?

Amplificateur logarithmique

Le schéma ci-dessous présente un montage amplificateur logarithmique. D est une diode. Le courant traversant la diode I_D et la tension U_D à ses bornes sont reliés par la formule suivante :

$$I_D = I_S \times \left(\exp\left(\frac{U_D}{U_T}\right) - 1 \right)$$

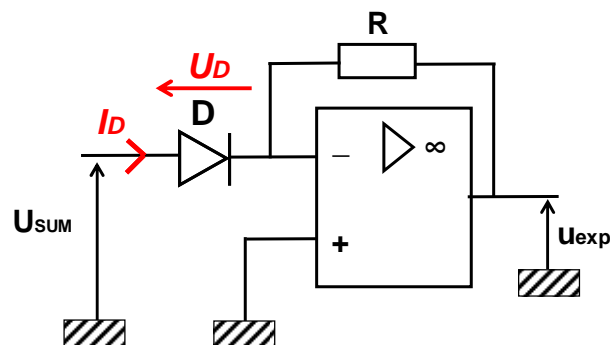
avec I_S de l'ordre de quelques centaines de nA (dépendant de paramètres technologiques et de la température) et U_T égal à 26 mV à température ambiante.



- 3) Déterminez l'expression de la tension de sortie U_{LogA} en fonction du signal d'entrée U_A' .

Amplificateur exponentiel

Le schéma ci-dessous présente un montage amplificateur exponentiel. La diode D est supposée identique à celle utilisée dans le montage amplificateur logarithmique.

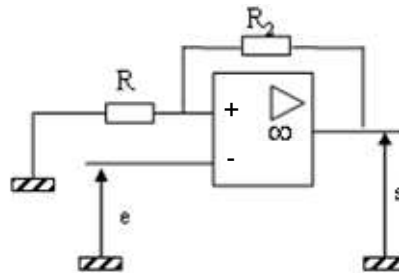


- 4) Déterminez l'expression de la tension de sortie U_{exp} en fonction du signal d'entrée U_{SUM} .
- 5) En entrée du montage exponentiel, faut-il un montage sommateur inverseur ou non inverseur. Proposez un schéma électrique du sommateur et l'expression du signal de sortie U_{SUM} en fonction des entrées U_{LogA} et U_{LogB} .
- 6) En déduire que le signal de sortie est proportionnel au produit des entrées U_A et U_B .

Electronique numérique

Exercice numérique n°1 – Etude d'un montage à électronique saturée

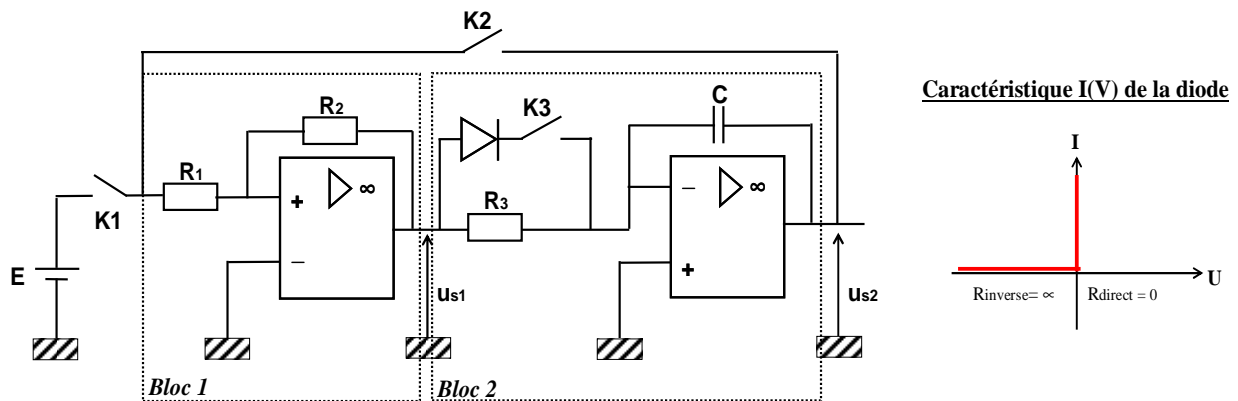
On considère le montage suivant où l'A.O est supposé idéal. Les tensions d'alimentation sont +/- 15Volts, les composants sont respectivement définis par les valeurs numériques $R_2=100k\Omega$, $R=1k\Omega$.



- 1) Identifier le type de montage réalisé et tracer la caractéristique $s(e)$ en précisant les valeurs numériques importantes et nécessaires.
- 2) Tracer la réponse à un signal $e(t) = 0.5 \sin(2\pi t)$, en supposant qu'à $t=0$, $s(t) = -15V$.

Exercice numérique n°2 – Générateur d'horloge

Les amplificateurs opérationnels du dispositif présenté dans la figure ci-dessous sont supposés parfaits. On précise que leurs amplitudes de tension de sortie maximum sont $S_{MAX} = +/- 15V$.



On donne : $E = 10 V$, $R_1 = 10 K\Omega$, $R_2 = 3 K\Omega$, $R_3 = 30 K\Omega$, $C = 0.1 \mu F$

Les trois interrupteurs K_1 , K_2 , K_3 sont dans un premier temps ouverts.

- 1) Donner de manière qualitative les propriétés des deux circuits en les étudiant séparément (Type de bouclage, comportement en sortie ...).
- 2) Préciser les relations qui existent entre sortie et entrée de chacun des deux circuits (valeurs des seuils pour le bloc 1, fonction de transfert pour le bloc 2).

Les interrupteurs K_2 et K_3 restent ouverts, on ferme K_1 à l'instant $t = 0$:

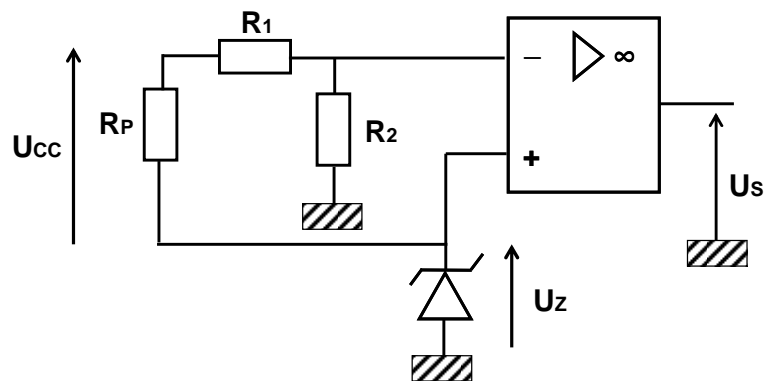
- 3) Représenter les signaux $e(t)$, $s_1(t)$, $s_2(t)$ (On supposera que $s_1(t=0) = -S_{MAX}$ et que $s_2(t=0) = 0$).
- 4) Même question que ci-dessus lorsqu'on ouvre K_1 à l'instant $t = 4ms$.

Les interrupteurs K_1 et K_3 restent ouverts, on ferme K_2 à l'instant $t = 5ms$:

- 5) Expliquer le fonctionnement du dispositif
- 6) Représenter sur le même dessin (chronogramme) que précédemment l'évolution des signaux $s_1(t)$ et $s_2(t)$.
- 7) Calculer la période puis la fréquence des signaux obtenus pour $R = 30k\Omega$; puis pour $R = 7,5k\Omega$.
- 8) Reprendre les questions 5 et 6 avec K3 fermé ($t = 15ms$), la diode ayant la caractéristique idéale $I(V)$ donnée dans la figure.

Exercice numérique n°3 – Surveillance d'alimentation d'un téléphone portable

Dans les systèmes embarqués (téléphone portable, ordinateur portable, automobile, satellite, ...), une chute de la tension d'alimentation fournie au système par une pile, une batterie ou un accumulateur, peut s'avérer désastreuse : pertes d'informations dans les mémoires, dysfonctionnement du système lors d'une opération critique, ... Afin d'éviter toute situation catastrophique, un système de surveillance de l'alimentation est requis. Un exemple de surveillance de la tension d'alimentation d'un téléphone portable est présenté à la figure ci-dessous. On souhaite détecter une chute d'alimentation de 20 % de la tension d'alimentation U_{cc} . Dès que celle-ci passe sous ce seuil, une alarme et une procédure de sauvegarde sont enclenchées.



La tension d'alimentation est fournie par une batterie de 3.6 V. La diode Zener est de type BZX79-C2V4, caractérisée par une tension de Zener de 2.4 V, un courant minimal de polarisation de 5 mA et une puissance maximale de 500 mW.

- 1) Calculer les valeurs de R_1 et R_2 qui permettent de détecter une chute de la tension.
- 2) Quelle est la valeur minimale à donner à la résistance de polarisation R_p ? Quelle est la valeur maximale ?

BZX79 series Voltage regulator diodes

FEATURES

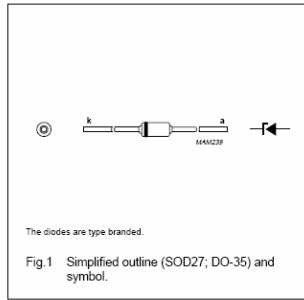
- Total power dissipation: max. 500 mW
- Two tolerance series: $\pm 2\%$, and approx. $\pm 5\%$
- Working voltage range: nom. 2.4 to 75 V (E24 range)
- Non-repetitive peak reverse power dissipation: max. 40 W.

APPLICATIONS

- Low voltage stabilizers or voltage references.

DESCRIPTION

Low-power voltage regulator diodes in hermetically sealed leaded glass SOD27 (DO-35) packages. The diodes are available in the normalized E24 $\pm 2\%$ (BZX79-B) and approx. $\pm 5\%$ (BZX79-C) tolerance range. The series consists of 37 types with nominal working voltages from 2.4 to 75 V.



LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
I_F	continuous forward current		–	250	mA
I_{ZSM}	non-repetitive peak reverse current	$t_p = 100 \mu s$; square wave; $T_j = 25^\circ C$ prior to surge	–	see Tables 1 and 2	A
P_{tot}	total power dissipation	$T_{amb} = 50^\circ C$; note 1	–	400	mW
		$T_{amb} = 50^\circ C$; note 2	–	500	mW
P_{ZSM}	non-repetitive peak reverse power dissipation	$t_p = 100 \mu s$; square wave; $T_j = 25^\circ C$ prior to surge; see Fig.3	–	40	W
T_{stg}	storage temperature		–65	+200	$^\circ C$
T_j	junction temperature		–65	+200	$^\circ C$

Table 1 Per type, BZX79-B/C2V4 to BZX79-B/C24
 $T_j = 25^\circ C$ unless otherwise specified.

BZX79- Bxxx Cxxx	WORKING VOLTAGE V_Z (V) at $I_{Ztest} = 5$ mA				DIFFERENTIAL RESISTANCE r_{diff} (Ω)				TEMP. COEFF. S_Z (mV/K) at $I_{Ztest} = 5$ mA (see Figs 5 and 6)			DIODE CAP. C_d (pF) at $f = 1$ MHz; $V_R = 0$ V	NON-REPETITIVE PEAK REVERSE CURRENT I_{ZSM} (A) at $t_p = 100 \mu s$; $T_{amb} = 25^\circ C$
	Tol. $\pm 2\%$ (B)		Tol. approx. $\pm 5\%$ (C)		at $I_{Ztest} = 1$ mA		at $I_{Ztest} = 5$ mA		MIN.	TYP.	MAX.	MAX.	MAX.
	MIN.	MAX.	MIN.	MAX.	TYP.	MAX.	TYP.	MAX.	MIN.	TYP.	MAX.	MAX.	MAX.
2V4	2.35	2.45	2.2	2.6	275	600	70	100	–3.5	–1.6	0	450	6.0
2V7	2.65	2.75	2.5	2.9	300	600	75	100	–3.5	–2.0	0	450	6.0
3V0	2.94	3.06	2.8	3.2	325	600	80	95	–3.5	–2.1	0	450	6.0
3V3	3.23	3.37	3.1	3.5	350	600	85	95	–3.5	–2.4	0	450	6.0

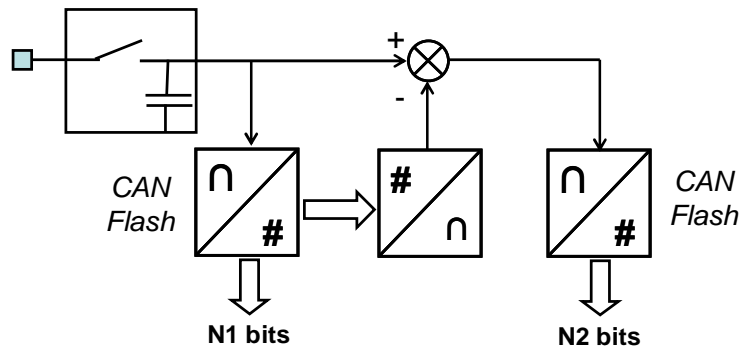
Exercice numérique n°4 – Canaux de transmission

- 1) Une liaison téléphonique numérique véhicule des échantillons binaires d'un signal analogique. Ce signal est limité en fréquence : son spectre est compris entre 0 et 4 kHz. Les échantillons sont quantifiés en amplitude puis codés sur 8 bits. Quel est, en bits par seconde (bit/s), le débit binaire minimum D_m , nécessaire pour l'établissement de cette liaison ?
- 2) Même question pour une transmission de type « Haute Fidélité » en stéréophonie, c'est à dire pour laquelle deux signaux différents sont à traiter en parallèle, sachant que les bornes des spectres sont alors [0, 15 kHz] et que les échantillons sont quantifiés en amplitude puis codés sur 16 bits.

Exercice numérique n°5 – CAN pour téléphone cellulaire

- 1) A partir de quatre résistances identiques R montées en échelle entre une source continue Uref et la masse, et de trois AOP montés en comparateur, concevoir un étage pour la quantification et le codage d'un signal x(t).
- 2) La sortie binaire est-elle optimale ? Comment l'améliorer ?
- 3) Le CAN ainsi obtenu est dit "flash". Nécessite-t-il un échantillonneur ?

Pour une application en téléphonie numérique mobile, les CAN flash souffrent de la consommation induite par le grand nombre de comparateurs nécessaires. Pour obtenir un meilleur compromis vitesse/consommation, la structure ci-après, associant un échantillonneur/bloqueur, deux CAN, un CNA et un soustracteur analogique, est employée.

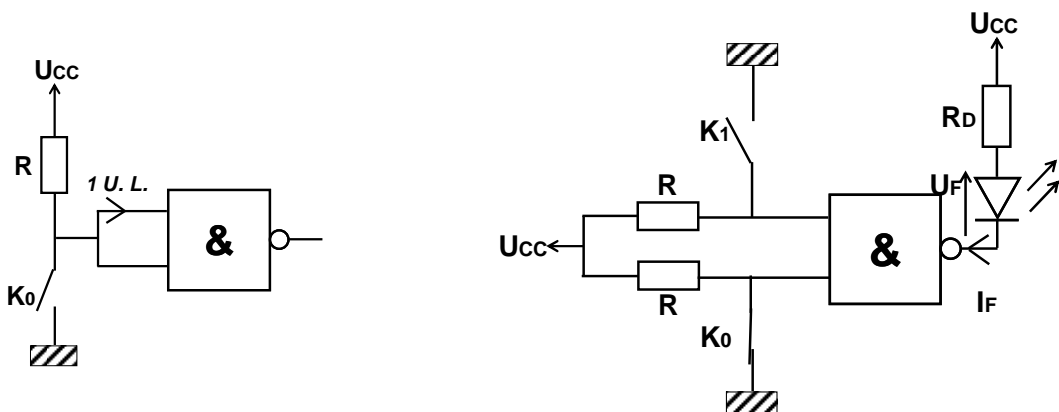


- 4) Pour un convertisseur flash "classique" donnant n bits, rappeler combien de comparateurs sont nécessaires.
- 5) Même question pour le circuit de la figure 1 ($n = n_1 + n_2$). Comparer au résultat du 4°.
- 6) Où sont ici les bits de poids fort ?
- 7) Quel est l'inconvénient de ce circuit ?

Exercice numérique n°6 – Etude d'une porte NAND TTL

On se propose d'étudier une porte logique NAND dont la référence donnée par le constructeur est 74LS00. Le tableau ci-dessous rappelle les principales caractéristiques électriques et temporelles qui diffèrent entre les technologies TTL existantes.

Type de technologie	N	L	H	S	AS	LS	ALS
Tension d'alimentation V_{cc}	5 V	5 V	5 V	5 V	5 V	5 V	5 V
$V_{oh}(min)$	2,4 V	2,4 V	2,4 V	2,7 V	2,7 V	2,7 V	2,7 V
$V_{ih}(min)$	2 V	2 V	2 V	2 V	2 V	2 V	2 V
$V_{ol}(max)$	0,4 V	0,3 V	0,4 V	0,5 V	0,5 V	0,5 V	0,5 V
$V_{il}(max)$	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V
Retard de propagation	10 ns	33 ns	6 ns	3 ns	1,5 ns	9,5 ns	4 ns
Consommation	10 mW	1 mW	22 mW	19 mW	20 mW	2 mW	1 mW
Entrance* à l'état haut (IUL)	40 μ A	10 μ A	50 μ A	50 μ A	200 μ A	20 μ A	20 μ A
Entrance* à l'état bas (IUL)	1,6 mA	180 μ A	2 mA	2 mA	2 mA	400 μ A	200 μ A
Sortance* à l'état haut (IUL)	400 μ A	200 μ A	500 μ A	1 mA	2 mA	400 μ A	400 μ A
Sortance* à l'état bas (IUL)	16 mA	3,6 mA	20 mA	20 mA	20 mA	8 mA	8 mA



Soit le montage présenté sur la figure de gauche dans lequel on considère que l'interrupteur K0 est ouvert.

- 1) Quel est le niveau logique appliqué aux entrées de la porte NAND ?
- 2) Quel est le niveau de tension minimum qui correspond à ce niveau logique ? Donner sa valeur.

- 3) Représenter sur le schéma électrique le sens de circulation du courant I_R dans la résistance ainsi que le sens des vecteurs tension associés au niveau logique d'entrée et aux bornes de la résistance R que vous noterez U_R .
- 4) Quelle est la valeur de R_{max} qui permet de maintenir ce niveau logique ?

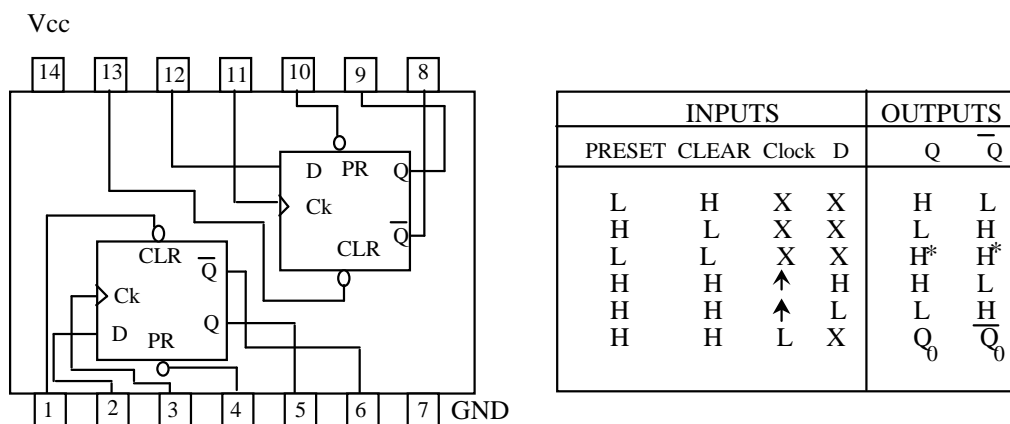
On considère maintenant le montage présenté sur la figure de droite ci-dessus, où les interrupteurs K_0 et K_1 sont respectivement fermé et ouvert. Pour réaliser ce montage, l'utilisateur a le choix entre les technologies AS et LS.

- 5) La position relative des interrupteurs K_0 et K_1 permet-elle d'allumer la diode électroluminescente (DEL) ? Si oui, justifier votre réponse. Dans le cas contraire, quelle doit être la position de K_0 et K_1 ?
- 6) Sachant que la tension de seuil notée V_F d'une DEL de couleur orange est 2V et que la résistance de polarisation $R_D = 270 \Omega$ (Série E12), déterminer la valeur du courant I_F maximum qui traverse la diode. Les deux technologies AS et LS conviennent-elles ? Justifier votre réponse.

Exercice numérique n°7 – Compteurs en BCD

Soit le circuit fourni par Texas Instruments TEXAS INSTRUMENTS D-74HC74, dont les caractéristiques essentielles sont données ci-dessous. Ce circuit inclut deux bascules D synchronisées sur front montant.

- 1) Concevoir un élément de comptage asynchrone binaire. Vérifier que les conditions de bon fonctionnement sont respectées.
- 2) Quelle est la fréquence maximale d'utilisation vis à vis du circuit intégré ? Vis à vis de la fonction comptage ?
- 3) Même question mais avec un compteur asynchrone BCD.
- 4) Identifier l'inconvénient majeur du circuit ainsi réalisé.



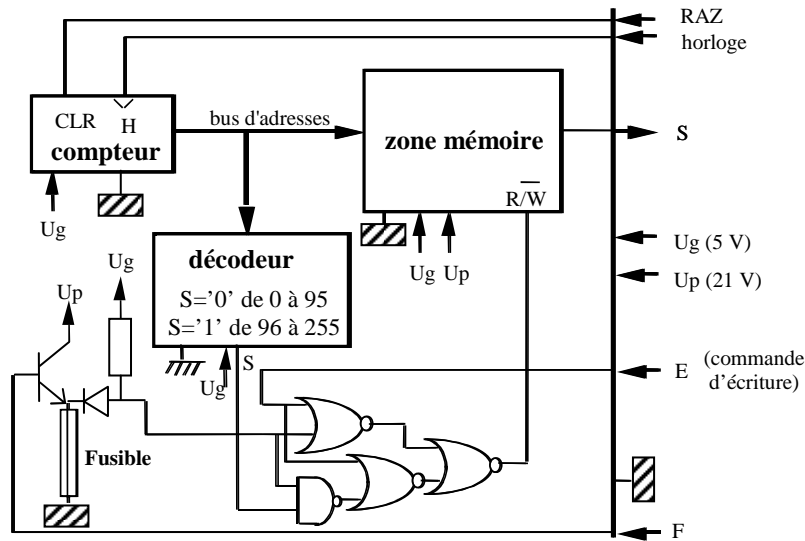
$t_s = 20 \text{ ns}$, $t_h = 5 \text{ ns}$, $t_p = 14 \text{ ns}$, $f_{\text{horloge max}} = 25 \text{ MHz}$.

Exercice numérique n°8 – Télécarte

La figure ci-dessous donne le schéma de principe d'une carte à puce à mémoire.

- 1) Considérant le champ d'application de ce dispositif, quels sont les types de mémoires utilisables ?
- 2) La zone mémoire compte 256 bits adressables individuellement. Pourquoi un compteur est-il utilisé pour adresser cette mémoire, et pourquoi une commande RAZ est-elle indispensable ? Quelle doit être la capacité du compteur ?
- 3) Quel effet physique l'application d'une tension positive sur le contact F provoque-t-elle ? Quelles en sont les conséquences sur le fonctionnement du dispositif ?

- 4) Dans le cas d'une carte téléphonique, quelles sont les zones de la mémoire devant être réservées à l'écriture a) de données telles que le numéro d'identification et la capacité de la carte, b) des bits (1) représentant la consommation téléphonique de l'utilisateur ? A quel moment de la vie de la carte utilise-t-on le contact F ?



(d'après le brevet de Roland Moreno, 1975)

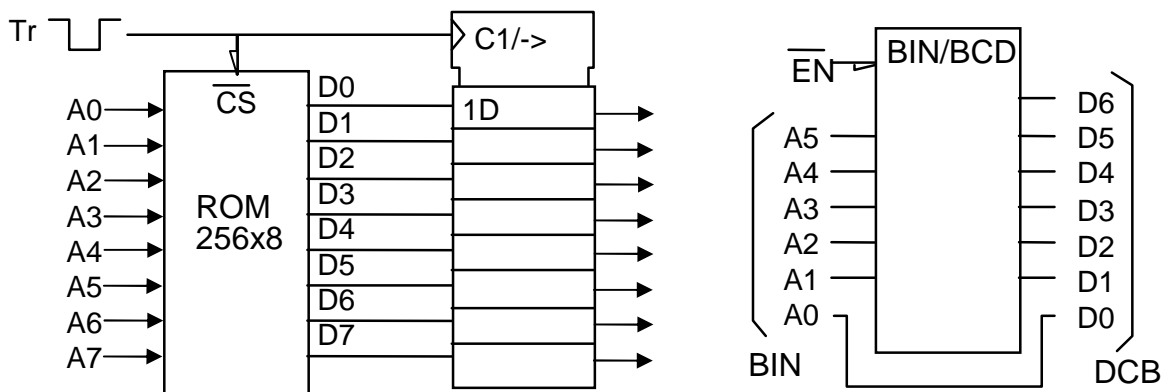
Exercice numérique n°9 – Transfert mémoire

On souhaite transférer des données d'une mémoire morte vers un registre, en utilisant le montage (a) ci-dessous. La mémoire a les paramètres de synchronisation suivants : $t_{acc} = 250 \text{ ns}$, $t_{OE} = 120 \text{ ns}$.

- 1) Si l'adresse est appliquée 500 ns avant l'impulsion de transfert, quelle doit être sa durée minimale au niveau bas.
- 2) Même question si l'adresse est appliquée 70 ns avant l'impulsion.

La figure (b) représente une mémoire morte utilisée pour la conversion binaire/BCD : elle code une entrée binaire de 6 bits en une sortie BCD de deux chiffres.

- 3) Quelle est la capacité du système côté BCD et côté binaire ?
- 4) Indiquer la position des poids faibles à l'entrée et à la sortie, et le regroupement des bits de sortie pour former les deux chiffres BCD.
- 5) Quel doit être le contenu des adresses 100101 et 111111 ?



INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE
TOULOUSE

2^{ème} Année MIC

ANNALES

M. AIME, S. BEN DHIA, M. BONNET, A. BOYER, C. ESCRIBA,
J. Y. FOURNIOLS

2015 - 2016

Contrôle électronique analogique 2014 - 2015

Durée 1h15 ; Documents autorisés.

Barème donné à titre indicatif. Il sera tenu compte de la qualité de la présentation de la copie. Les deux exercices suivants sont indépendants.

Exercice 1. (12 points)

On étudie ci-après un montage amplificateur non inverseur pour lequel on met en place un procédé de « reverse ingénierie ». Cela consiste à retrouver la fonction de **transfert de type passe-bas d'ordre un** et ses paramètres à partir d'observations expérimentales.

On a effectué à l'oscilloscope trois relevés (Figure 1, Figure 2, Figure 3) avec pour convention :

- u_e signal d'entrée issu d'un générateur de signaux associé à la voie 1 (CH1 pour CHannel1)
- u_s signal observé en sortie du montage connecté sur CH2.

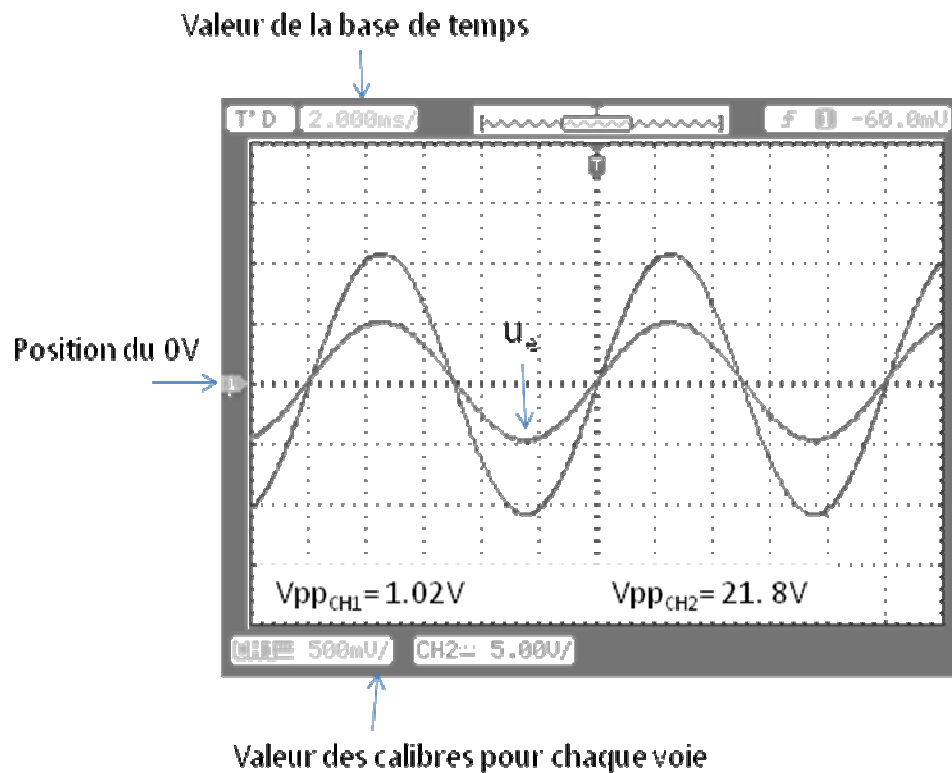


Figure1 : CH1=500mV/carreau ; CH2=5V/carreau ; Base de temps 2ms/carreau

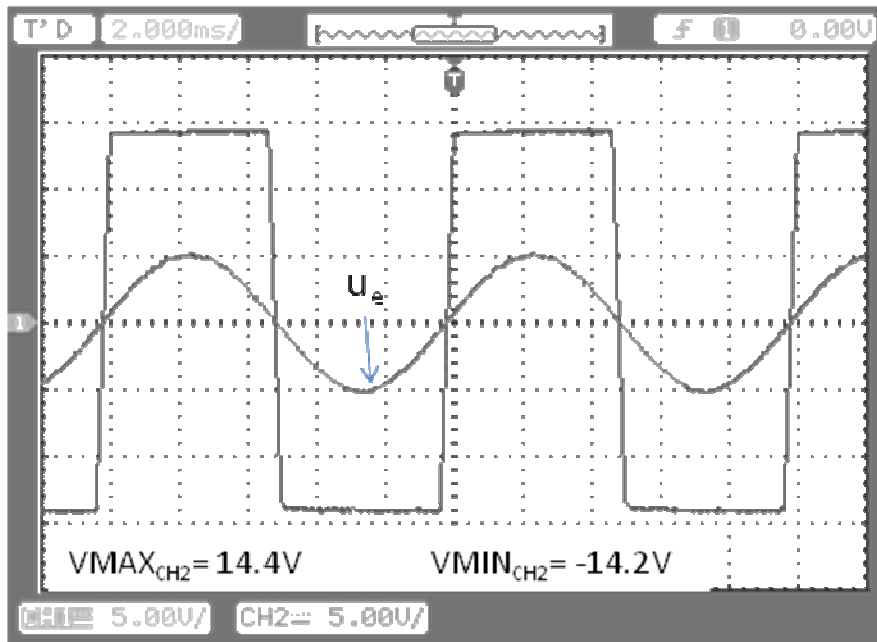


Figure2 : CH1=5V/carreau ; CH2=5V/carreau ; Base de temps 2ms/carreau

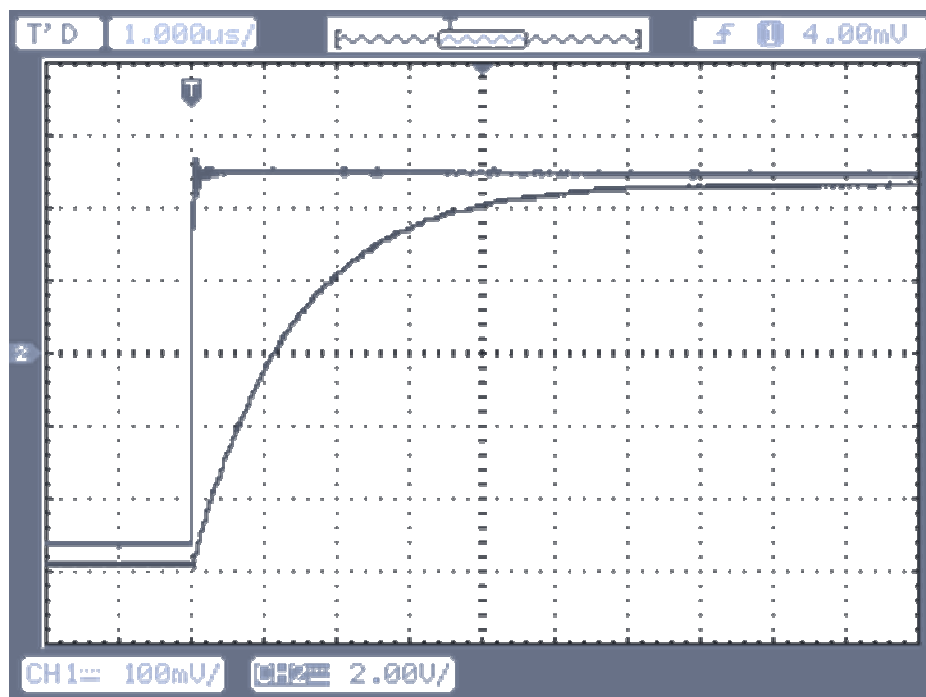
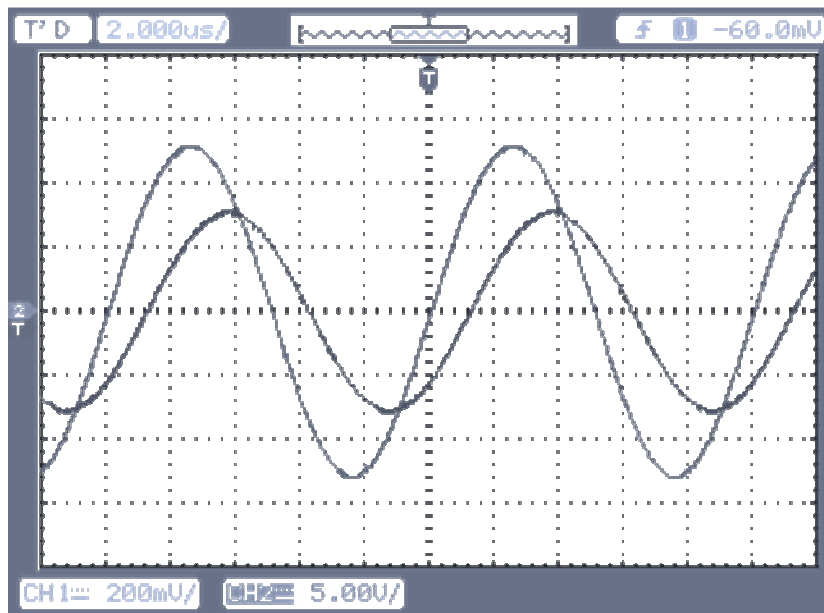


Figure3 : CH1=100mV/carreau ; CH2=2V/carreau ; Base de temps 1μs/carreau

- 1) Chacune de ces trois figures permet d'extraire une information utile pour établir le modèle (slew-rate, fréquence de coupure, temps de montée, constante de temps, saturation en amplitude, saturation en vitesse, saturation en courant, effet thermique, gain stationnaire, prix, rapport signal sur bruit, taux de réjection de mode commun,..). Préciser en le justifiant par vos connaissances, quel(s) paramètre(s) peut être déduit de chacune des trois figures.

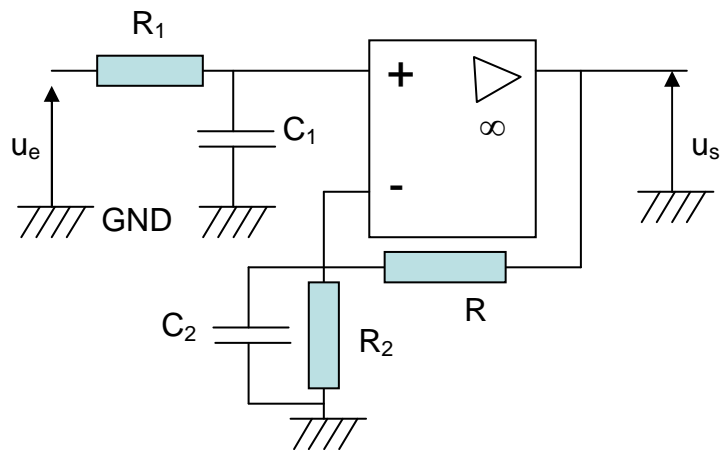
[5pts]

- 2) Donner l'expression de la fonction de transfert $T(f)=u_s/u_e$ de type filtre passe-bas d'ordre un que vous écrirez sous forme canonique du montage en précisant la valeur numérique des deux paramètres gain stationnaire et fréquence de coupure. [1pt]
- 3) Dessiner le tracé de Bode précis module et argument du montage en précisant la valeur numérique exacte du gain en dB à la fréquence de coupure. [2pts]
- 4) Donner avec précision la valeur maximale de l'amplitude A du signal sinusoïdal $u_e(t)$ qui garantit un signal de forme sinusoïdale en sortie du montage. [1pt]
- 5) On effectue le relevé ci-après à la fréquence de 100kHz.
 - a. u_e et u_s ne sont pas donnés mais pourquoi peut-on les identifier sans hésitations [1pt]
 - b. Sur la figure suivante, où la base de temps de l'oscilloscope est de $2\mu s$, justifier par deux observations précises que l'on se situe à la fréquence de coupure. [2pts]



Exercice 2. (8 points)

On considère le montage suivant polarisé entre deux tensions symétriques de fem 10V (non représentées).



- 1) Pourquoi le montage fonctionne t-il en régime linéaire ? [1pt]
- 2) Que signifie le symbole « infini » dans le dessin de l'AO ? Cette hypothèse est-elle justifiable ? [1pt]
- 3) Donner l'expression de la fonction de transfert $T(p)=u_s/u_e$ dans le domaine de Laplace. [3pt]
- 4) Effectuer (uniquement en tracé asymptotique module et argument) **tous les tracés possibles** de $T(f)$ en justifiant vos hypothèses. [3pt]

Fin du document

UV Systèmes Electroniques pour les Communications

Durée 1h15 ; Documents autorisés.

34.5

Barème donné à titre indicatif. Il sera tenu compte de la qualité de la présentation de la copie. Les deux exercices suivants sont indépendants.

2^e Aic-X.

Exercice 1. (12 points)

On étudie ci-après un montage amplificateur non inverseur pour lequel on met en place un procédé de « reverse ingénierie ». Cela consiste à retrouver la fonction de **transfert de type passe-bas d'ordre un** et ses paramètres à partir d'observations expérimentales.

On a effectué à l'oscilloscope trois relevés (Figure 1, Figure 2, Figure 3) avec pour convention :

- u_e signal d'entrée issu d'un générateur de signaux associé à la voie 1 (CH1 pour Channel1)
- u_s signal observé en sortie du montage connecté sur CH2.

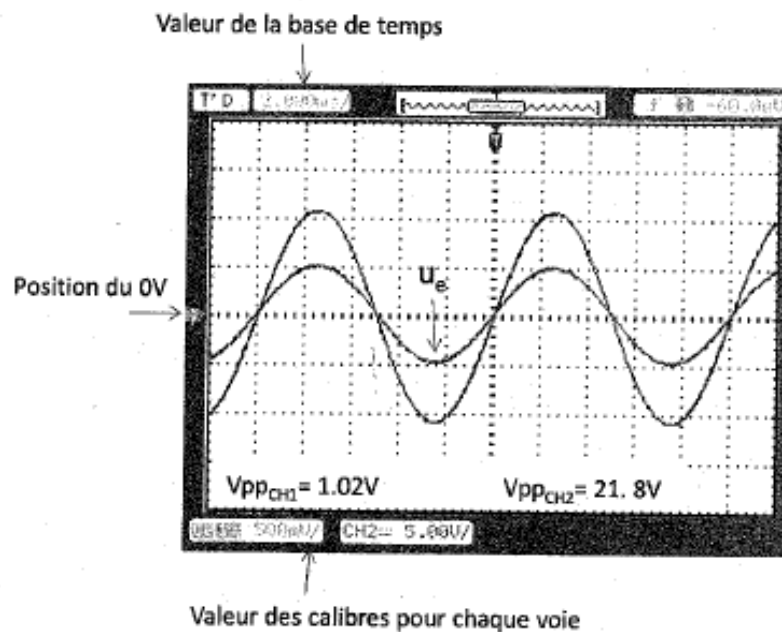


Figure1 : CH1=500mV/carreau ; CH2=5V/carreau ; Base de temps 2ms/carreau

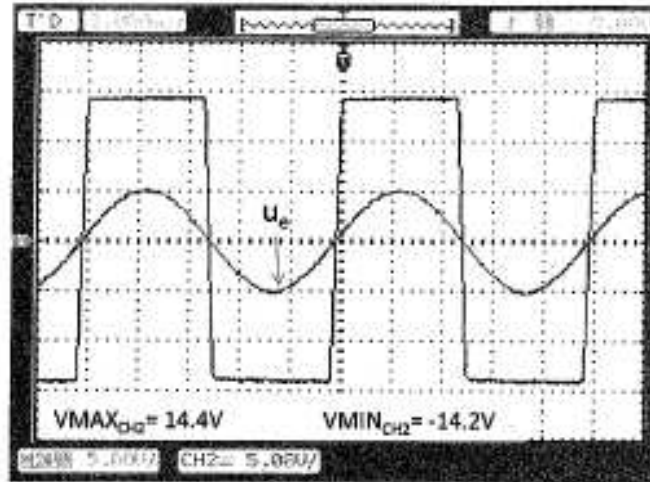


Figure2 : CH1=5V/carreau ; CH2=5V/carreau ; Base de temps 2ms/carreau

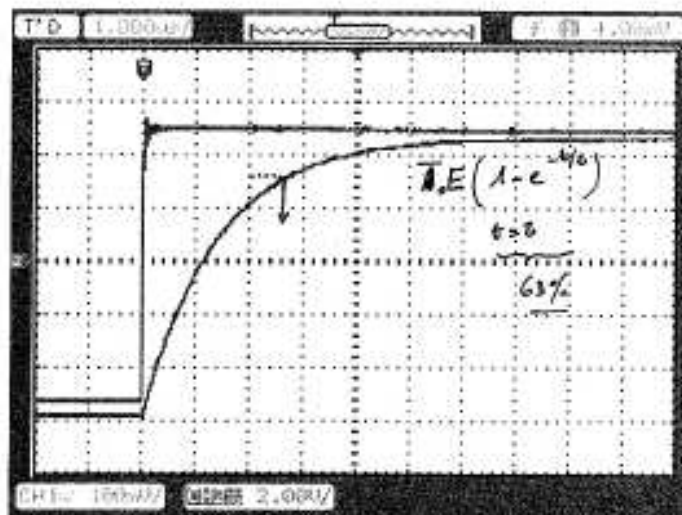


Figure3 : CH1=100mV/carreau ; CH2=2V/carreau ; Base de temps 1µs/carreau

1) Chacune de ces trois figures permet d'extraire une information utile pour établir le modèle (slew-rate, fréquence de coupure, temps de montée, constante de temps, saturation en amplitude, saturation en vitesse, saturation en courant, effet thermique, gain stationnaire,

Figure 1: Gain stationnaire $\Rightarrow \frac{21.08/2}{1.02/2} = \frac{21.08}{1.02} \approx 20$. $U_{SAT} = 2 \text{ mV}$
 Figure 2: Saturation en amplitude. $U_{SAT} = -14.2 \text{ V}$
 Figure 3: Temps de montée. \Rightarrow Expansion $\rightarrow 63\% \Rightarrow 63\% \times 24 \text{ carreaux} = 15.12 \text{ carreaux} \approx 2.6 \text{ carreaux}$

UV Systèmes Electroniques pour les Communications

prix, rapport signal sur bruit, taux de réjection de mode commun...). Préciser en le justifiant par vos connaissances, quel(s) paramètre(s) peut être déduit de chacune des trois figures.

$$T(f) = \frac{20}{1+jf/f_c}$$

$$f_c = 60 \text{ kHz}$$

$$20 \log 20 = 26 \text{ dB}$$

$$= 26 \text{ dB}$$

2) Donner l'expression de la fonction de transfert $T(f) = u_o/u_e$ de type filtre passe-bas d'ordre un que vous écrirez sous forme canonique du montage en précisant la valeur numérique des deux paramètres gain stationnaire et fréquence de coupure.

3) Dessiner le tracé de Bode précis module et argument du montage en précisant la valeur numérique exacte du gain en dB à la fréquence de coupure.

4) Donner avec précision la valeur maximale de l'amplitude A du signal sinusoïdal $u_e(t)$ qui garantit un signal de forme sinusoïdale en sortie du montage.

5) On effectue le relevé ci-après à la fréquence de 100kHz.

a. u_e et u_o ne sont pas donnés mais pourquoi peut-on les identifier sans hésitations

b. Sur la figure suivante, où la base de temps de l'oscilloscope est de $2 \mu\text{s}$, justifier par deux observations précises que l'on se situe à la fréquence de coupure.

saturatin négative

$$|A_{\text{max}}| < 14.2$$

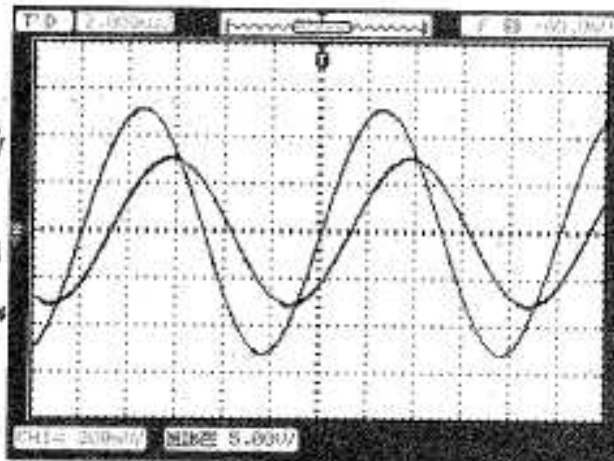
$$E < \frac{14.2}{20}$$

700mV

→ Déphasage Théorique: -45°
 $= -45^\circ$

$\Delta t \approx 0.5$ carreaux
soit $0.5 \mu\text{s} = \text{avant}$

Période: $\frac{1}{100,000} = \frac{1}{10^5} = 10 \mu\text{s}$
 $\approx -36^\circ$
(erreur de lecture)



→ Atténuation de 3dB
soit gain $\frac{20}{\sqrt{2}} = 14.1$

Vérifions:

$$\frac{U_{s, \text{max}}}{U_e, \text{max}} = \frac{1.5 \times 5}{2.6 \times 0.2}$$

$$= \frac{7.5}{0.52} = 14.4$$

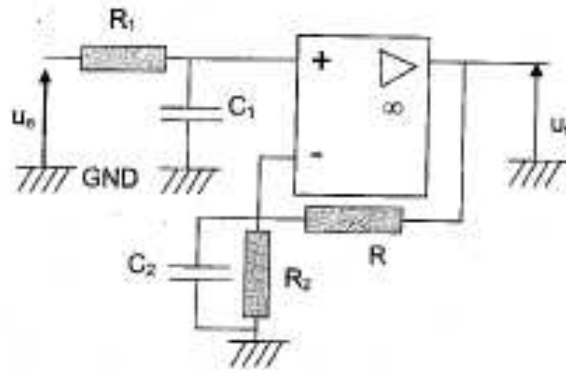
→ Le résultat est
moins sensible à la
précision de mesure.

Exercice 2 (8 points)

On considère le montage suivant polarisé entre deux tensions symétriques de fem 10V (non représentées).

en abscisse $\tau = 2.6 \times 1.00 = 2.6 \mu\text{s} \Rightarrow f_c = \frac{1}{2\pi\tau} = 61 \text{ kHz}$. (Fonte nage d'erreur sur la lecture).
100 kHz

UV Systèmes Electroniques pour les Communications



- Reboulé sur -°*
- 1) Pourquoi le montage fonctionne-t-il en régime linéaire ? (50)
 - 2) Que signifie le symbole « infini » dans le dessin de l'AO ? Cette hypothèse est-elle justifiable ? (10)
 - 3) Donner l'expression de la fonction de transfert $T(p) = u_o/u_e$ dans le domaine de Laplace. (10)
 - 4) Effectuer (uniquement en tracé asymptotique module et argument) tous les tracés possibles de $T(f)$ en justifiant vos hypothèses. (10)

*AO idéal (parfait).
A0 → ∞
Ri → ∞
As → 0
fc → ∞*

Fin du document

cette dernière hypothèse est fautive mais est rattrapable par l'application de la conservation du produit GA: v × B. Passants.

3):
$$u_+ = \frac{\frac{1}{C_1 p}}{R_1 + \frac{1}{C_1 p}} \quad u_-(p) = \frac{1}{1 + R_1 C_1 p} u_o(p)$$

$$u_- = \frac{R_2 // C_2}{R_2 // C_2 + R} u_o(p) ; \quad R_2 // C_2 = \frac{R_2}{R_2 + \frac{1}{C_2 p}} = \frac{R_2}{1 + R_2 C_2 p}$$

$$= \frac{R_2}{R_2 + R + \frac{R_2 R}{C_2 p}} \quad u_o(p) = \frac{R_2}{(R_2 + R) [1 + \frac{R_2 // R}{R_2 C_2 p}]} u_o(p)$$

$$u_+ = u_- \Rightarrow \frac{1}{1 + R_1 C_1 p} u_e = \frac{R_2}{R_2 + R + \frac{R_2 R}{C_2 p}} u_o(p)$$

$$T(p) = \frac{[1 + \frac{R_2 // R}{R_2 C_2 p}]}{1 + R_1 C_1 p} \left(1 + \frac{R}{R_2}\right) = \frac{\bar{v}_o \cdot 1 + \bar{v}_2 p}{1 + \bar{v}_2 p}$$

Contrôle électronique numérique 2014 - 2015

Durée 1h15

Documents autorisés. Barème donné à titre indicatif. Il sera tenu compte de la qualité de la présentation de la copie. Les réponses seront impérativement justifiées.

On s'intéresse au montage de conversion analogique-numérique (CAN) décrit à la figure ci-dessous. Le signal d'entrée V_{IN} est filtré puis échantillonné par un échantillonneur-bloqueur cadencé par une horloge H_E de période T_E . Le CAN est de type *Successive Approximation Rate* (SAR). Le code binaire est fourni en sortie en parallèle sur **$N = 14$ bits**. Cadencé par une horloge H_{SAR} de période T_{SAR} , ce type de CAN permet de convertir une tension en un code binaire de N bits en $N \times T_{SAR}$. La conversion est effectuée par **troncature**. Lorsque celle-ci est achevée, une impulsion est transmise sur la ligne End Of Conversion (EOC) passe à '1' pendant une période T_{SAR} . La pleine échelle du CAN est comprise entre 0 et $V_{CC} = 5$ V.

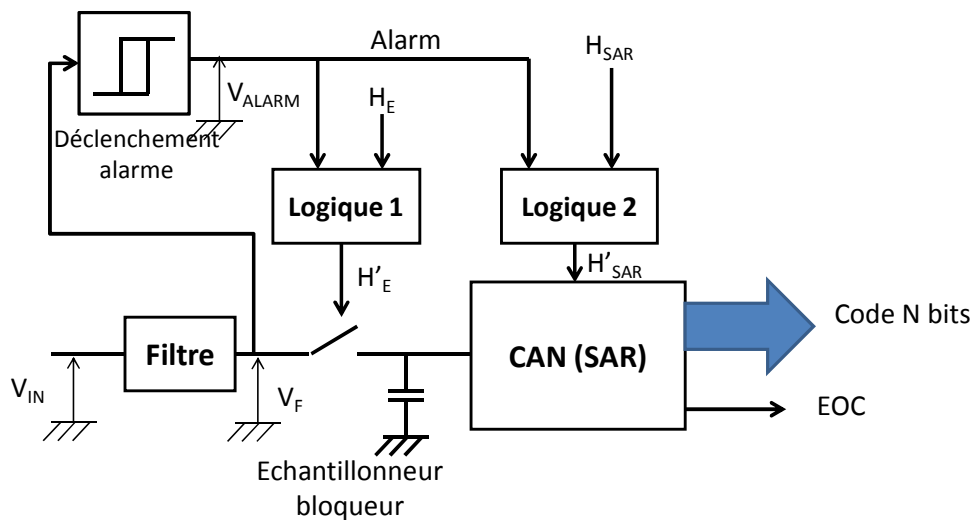


Schéma-bloc du montage de conversion analogique-numérique

Le signal à convertir a une tension V_{IN} comprise entre 1 et 4 V. Son contenu fréquentiel est compris entre 0 et 100 kHz. Dans le cas où la tension V_F du signal d'entrée filtré dépasserait 4 V, un système de déclenchement d'alarme s'active selon le mode suivant :

- si V_F dépasse 4.5 V (seuil de déclenchement de l'alarme), le signal Alarm prend l'état logique '1'
- Alarm revient à l'état logique '0' uniquement si V_F passe en dessous de 4.1 V

A l'aide des blocs Logique 1 et Logique 2, lorsque le signal logique Alarme passe à l'état logique '1', le fonctionnement du CAN et de l'échantillonneur-bloqueur est suspendu, en interrompant les signaux d'horloge qui leur sont appliqués : H'_E et H'_{SAR} (c'est-à-dire en les forçant à l'état logique '0').

- 1) Quelle est la fréquence minimale d'échantillonnage ? [1pt]
Théorème de Shannon $\rightarrow 2 \times 100 \text{ kHz} = 200 \text{ kHz}$
- 2) On souhaite que le CAN ait un pas de quantification inférieur à 1 mV. Théoriquement, est-elle atteinte ? [1pt]
Oui : $\Delta = 5/2^{14} = 0.3052 \text{ mV}$
- 3) Quel est le nombre maximum de codes binaires différents en sortie du CAN ? [1pt]
 $2^N = 16384 \text{ codes}$
- 4) Quel est le rôle du filtre ? Quelle est sa nature ? Proposez une fréquence de coupure ? [2 pts]

Filtre anti-repliement, passe-bas, $F_c = 100$ kHz.

- 5) Quel serait le code fourni en sortie du CAN lorsque la tension appliquée est exactement égale au seuil de déclenchement de l'alarme ? Donnez un code au format hexadécimal avec une précision d'un LSB. [2 pts]

Si $V_{in} = 4.5$ V, le code associé est : $4.5/\Delta = 14745.6 \rightarrow 14745$ par troncature $\rightarrow 0X3999$

- 6) Quelle est la tension appliquée en entrée du CAN si le code en sortie du CAN au format hexadécimal est égal à 0x1A00 ? [2 pts]

Code décimal associé = 6656 $\rightarrow V_{in} = 6656 * \Delta = 2.0312$ V avec une erreur de troncature de 0.3 mV.

Le schéma ci-dessous détaille le circuit de déclenchement de l'alarme, ainsi que la caractéristique $V_o = f(V_F)$. Il est formé par un montage autour d'un amplificateur opérationnel supposé idéal alimentée entre $+V_{EE}$ et $-V_{EE}$, $V_{EE} = 8$ V. On supposera que les tensions de saturation de l'amplificateur sont égales à $\pm V_{EE}$. La tension de sortie V_o de l'amplificateur commande un interrupteur K supposé idéal (équivalent à un fil si K est passant) de sorte que :

- K se ferme si $V_o \geq 0$ V
- K s'ouvre sinon

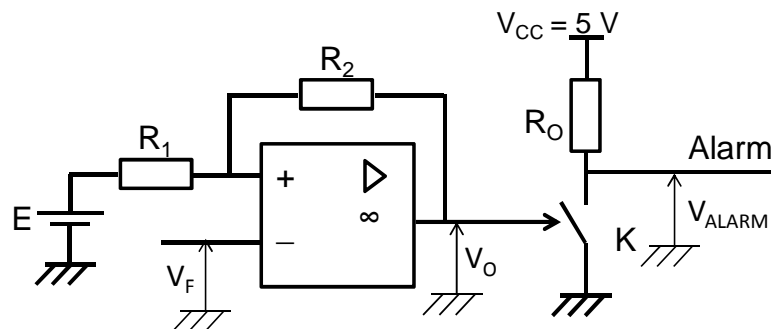
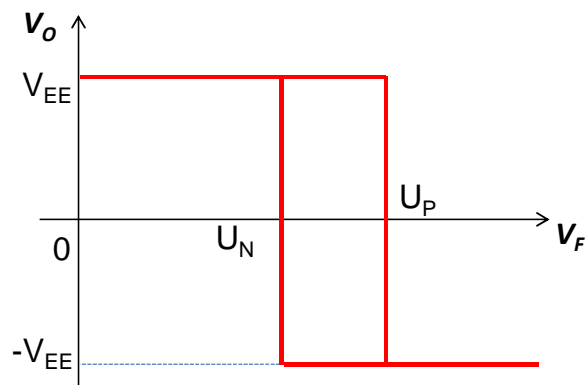


Schéma interne du circuit de déclenchement de l'alarme



Caractéristique $V_o = f(V_F)$

- 7) Quelle est la nature du montage autour de l'amplificateur ? [1pt]
Monostable inverseur
- 8) Exprimez les seuils de commutation U_p et U_n de ce montage U_p et U_n , $U_p > U_n$, en fonction de E , V_{EE} , R_1 et R_2 . [2pts]

$U_p = R_1/(R_1+R_2)*V_{EE} + R_2/(R_1+R_2)*E$ et $U_n = -R_1/(R_1+R_2)*V_{EE} + R_2/(R_1+R_2)*E$

- 9) En fixant $R_1 = 1$ k Ω , proposez des valeurs pour R_2 et E ? [2pts]

$(U_p - U_n)/V_{EE} = 2*R_1/(R_1+R_2) \rightarrow R_2/R_1 = 2*V_{EE}/(U_p - U_n) - 1 = 39 \rightarrow R_2 = 39$ k Ω

$(U_p + U_n)/2 = R_2/(R_1+R_2)*E \rightarrow E = (U_p + U_n)/2*(1 + R_1/R_2) = 4.41$ V

10) Proposez les équations booléennes liant H'_E , H_E et Alarm, et H'_E , H_E et Alarm. Dessinez les schémas électriques des blocs logiques 1 et 2. [2pts]

Pour les deux blocs logiques : $H'_E = H_E \& /Alarm$ et $H'_{SAR} = H_{SAR} \& /Alarm$

11) Les circuits logiques présentent les caractéristiques électriques suivantes.

Tension d'alimentation	5 V	Vil (max)	0.7 V
Voh (min)	3 V	Entrance état haut	100 μ A
Vol (max)	0.4 V	Entrance état bas	100 μ A
Vih (min)	2.8 V	Consommation statique	0.5 mW

a) Quelle doit être la valeur minimale de V_{Alarm} lorsque la tension d'entrée atteint le seuil d'alarme ? Quelle est la niveau logique associé ? [2pts]

$V_{Alarm} > V_{inh}(min)$ pour assurer un état logique 1

a) Calculez la valeur maximale de la résistance R_O qui garantisse un état un logique adéquat.

[2pts]

*$V_{cc} - R_O * I_{inh} > V_{ih}(min) \rightarrow R_O < (V_{cc} - V_{ih}(min)) / I_{inh} = (5 - 2.8) / 0.0001 = 22 \text{ k}\Omega$*

Fin du document

Contrôle électronique analogique et numérique - 2014

Durée 1h30 ; Documents autorisés. Barème donné à titre indicatif. Il sera tenu compte de la qualité de la présentation de la copie.

Partie 1 (9 points)

On dispose d'un amplificateur opérationnel (AO) dont le gain statique en boucle ouverte est égal à 10^5 . Il est alimenté avec une tension symétrique $\pm 12V$. L'amplificateur présente une tension de saturation $U_{sat} = \pm 10V$. On dispose d'un capteur lumineux délivrant une tension de sortie notée V_c , comprise entre 0 et 200 mV selon l'intensité du flux lumineux incident. On souhaite amplifier le contenu basse fréquence du signal délivré par le capteur (fréquence < 50 Hz). Pour cela, on réalise le montage amplificateur présenté à la figure 1.

12) Exprimez en dB le gain statique de l'AO en boucle ouverte. [1pt]

100 dB

13) Déterminez l'expression littérale de la fonction de transfert $T(f)$ du montage amplificateur, en

la mettant sous la forme $T(f) = T_0 \frac{1 + j \frac{f}{f_1}}{1 + j \frac{f}{f_2}}$. Exprimez T_0 , f_1 , f_2 en fonction de R_1 , R_2 et C . On

supposera l'AO idéal [3pts]

*$T(w) = (1+R_2/R_1) * (1+R_1R_2/(R_1+R_2)*C*w) / (1+R_2C*w)$, $T_0 = 1+R_2/R_1$, $w_1 = 1/(R_1R_2/(R_1+R_2)*C)$ et $w_2 = 1/(R_2*C)$*

14) On souhaite que la tension de sortie du montage amplificateur soit comprise entre 0 et 5 V lorsque le capteur délivre un signal basse fréquence. Donnez la valeur du gain statique T_0 du montage. [1pt]

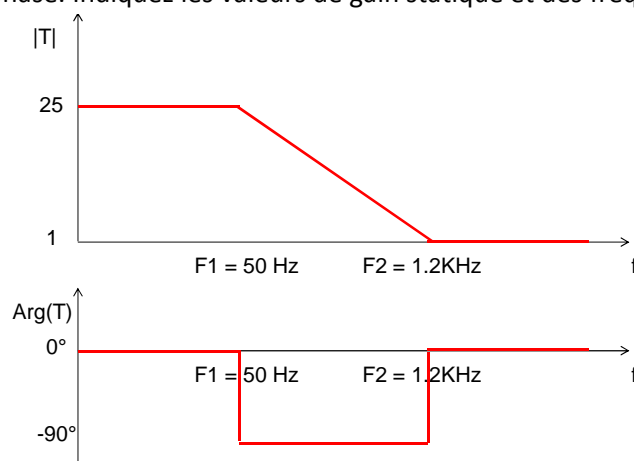
$T_0 = 5/0.2 = 25$

15) On souhaite aussi avoir une fréquence de coupure f_1 égale à 50 Hz. En fixant C à 100 nF, proposez un couple de résistances R_1 et R_2 . [1pt]

$1+R_2/R_1 = 25 \rightarrow R_2/R_1 = 24$.

$R_2 = 1/(2\pi*C*f_1) = 32 \text{ Kohms} \rightarrow R_1 = 1.3 \text{ Kohms}$*

16) Tracez le diagramme asymptotique de Bode du montage amplificateur, en amplitude et en phase. Indiquez les valeurs de gain statique et des fréquences f_1 et f_2 . [3pts]



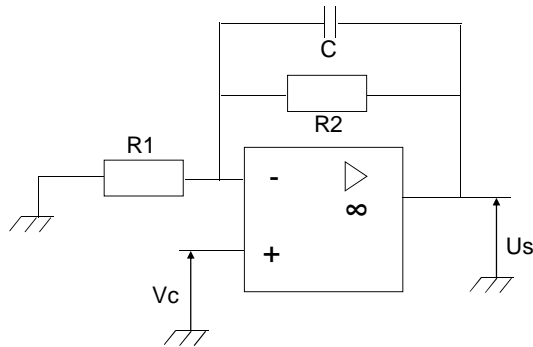


Figure 1 : Montage amplificateur

Partie 2 (11 points)

En aval du montage précédent, on souhaite réaliser un "watchdog" analogique, c'est-à-dire un dispositif capable de déterminer comment se situe la tension analogique U_s mise en entrée par rapport à deux seuils de tension notés V_{th1} et V_{th2} (voir figure 2-gauche). Deux bits sont produits en sortie en fonction de la tension U_s : Alarm et Warn, qui pourront être exploités par un microprocesseur pour effectuer le traitement adéquat. V_{th1} et V_{th2} sont respectivement fixés à 3 et 4 V.

En bas à droite, on propose un premier montage de watchdog analogique. Il est composé de deux AO montés en comparateur (on considère les AO de la partie I), d'une interface et d'un bloc de logique combinatoire, qui produit les bits Warn et Alarm. Le bloc logique est en technologie CMOS et est alimenté entre 0 et 5 V.

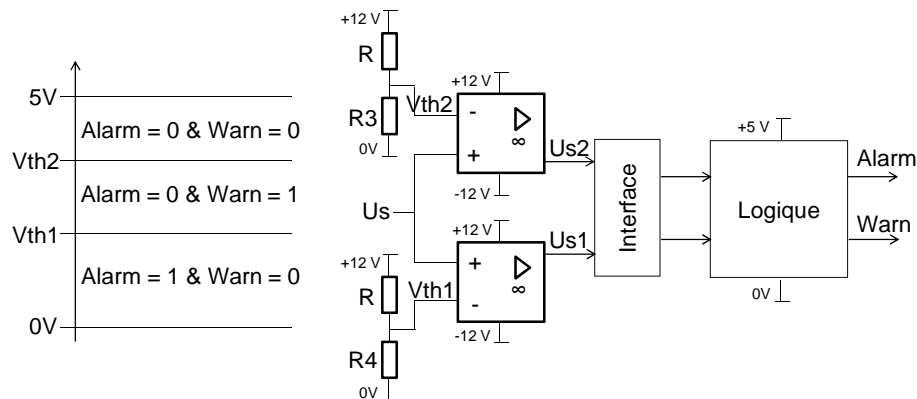
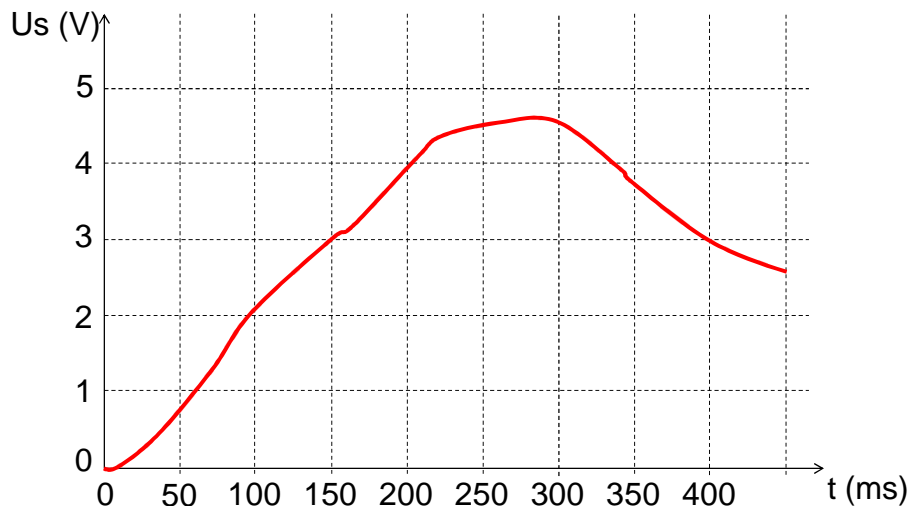


Figure 2 : Principe du watchdog analogique (gauche) et premier montage (droite)

- Tracez les caractéristiques $U_{s1}(U_s)$ et $U_{s2}(U_s)$. Indiquez les tensions prises par U_s , U_{s1} et U_{s2} . [1pt]
Comparateur fournissant U_{s1} est monté en direct --> -10 V si $U_s < V_{th1}$
Comparateur fournissant U_{s2} est monté en direct --> -10 V si $U_s < V_{th2}$
- En posant $R = 10 \text{ K}\Omega$, proposez un couple de valeurs pour R_3 et R_4 . [1 pt]
 $V_{th2} = 12 \cdot R_3 / (R_3 + R) \rightarrow R_3 = R \cdot V_{th2} / (12 - V_{th2}) = 5 \text{ Kohms}$
 $V_{th1} = 12 \cdot R_4 / (R_4 + R) \rightarrow R_4 = R \cdot V_{th1} / (12 - V_{th1}) = 3.3 \text{ Kohms}$
- Quel est le rôle du bloc d'interface. [1 pt]
Assurer la compatibilité des niveaux de tension entre les sorties des comparateurs (+/-10 V) et les entrées CMOS (0 / 5 V)
- La figure ci-dessous présente l'évolution de la tension U_s appliquée en entrée du watchdog. Tracez l'évolution temporelle des signaux U_{s1} , U_{s2} , Warn et Alarm, en indiquant les valeurs prises par ces signaux. [2 pts]



- 5) Proposez un montage électrique à base de portes à logique combinatoire pour le bloc logique qui génère les bits Warn et Alarm, à partir des signaux Us1 et Us2. [2 pts]
Alarm = not(Us1) et Warn = Us1 xor Us2

Un second montage est proposé pour réaliser le watchdog analogique. Celui-ci est basé sur un convertisseur analogique numérique (CAN) 8 bits qui convertit directement la tension Us. Il fournit le résultat de conversion à un microprocesseur qui effectuera la comparaison du résultat de conversion avec les seuils Vth1 et Vth2 et produira les bits Alarm et Warn. La pleine échelle de conversion du CAN est comprise entre 0 et 5 V. La conversion se fait par troncature.

- 6) Sachant que la fréquence de variation maximale du signal Us est de 50 Hz, proposez une valeur pour la fréquence d'échantillonnage du signal Us ? [1 pt]
F > 100 Hz (théorème de Shannon)
- 7) Quelle est la résolution en tension du CAN ? [1 pt]
résolution = PE/2^N = 5/256 = 19.53 mV
- 8) Donnez les codes sur 8 bits associés aux tensions de seuil Vth1 et Vth2 au format hexadécimal. [1 pt]
*code de Vth1 = 3*256/5 = 153.6 --> 153 (troncature) --> 0x99*
*code de Vth2 = 4*256/5 = 204.8 --> 204 (troncature) --> 0xCC*
- 9) Le CAN fournit le code au format hexadécimal suivant au microprocesseur : 0xAB. Quel doit être l'état des bits Alarm et Warn ? [1 pt]
Ce code est compris entre 0x99 et 0xCC, donc la tension Us est comprise entre Vth1 et Vth2 --> Warn = 1 et alarm = 0.
0xAB correspond au nombre 171 sur 8 bits. Il correspond à une tension d'entrée de l'ordre de 3.34 V, qui est bien comprise entre Vth1 et Vth2.

Fin du document



INSA STPI/2* MIC

Mercredi 7 Novembre 2012

UV Systèmes électroniques communicants : partie électronique analogique

Durée 1h30 ; Documents autorisés. Barème donné à titre indicatif. Il sera tenu compte de la qualité de la présentation de la copie.

Les deux parties sont indépendantes !!!

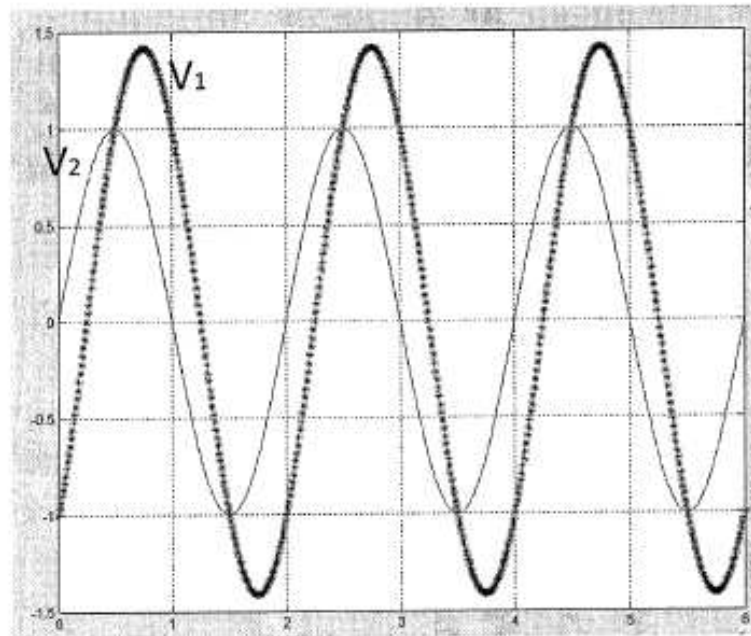
Partie 1 : exploitation du montage amplificateur non inverseur [14 points]

Votre binôme a réalisé un montage amplificateur non inverseur de gain $0.1V/mV$ en utilisant un amplificateur opérationnel dont les caractéristiques données par le constructeur précisent :

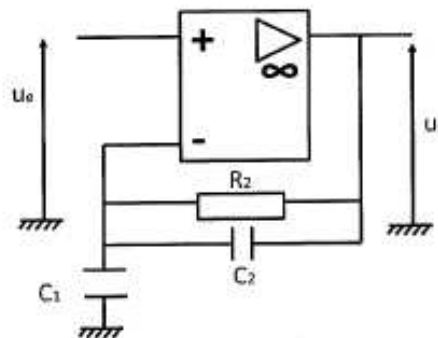
- des tensions de saturation quatre vingt dix pour cent de la tension d'alimentation positive et quatre vingt pour cent de la tension d'alimentation négative ;
soit $u_s \in [80\%(-V_{power}) ; 90\%V_{power}]$; avec $|V_{power}| = 10V$.
- un produit gain bande passante (ou fréquence de transition f_T) de 10MHz.
- une constante de temps de l'AO en boucle ouverte de 3,2ms.

Par convention on notera u_e le signal présenté à l'entrée ; u_s le signal en sortie.

- 1) Exprimer en dB le gain du montage non inverseur réalisé. [2pts]
- 2) Retrouver le couple de résistances utilisé : $(1k\Omega ; 100k\Omega)$; $(100\Omega, 100k\Omega)$; $(1k\Omega, 40k\Omega)$; $(100\Omega, 40k\Omega)$. (on rappelle que les résistances utilisées sont avec une précision de 10%) [1pts]
- 3) Donner la plage de tension maximale autorisée en entrée évitant toute saturation en amplitude. [2pts]
- 4) Dessiner le montage non inverseur et donner l'expression de la fonction de transfert associée (avec valeurs numériques du gain dans la bande passante et de la fréquence de coupure). [1pts]
- 5) Retrouver le gain en boucle ouverte de l'Amplificateur utilisé, gain que vous exprimerez en dB. (vous pourrez pour cela retrouver la valeur de la fréquence de coupure en boucle ouverte puis exploiter vos connaissances...) [2pts]
- 6) On présente en entrée un signal $u_e(t)$ d'amplitude 1V. En supposant ce signal sinusoïdal, pour quelle fréquence le signal de sortie aura-t-il la même amplitude ? [1pts]
- 7) On présente en entrée un signal $u_e(t)$ d'amplitude 20V. En supposant ce signal sinusoïdal, existe-t-il une fréquence où le signal de sortie aura la même amplitude ? Justifier. [1pts]
- 8) Votre binôme a effectué le relevé suivant pour une fréquence de 100kHz.
 - a. Associer à V1 et V2 les signaux d'entrée et de sortie; respectivement u_e et u_s . [1pts]
 - b. Combien vaut un carreau sur l'axe des abscisses (préciser valeur et unité). [1pts]
 - c. Retrouver sur le tracé la valeur du déphasage entre les deux signaux. [1pts]
 - d. Démontrer que le graphe de votre binôme ne peut pas correspondre au montage étudié. [1pts]

UV Systèmes électroniques communicants : **partie électronique analogique****Partie 2 : Evolution (partie indépendante) [6points]**

Votre binôme, mécontent de vos remarques réalise le montage amplificateur non inverseur suivant sur lequel il a apporté quelques nouveautés :



- 9) L'AO étant idéal, en s'inspirant de vos connaissances du montage amplificateur non inverseur, établir l'expression de la fonction de transfert $T(f)$ obtenue en boucle fermée (en considérant l'AO idéal). Vous exprimerez cette fonction sous la forme :

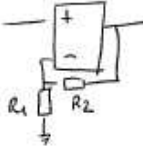
$$T(f) = \alpha \frac{1 + j \frac{f}{f_1}}{1 + j \frac{f}{f_2}} ; \text{Où vous identifierez les expressions de } \alpha, f_1 \text{ et } f_2. \quad [3pts]$$

- 10) Tracer le diagramme asymptotique de Bode (gain et phase) de la fonction de transfert obtenue. (pour ceux qui n'auraient pas répondu à la question précédente supposer que $f_1 < f_2$) [3pts]

Fin du document

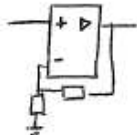
MIC 2012 - Partie Analogique.

$\Sigma = 2 \text{pts}$ 1) Le gain vaut $0,1 \text{ V/mV}$ soit 100 mV/mV , soit 100 ou 40 dB .
(1pt) (1pt ou ϕ)

$\Sigma = 1 \text{pt}$ 2)  la gain est donné par $(1 + \frac{R_2}{R_1}) = 100$ soit $R_2 = 100 R_1$
(incertitudes des résistances).
(1k Ω , 100k Ω) (0,5) (1pt)

$\Sigma = 2 \text{pts}$ 3). $V_{cc} = 10 \text{ V}$; $U_{SAT,+} = 30\% V_{cc} = 3 \text{ V}$
 $U_{SAT,-} = 80\% (-V_{cc}) = -8 \text{ V}$.
Gain maximal: $100 \Rightarrow -\frac{8 \text{ V}}{100} \leq u_e \leq \frac{3 \text{ V}}{100}$ (1pt) (0,5) (1pt) (2pts pas d'unités)

$\Sigma = 1 \text{pt}$ 4). La fonction en boucle fermée s'écrit: $A(f) = \frac{A_0}{1 + j f/f_c}$
avec $A_0 = 100$;
 $f_c = \frac{f_T}{100} = 100 \text{ kHz}$ (conservation produit gain bande) (0,5)



$\Sigma = 2 \text{pts}$ 5) En boucle ouverte, retrouvons G_0 et f_0 caractéristiques de l'AO utilisés en boucle ouverte.
D'après l'énoncé, on connaît la constante de temps de l'AO qui vaut $\tau_0 = \frac{1}{2\pi f_0} = 3,2 \text{ ms} \Rightarrow f_0 = 50 \text{ Hz}$.
Donc par conservation du produit gain bande.
 $f_0 \cdot G_0 = f_T \Rightarrow G_0 = \frac{f_T}{f_0} = \frac{10 \cdot 10^6}{50} = 2 \cdot 10^5$.
Soit en dB: $20 \lg 2 \cdot 10^5 = 106 \text{ dB}$. (0,5) (0,5) (1)

$\Sigma = 1 \text{pt}$ 6). $u_e = E \sin 2\pi f_1 t$, avec $E = 1 \text{ V}$.
on amplitude pour us pour $f_1 = f_T = 10 \text{ MHz}$ (1pt)

$\Sigma = 1 \text{pt}$ 7) 20 V , saturation en amplitude, on n'aura jamais la amplitude en sortie avec unité!

7) Réponse à un échelon de tension. (1pt)
 $u_s(t) = 100 E (1 - e^{-t/\tau_0})$ $\tau_0 = \frac{1}{2\pi f_c}$ $f_c = 100 \text{ kHz}$.
(on peut accepter résultat direct) (1pt la place) sinon il y aura saturation.

8). Le relevé est effectué à $f_i = 100 \text{ kHz}$

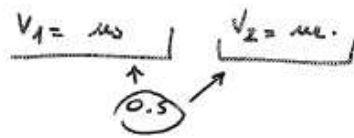
soit une période $T = \frac{1}{f_i} = \frac{1}{100 \cdot 10^3} = 10 \mu\text{s}$.

D'après le tracé de Bode, la tension de sortie, en régime sinusoidal s'écrit $u_s = E |A(f=100 \text{ kHz})| \sin(2\pi \cdot 100 \cdot 10^3 t + \text{Arg}(A(100 \cdot 10^3)))$.

a). Z=1pt
 $f_c < f_i < f_r$ donc le signal de sortie sera

- supérieur en amplitude au signal d'entrée
- (0.5) → déphasé (argument non nul) cad en retard par rapport au signal d'entrée.

Pour ces 2 raisons: V_1 signal de sortie, V_2 signal d'entrée.



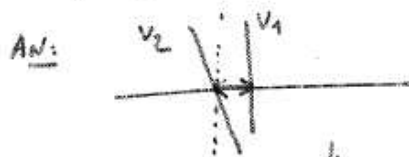
(1pt) si explicatif
 (au moins un des 2 critères).

b). La période du signal de fréquence 100 kHz, occupe deux carrés.
Z=1pt soit $T = \frac{1}{f_i = 100 \text{ kHz}} = 10 \mu\text{s} = 2 \text{ carrés}$. (1pt)

Le balayage vaut $5 \mu\text{s} / \text{carré}$ ou $5 \mu\text{s} / \text{div}$.

c). Z=1pt Sur une période, le signal sinusoidal varie de 2π donc l'axe des abscisses, centre temporel peut être "vu" en angle.

Déphasage: retard de la sortie donc NÉGATIF



$\phi = -\frac{4}{16} \pi = -\frac{\pi}{4}$ 100 kHz > 10 kHz

d). Z=1pt impossible c'est la valeur qu'on a à la fréquence de coupure! (on s'attend à $-\pi/2$!).
 Gain = $\frac{3.9}{2.7} = 1.44 \approx \sqrt{2}$.

II 3). AO idéal, en rétroaction négative, donc en régime linéaire $E=0$.

Z=3pts

$$u_+ = u_e.$$

$$u_- = \text{pont diviseur} = \frac{z_1}{z_1 + z_2} u_s \quad \left. \vphantom{u_-} \right\} u_s = \left(1 + \frac{z_2}{z_1}\right) u_e.$$

$$\text{avec } z_1 = \frac{1}{C_1 p}$$

$$z_2 = R_2 // \frac{1}{C_2 p} = \frac{\frac{R_2}{C_2 p}}{R_2 + \frac{1}{C_2 p}} = \frac{R_2}{1 + R_2 C_2 p}.$$

$$u_s = \left(1 + \frac{R_2 C_1 p}{1 + R_2 C_2 p}\right) u_e \Rightarrow u_s = \frac{1 + R_2(C_1 + C_2)p}{1 + R_2 C_2 p} u_e.$$

10)

la fonction doit se mettre sous la forme

$$T(p) = \left(\frac{1 + R_2 C_2 p + R_2 C_1 p}{1 + R_2 C_2 p} \right)$$

$$\left[\begin{array}{l} f_1 = \frac{1}{2\pi R_2(C_1 + C_2)} \quad \underline{1pt} \\ f_2 = \frac{1}{2\pi R_2 C_2} \quad \underline{1pt} \\ a = 1 \quad \underline{1pt} \end{array} \right.$$

$$T(p) = \frac{1 + R_2(C_1 + C_2)p}{1 + R_2 C_2 p}$$

$$\text{soit } T(f) = \frac{1 + \frac{\omega_1 p}{\omega_1}}{1 + \frac{\omega_2 p}{\omega_2}} = \frac{1 + j f/f_1}{1 + j f/f_2}$$

$$f_1 = \frac{1}{2\pi \omega_1} \quad \omega_1 = R_2(C_1 + C_2)$$

$$f_2 = \frac{1}{2\pi \omega_2} \quad \omega_2 = (R_2 C_2).$$

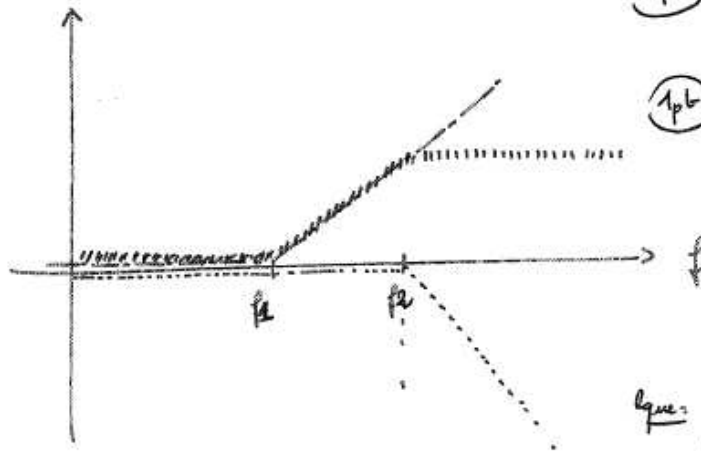
On en déduit: $\omega_1 > \omega_2 \Rightarrow \underline{f_1 < f_2}$.

Tracé qualitatif dans Bode

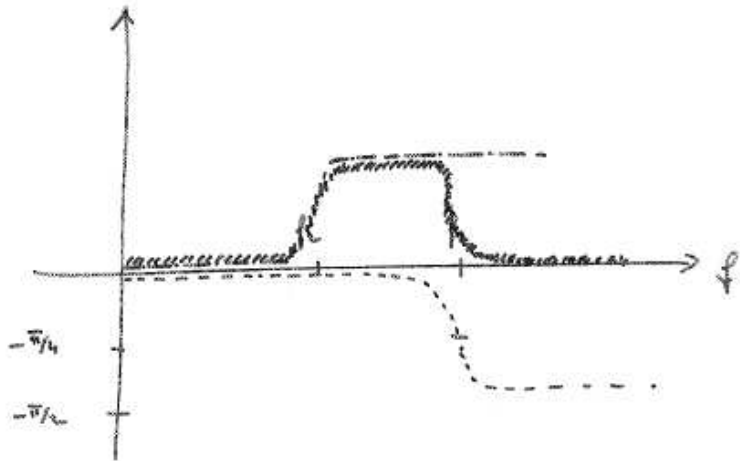
1pt $1 + j\omega/\omega_0$ -----

1pt $\frac{1}{1 + j\omega/\omega_0}$ -----

1pt $|T(f)|$ #####



que: On peut être tolérant sur les phases et rajouter +1 à celui ou celle qui les a ou!



Contrôle Systèmes électroniques pour les communications

2^{ème} année MIC – 2012/2013

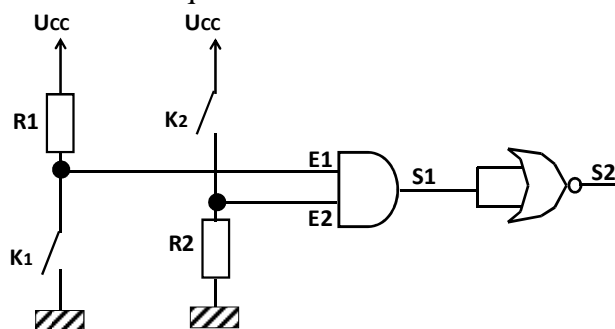
Tous documents autorisés / 1 h 30

Le barème est donné à titre indicatif.

Il sera tenu compte des justifications apportées à chaque réponse, ainsi que de la présentation.

Exercice 1 (8 pts)

Soit le montage électronique ci-dessous. Celui-ci est réalisé à partir d'une technologie A, dont les caractéristiques sont données dans le tableau ci-dessous.



Type de technologie	A	B
Tension d'alimentation Ucc	5 V	5 V
Voh(min)	2,4 V	4.5 V
Vih(min)	2 V	3.3 V
Vol(max)	0,4 V	0,1 V
Vil(max)	0,8 V	1.5 V
Retard de propagation	6 ns	6 ns
Consommation	10 mW	0.1 mW
Entrance* à l'état haut (1UL)	250 μ A	0.1 μ A
Entrance* à l'état bas (1UL)	1 mA	0.1 μ A
Sortance* à l'état haut (1UL)	1 mA	4 mA
Sortance* à l'état bas (1UL)	8 mA	4 mA

- 1) Pour quelles positions de K1 et K2 la sortie S1 sera portée à l'état '1' ? (1 pt)

Pour K1 ouvert et K2 fermé

- 2) On dispose de 6 valeurs de résistance : 560 Ω , 820 Ω , 5.6 K Ω , 8.2 K Ω , 56 K Ω et 82 K Ω . Lesquelles pourriez-vous choisir pour R1 et R2 ? Quelles seraient alors les tensions en A et B ? (2 pts)

Pour appliquer un état '1' sur E1, la tension minimale à appliquer est de 2 V. Avec une entrance de 250 μ A, la résistance maximale à placer sur R1 est de 12 K Ω . On peut donc choisir :

$$560 \Omega \rightarrow V_{e1} = 4.86 \text{ V}$$

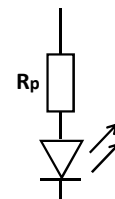
$$820 \Omega \rightarrow V_{e1} = 4.795 \text{ V}$$

$$5.6 \text{ K}\Omega \rightarrow V_{e1} = 3.6 \text{ V}$$

$$8.2 \text{ K}\Omega \rightarrow V_{e1} = 2.95 \text{ V}$$

Pour appliquer un état '0' sur E2, la tension maximale à appliquer est de 0.8 V. Avec une entrance de 1 mA, la résistance maximale à placer sur R2 est de 800 Ω . On peut donc choisir seulement 560 Ω \rightarrow $V_{e2} = 0.56 \text{ V}$

- 3) On souhaite placer le dispositif ci-dessous sur la sortie S2. Il s'agit d'une LED de tension de seuil $V_F = 1.2 \text{ V}$ et d'une résistance de polarisation R_p . Lorsque S1 est porté à l'état bas, on souhaite que la LED s'éclaire. Comment le circuit doit-il être monté ? (1 pt)



A connecter entre la sortie S2 et la masse. La LED s'éclaire lorsque S2 est portée à '1'.

- 4) Proposez une valeur de résistance pour R_p . (2pts)

La tension en S2 lorsque celle-ci est portée à l'état '1' est supérieure à 2.4 V → suffisante pour allumer la LED. Il faut cependant veiller à ce que le courant traversant la LED ne dépasse pas la limite en courant que peut délivrer la sortie de la porte NOR (1 mA max). La résistance R_p à choisir doit être supérieure à 3800 Ω .

$$R_p \text{ min} = (V_{out\max} - V_f) / I_{out\max} = (5 - 1.2) / 1^{-3} = 3.8 \text{ K } \Omega.$$

- 5) Vous disposez de portes ET en technologie A, mais pas de portes NOR réalisées dans cette technologie. Serait-il possible de réaliser le circuit avec des portes NOR en technologie B ? Justifiez votre réponse. (2 pts)

Non, il y aurait un problème de compatibilité entre la sortie de la porte ET en techno A et l'entrée de la porte NOR en techno B, dans le cas d'un état '1' : Techno A : $V_{oh\min} = 2.4 \text{ V}$ et Techno B : $V_{ih\min} = 3.3 \text{ V}$. Il n'y a pas de marge de bruit positive. C'est le seul problème. Enlever un point pour une mauvaise identification de problème. Ne pas compter de points si la réponse n'est pas justifiée.

Exercice 2 (8 pts)

On souhaite coder numériquement une conversation téléphonique pour laquelle on précise que la bande passante du signal est de 0 à 3400 Hz et que les valeurs crête à crête sont comprises entre 0 et 5 V. On admet que la qualité de restitution du son impose un pas de conversion maximum du CAN $\Delta \leq 5 \text{ mV}$.

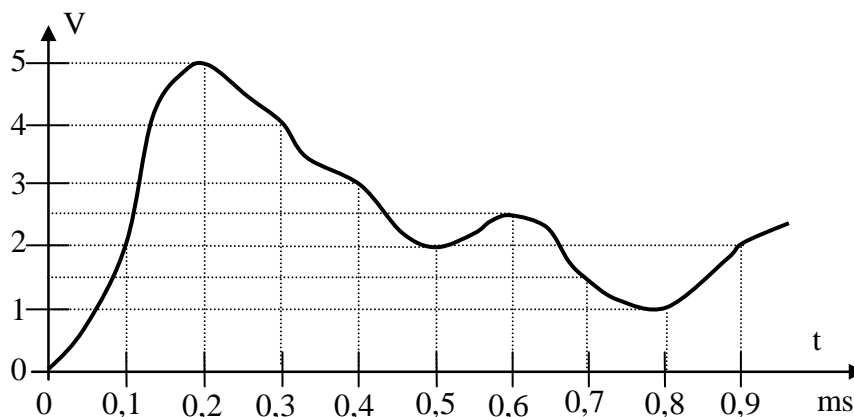
- 1) Donner le nombre minimum de bits nécessaires pour effectuer correctement cette conversion. (2 pts)

Au moins 10 bits

- 2) Estimer la fréquence minimale d'échantillonnage. Expliquer les raisons de ce choix. (1 pt)

D'après Shannon Nyquist, au moins 6800 Hz.

- 3) Le microphone a enregistré la séquence suivante que l'on échantillonne à $f_e = 10 \text{ kHz}$ pour le convertir en mots de 12 bits. Le codage se fait par valeur inférieure (troncature). Donner les 10 premières valeurs codées en décimal et en hexadécimal qui sont stockées dans le fichier représentant le son numérique. (2 pts)



- 4) Un signal parasite (bruit) d'amplitude crête à crête de 30 mV s'ajoute au signal mesuré par le microphone. Celui-ci ne peut pas être filtré.

a) Quelle est l'erreur engendrée sur la valeur codée par le convertisseur analogique numérique. Représentez cette valeur sous forme décimale et hexadécimale. (1.5 pts)

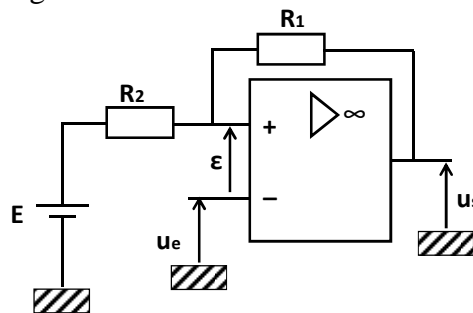
Une erreur de 30 mV induit une erreur de quantification = 24 (valeur rdécimale) ou 0x18 (valeur hexadécimale)

b) La résolution effective du convertisseur est le nombre de bits du résultat de conversion qui ne sont pas affectés par le bruit. Donnez la résolution effective de ce convertisseur ? (1.5 pts)

0x18 = 0b 11000 → ce bruit risque de fausser les 5 bits de poids faible. La résolution effective du convertisseur est donc de 7 bits.

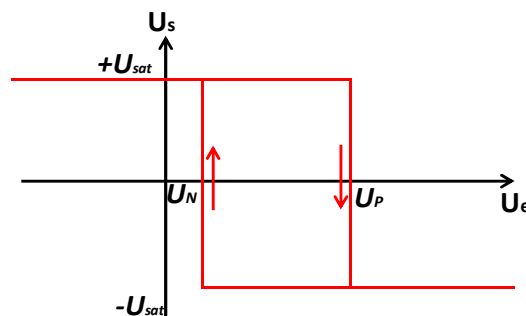
Exercice 3 (4 pts)

On considère le montage suivant où l'A.O est supposé idéal. Les tensions d'alimentation sont +/- 10 V, les composants sont respectivement définis par les valeurs numériques $R_1=10\text{ k}\Omega$, $R_2=1\text{ k}\Omega$. La tension E est égale à 3 V.



1) Identifier le type de montage réalisé et tracer la caractéristique $u_s(u_e)$ en précisant les valeurs numériques importantes et nécessaires. (2 pts)

Monostable inverseur. $U_p = E \cdot R_1 / (R_1 + R_2) + U_{sat} \cdot R_2 / (R_1 + R_2) = 3.64\text{ V}$ et $U_n = U_p = E \cdot R_1 / (R_1 + R_2) - U_{sat} \cdot R_2 / (R_1 + R_2) = 1.82\text{ V}$ pour $U_{sat} = 10\text{ V}$.



2) Tracer la réponse à un signal $u_e(t) = 5 \sin(2\pi t)$. (1 pt)

Période = 1 seconde, le signal est initialement égal à 10 V ($u_e = 0$). A chaque fois que le signal dépasse 3.64 V, la sortie passe à -10 V. A chaque fois que le signal passe sous 1.82 V, la sortie passe à 10 V

3) Même chose pour un signal $e(t) = 2.7 + 0.5 \sin(200\pi t)$. (1 pt) *Le signal est initialement à 10 V. l'amplitude du sinus reste comprise entre U_n et U_p → la sortie reste égale à 10 V.*

Contrôle Systèmes électroniques pour les communications

2^{ème} année MIC – 2011/2012

Tous documents autorisés / 1 heure

Le barème est donné à titre indicatif.

Il sera tenu compte des justifications apportées à chaque réponse, ainsi que de la présentation. Répondez de manière concise aux questions, inutile de recopier le cours.

1) On dispose d'un CAN numérisant un signal d'entrée sur N bits et dont la pleine échelle est comprise entre 0 V et 7 V. Le CAN fonctionne en conversion par troncature. Déterminez N pour avoir une erreur de conversion inférieure à 2 mV. (2 pts)

N = 12 bits → résolution = 1.71 mV → erreur de conversion max en troncature = 1.71 mV.

Remarque : un point pour chacune des questions.

2) Le CAN précédent est utilisé pour convertir un signal dont le spectre est borné entre 10 Hz et 8 KHz.

a. Quelle est la fréquence d'échantillonnage minimale ? (1 pt)

D'après le théorème de Shannon, $f_e > 16$ KHz.

b. L'entrée du convertisseur peut être soumise à des parasites électriques. Peut-on craindre des problèmes de repliement de spectre ? Quelle solution proposez-vous pour éviter ce problème ? (2 pts)

Oui car le spectre de ces parasites n'est à priori pas connu et que son contenu fréquentiel peut être supérieur à $f_e/2$ → phénomène de repliement. La solution est de borner le spectre du signal d'entrée par un filtre passe-bas anti-repliement, dont la fréquence de coupure = 8 KHz.

Remarque : un point pour chacune des questions. Si aucune justification, les points ne sont pas comptés.

3) On considère maintenant un CAN 12 bits dont la pleine échelle est comprise entre 0 V et 5 V. Le mot binaire en sortie de celui-ci, exprimé en base hexadécimale, est égal à 0x1F4. La conversion étant de type troncature, quelle est (ou quelles sont) la ou les valeurs possibles de la tension appliquée sur l'entrée du CAN ? (2 pts)

Pas de conversion = $5/2^{12} = 1.2207$ mV

*Le code 0x1F4 représente un nombre = 500. La tension d'entrée associée à ce code = $500 * 1.2207$ mV = 610.35 mV.*

Cependant, la conversion introduisant une erreur, toute tension d'entrée comprise entre 610.35 mV et $610.35 + 1.22 = 611.57$ mV peut conduire au code 0x1F4 (la conversion étant de type troncature).

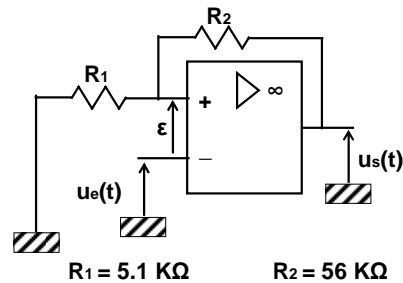
J'ai compté juste si la réponse est : $0.61 < u < 0.61 + 1.22$ mV

Remarque : on sanctionnera toute imprécision sur le résultat numérique. Si les étudiants oublient l'erreur de conversion, on ne comptera que la moitié des points.

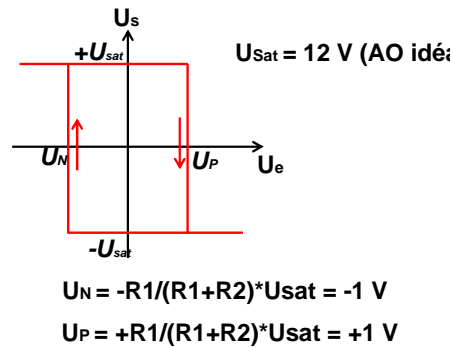
4) On dispose d'une mémoire EEPROM pour stocker un programme informatique. Celle-ci est organisée en octet. Chaque instruction est codée sur 2 octets. Sachant que l'on souhaite stocker un programme composé de 17000 instructions, sur combien de bits au minimum doit être codée l'adresse mémoire. (2 pts)

17000 instructions $\rightarrow 2 \times 17000 = 34000$ octets. Il faut une mémoire d'au moins 2^{16} octets pour stocker le programme \rightarrow l'adresse doit être codée sur au moins 16 bits.
 1/2 points si ils calculent le nombre d'adresses nécessaires. Sinon compté 0.

5) Tracez précisément la caractéristique entrée-sortie du montage ci-dessous. Précisez le nom de ce montage. On considère un amplificateur opérationnel idéal, alimenté de manière symétrique sous 12 V. (2 pts)



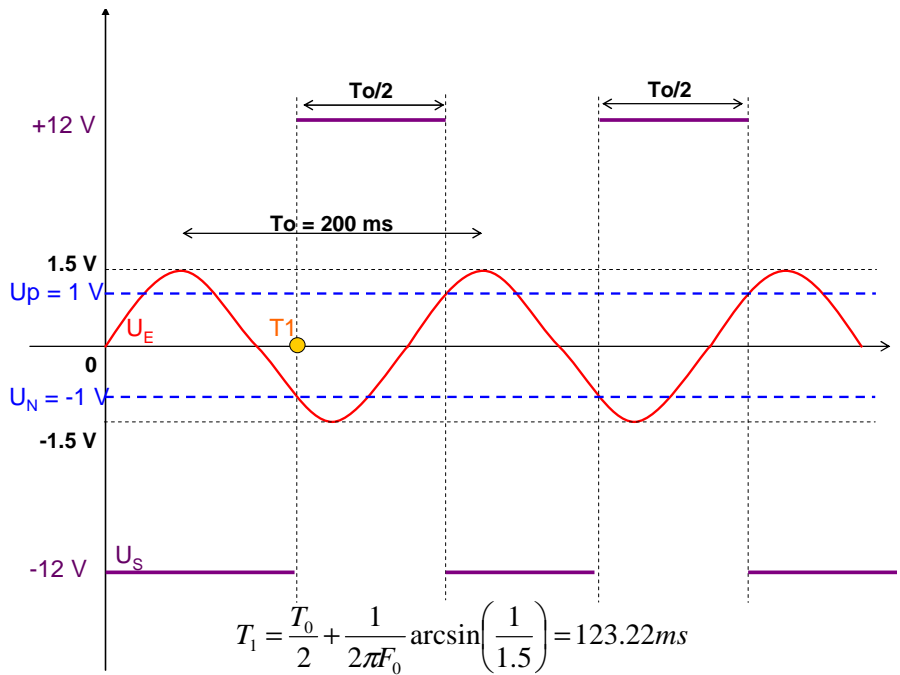
Réponse : Bistable inverseur ou montage trigger inverseur.



Remarque : Si le nom du montage n'est pas précisé, on enlève la moitié des points. Si la réponse donnée est bistable non inverseur, on ne comptera que la moitié des points. Si les seuils de basculement ou si les tensions de saturation ne sont pas explicitées, on ne comptera que la moitié des points.

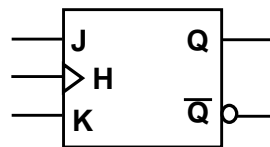
6) Tracez précisément la réponse à un signal $e(t) = 1.5 \times \sin(10\pi t)$, en supposant qu'à $t=0$, $U_s(t) = -12 \text{ V}$. (2 pts)

Remarque : Si le tracé même à main levée ne correspond pas à celui d'un bistable inverseur, pas de points. Si le tracé est fait à main levée est correct mais sans indication de temps ou d'amplitude, on ne comptera que la moitié des points.



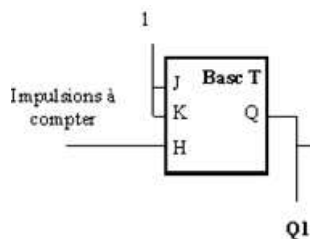
7) On souhaite réaliser un compteur asynchrone 4 bits, fonctionnant jusqu'à 50 MHz.

a. Soit la bascule JK synchrone dont la table de vérité est donnée ci-dessous. Comment réaliser un circuit qui divise par 2 la fréquence du signal appliquée sur H ? (1 pt)



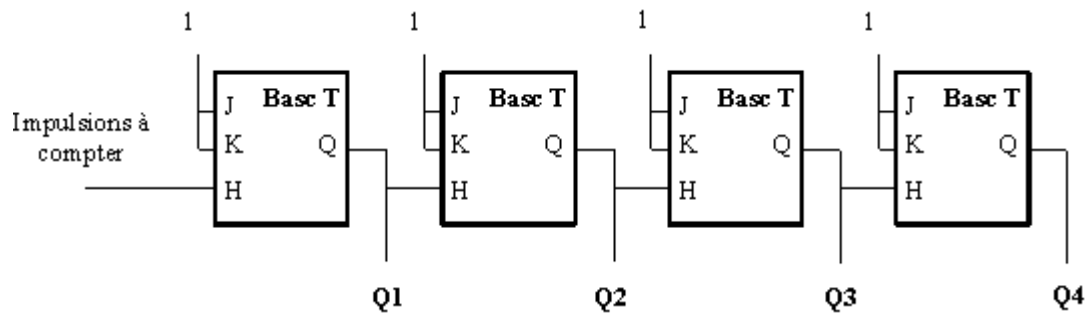
J	K	H	Q _{N+1}	Q̄ _{N+1}
0	0	↑	Q _N	Q̄ _N
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	Q̄ _N	Q _N

Remarque : notation en tout ou rien



b. Dessinez le schéma du compteur 4 bits à base de bascules JK synchrones. Doit-on craindre des aléas de comptage ? (1 pt)

Avec le montage ci-dessous, on a un décompteur. On a un compteur si on chaine les sorties Q' sur les entrées H des portes suivantes. Si la sortie est connectée à Q', on obtient un compteur. Puisque le compteur est asynchrone, il fonctionne sur un principe de propagation d'un front montant, il y a apparitions d'aléas.



Remarque : un point pour le schéma, un point pour la réponse à la question sur les aléas (justification attendue). On comptera le schéma vrai même si un décompteur est dessiné.

c. On dispose de deux types de bascules, présentant les temps de propagation suivants : 12 ns et 8 ns. Laquelle ou lesquels pouvez-vous choisir ? (1 pt)

*Pour fonctionner jusqu'à 50 MHz, le temps de propagation dans une bascule $< 1/(50\text{MHz} * 3) = 6.7 \text{ ns}$. Aucun des 2 types ne convient.*

Remarque : notation en tout ou rien. Si pas de justification, le point n'est pas compté.

d. Proposez une solution pour inhiber/activer le comptage à partir d'une entrée \overline{Enable} . Précisez le nombre et le type de portes nécessaires. (2 pts)

On inhibe le comptage si $J = K = 0$ et on l'active si $J = K = 1$. Le comptage est inhibé si l'entrée $\overline{Enable} = 1$ et active si $\overline{Enable} = 0$. On arrive donc à l'équation logique suivante :

$$J = K = \overline{(\overline{Enable})}$$

On a donc besoin de 4 portes inverseuses.

Remarque : seulement 1 point si ils ne donnent pas le montage employé.

Autre solution : on inverse le signal \overline{Enable} et on réalise l'opération AND avec l'horloge. De cette manière, on applique l'horloge uniquement quand $\overline{Enable} = 0$.

e. On souhaite démarrer le comptage à partir d'une valeur binaire donnée, notée $D_0D_1D_2D_3$. Proposez une solution \overline{Load} pour charger la valeur $D_0D_1D_2D_3$ en sortie du compteur à l'aide d'une entrée \overline{Load} . On précise que le compteur ne compte pas lorsque l'entrée \overline{Load} est active, et que le chargement se fait quelque soit l'état de l'entrée \overline{Enable} . (2 pts)

Il faut commander correctement les entrées J_i et K_i de chaque bascule i en fonction des entrées \overline{Load} , \overline{Enable} et D_i . A partir d'une table de vérité, on peut montrer que :

$$J_i = D_i \cdot \overline{(\overline{Load})} + \overline{(\overline{Enable})} \cdot \overline{Load}$$

$$K_i = \overline{D_i} \cdot \overline{(\overline{Load})} + \overline{(\overline{Enable})} \cdot \overline{Load}$$

Il faut 2 portes inverseuses et 9 portes And (en supposant que les portes aient une sortance suffisante).

Contrôle Systèmes électroniques pour les communications

2^{ème} année MIC – 2011/2012

Tous documents autorisés / 2 heures

Le barème est donné à titre indicatif.

Il sera tenu compte des justifications apportées à chaque réponse, ainsi que de la présentation.

On souhaite utiliser un capteur de température dont le signal de sortie, exprimé en Volts, est donné par l'expression : $Temp(T) = 0.6 \cdot 10^{-3} T + 5$; avec T température qui varie entre -30° et $+100^\circ$ et que l'on exprime en degrés Celsius. On supposera que la température varie temporellement au maximum 5 fois par seconde.

On dispose d'un AO dont les caractéristiques données par le constructeur sont :

- Unity gain bandwidth= 100kHz (*On rappelle que ce paramètre équivaut à un produit gain bande pour un gain unitaire*)
- Open loop Gain 12V/ μ V
- Slew rate = $\text{Max}(du_s/dt)$: à spécifier (*on note u_s la tension de sortie de l'AO*)
- Power supply maximum: +/- 6V.
- Impédance différentielle d'entrée = 10^{12} Ohms.
- Impédance de sortie: 5 Ohms.

- 1) Retrouvez l'expression "open loop" $A(f) = u_s(f)/\epsilon(f)$ de l'AO en spécifiant les valeurs des paramètres de votre expression. Esquissez le tracé asymptotique module et argument dans le plan de Bode. (2 pts)
- 2) Donnez la constante de temps de l'AO et son gain stationnaire (ou dans le jargon appelé gain statique) que vous exprimerez exprimé en dB. (2 pts)
- 3) Donnez la valeur du gain maximum qui peut être associé à ce capteur de température. (1 pt)

Le constructeur propose le schéma décrit à la figure 1 pour exploiter son capteur où on souhaite placer l'analyseur en sortie du montage.

- 4) Complétez exhaustivement TOUT le câblage de tous les éléments du montage sur la fig. 1. (1 pt)
- 5) Quelle est l'impédance maximale du capteur de température ? On se référera à satisfaire au moins à 10% le critère d'adaptation en impédance. (1 pt)
- 6) Pourquoi peut-on considérer l'étude de chaque Bloc indépendamment ? (1 pt)
- 7) Pourquoi le bloc1 doit il être un filtre passe-haut ? Justifier le choix de la fréquence de coupure ? Donner la valeur possible et le type d'impédance Z1 (qui pourrait être de type R, L ou C). (2 pts)
- 8) Donnez la valeur numérique du gain maximum du montage amplificateur non inverseur assuré par le bloc2 et proposer le type et la valeur numérique de Z2. (2 pts)

Dans la suite on suppose que le gain stationnaire du Bloc2 est de 36dB.

- 9) Donnez la fréquence de coupure du bloc 2. (1 pt)
- 10) Pour pouvoir observer une variation du milli degré, quelle doit être la précision de mesure de l'analyseur ? (1 pt)

- 11) On présente à $t=0$; à l'entrée du bloc2, un signal de type échelon de tension d'amplitude $E=1V$. Calculez la réponse et tracez la forme du signal reçu par l'analyseur. (2 pts)
- 12) Donnez le temps t_1 avant la saturation en amplitude. (1 pt)
- 13) Spécifiez au constructeur la valeur minimale du slew rate qui garantit la forme du signal perçu par l'analyseur. On pourra calculer la pente du signal en réponse au signal échelon. (1 pt)
- 14) Votre collègue prétend qu'il a observé pour un signal d'entrée sinusoïdal $E.\sin(2\pi ft)$ avec $E=1V$ que la sortie du montage n'était pas en saturation. Retrouvez la fréquence f à partir de laquelle il a pu observer cela. (1 pt)
- 15) Votre collègue soutient que pour cette fréquence les signaux d'entrée et de sortie sont parfaitement superposés. Est-ce possible ou n'a-t-il jamais effectué cette observation ? Justifiez. (1 pt)

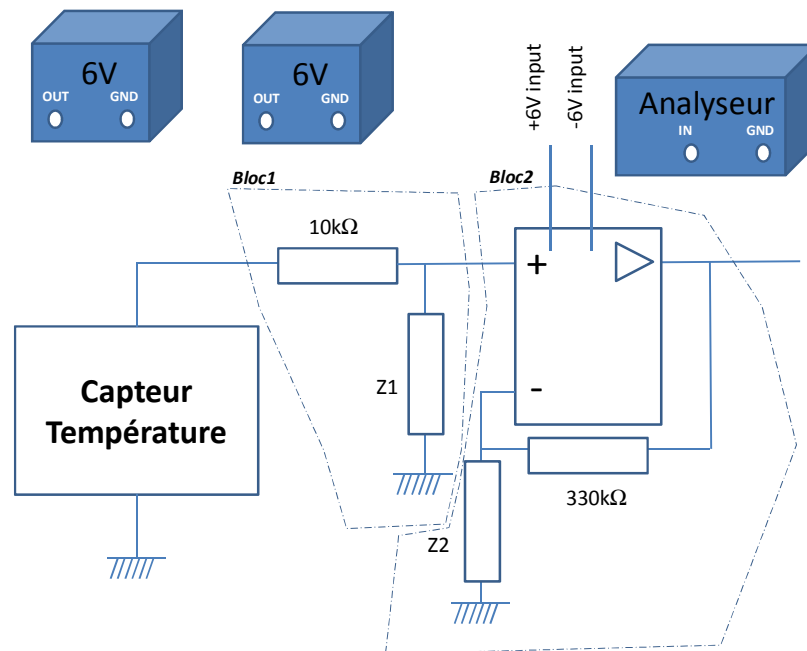


Fig. 1 – Schéma électrique du montage de conditionnement du signal fourni par le capteur

L'opérateur (circuits)

1) $A(f) = \frac{S(f)}{E(f)}$ est du premier ordre, donc s'écrit $A(f) = \frac{A_0}{1+jf/f_0}$
 avec $A_0 = \text{open loop gain} = 12 \text{ V}/\mu\text{V} = 12 \cdot 10^6 \text{ V/V}$. soit 141,6 dB.

$f_0 = \text{fréquence de coupure}$
 $= \frac{f_T}{A_0} = \frac{100 \text{ kHz}}{12 \cdot 10^6} = \frac{10^5}{12 \cdot 10^6} = 0,008 \text{ Hz}$.

2) $\tau_0 = \frac{1}{2\pi f_0}$
 $\tau_0 = 19 \text{ s}$

3). $\text{Temp}(T) = 0.6 \cdot 10^{-3} T + 5$
 $T_{\text{min}} = -30^\circ\text{C} \rightarrow 0.6 \cdot 10^{-3} (-30) + 5 = 4,982 \text{ V}$
 $T_{\text{MAX}} = 100^\circ\text{C} \rightarrow 0.6 \cdot 10^{-3} (100) + 5 = 5,06 \text{ V}$
 or $V_{\text{SAT}} \approx \text{Power Supply max} = 6 \text{ V}$
 Gain max en saturation: $\frac{6}{5.06} = 1.185$
 valeur ridiculement faible étant donné l'offset de se

4). Il faut donc supprimer l'effet par un filtre passe-haut qui doit laisser passer les variations temporelles de température estimées à 5 Hz (5 fois par seconde dixit énoncé)

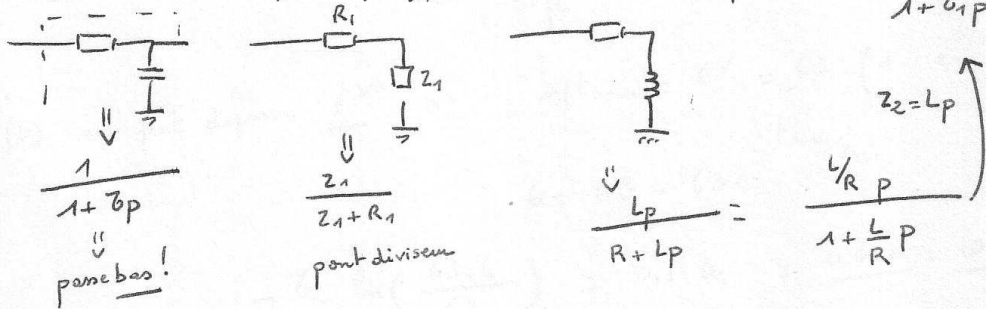
② 34'

1) La résistance de 10 kΩ représente, macroscopiquement, l'entrée du bloc 1. Le critère d'adaptation d'impédance impose

$$Z_{\text{capteur}} \ll Z_{e, \text{ bloc 1}} ; \text{ si on s'accorde au critère de } 10^3$$

$$Z_{\text{capteur, max}} = \frac{Z_{e, \text{ bloc 1}}}{10} = 1 \text{ k}\Omega.$$

7) Il faut éliminer offset (cf 3), de passe haut $T_{\text{passe-haut}} = \frac{z_1 p}{1 + z_1 p}$



8) Si on supprime offset; $T_{\text{min}} \Rightarrow -18 \text{ mV}$ $T_{\text{max}} \Rightarrow 60 \text{ mV}$ en sortie du filtre

$$|U_{\text{SAT}}| = 6 \text{ V} \Rightarrow \text{Gain}_{\text{max}} = \frac{60 \cdot 10^{-3}}{U_{\text{SAT}}}$$

$$\text{Gain}_{\text{max}} = \frac{6}{60 \cdot 10^{-3}} = \frac{100}{1} \cdot (40 \text{ dB})$$

Le bloc 2 est un montage amplificateur non inverseur de gain $\text{MAX} = 1 + \frac{330 \cdot 10^3}{R_2}$

$$Z_2 = R_2 = R_{2, \text{max}} = 3.3 \text{ k}\Omega$$

$$3) \quad 36 \text{ dB} \Rightarrow 20 \lg x = 36$$

$$x = 10^{36/20} \approx 63.$$

$$\text{PGB} = A_0 f_0 = 63 \cdot f_c \Rightarrow f_c = \frac{100 \text{ kHz}}{63} \approx 1.6 \text{ Hz.}$$

10) $10^{-3} \text{ T de variation} \Rightarrow (0.6 \cdot 10^{-6}) \times 63 = 37.8 \cdot 10^{-6} \text{ V}$
 \downarrow précision de mesure.

2) J4.F

11).



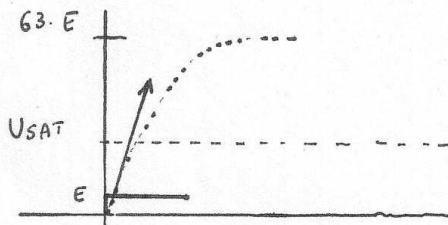
$$S(p) = \frac{E}{P} \times \frac{63}{1 + jf/fc} \Rightarrow \Delta(t) = 63 \cdot E \left(1 - e^{-t/\tau_c} \right)$$

$$\tau_c = \frac{1}{2\pi f_c} = \frac{1}{2\pi \cdot 1.6} \approx 0,1 \text{ s.}$$

12) $\Delta(t)$ ne peut dépasser $\underline{6V} \Rightarrow \Delta(t_{\max}) = 6V = 63 \left(1 - e^{-t_{\max}/\tau_c} \right)$

$$6 = 63 - 63 e^{-t_{\max}/\tau_c}$$

$$-\tau_c \ln\left(\frac{63-6}{63}\right) \approx 0,1 \tau_c = \underline{0,01 \text{ s.}} = \underline{10 \text{ ms}}$$



13). La "pente" de la réponse doit être inférieure au slew rate de l'AO, sinon phénomène de triangulisation.

conséquence $\frac{63}{\tau_c} = 630 \text{ V/s.}$

14). La sortie ne sature qu'à partir d'une amplitude de 6V.

soit $\left| \frac{63}{1 + jf/fc} \right| = 6$ puisque $E = 1V$.

fonction décroissante

$$\Rightarrow \frac{63}{6} = \sqrt{1 + \left(\frac{f}{f_c}\right)^2} \Rightarrow f = f_c \sqrt{\left(\frac{63}{6}\right)^2 - 1}$$

$$= 10,45 f_c$$

$\approx 10 f_c \approx \underline{16 \text{ Hz}}$

15). Se ment ; car si il existe une fréquence pour laquelle on aura forcément un déphasage de $\underline{-\pi/2}$.

$$\left| \frac{63}{1 + jf/fc} \right| = 1$$

③ B.C.F

Examen Systèmes électroniques pour les communications

2010-2011

Durée 2h – Documents (cours, TD et TP) autorisés

Tous documents autorisés / durée= 2 heures

Le barème est donné à titre indicatif.

Il sera tenu compte des justifications apportées à chaque réponse, ainsi que de la présentation.

Exercice 1 : Etude Montage électronique linéaire et saturée (9pts)

On considère le montage suivant où l'A.O est supposé idéal. Les tensions d'alimentation sont ± 15 Volts, les composants sont respectivement définis par les valeurs numériques $R_2=100k\Omega$, $R=1k\Omega$, $C_2=100nF$. Les broches notées IN1 et IN2 peuvent être connectées à la borne « + » ou à la borne « - » de l'A.O.

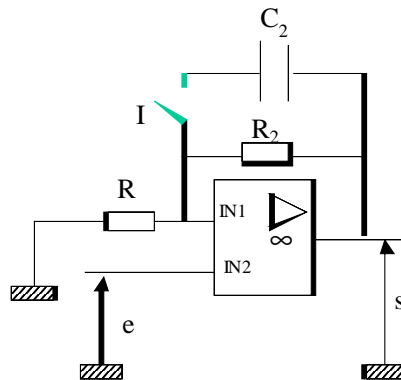


Figure 1

- 1) On suppose la connexion suivante : IN1= borne « + » ; IN2= borne « - », l'interrupteur I est ouvert
- a. Identifier le type de montage réalisé et tracer la caractéristique $s(e)$ en précisant les valeurs numériques importantes et nécessaires. [1pt]

Montage bistable inverseur. Caractéristique présentant un hystérésis avec : $U_n = -R/(R+R_2) \cdot U_{sat} = -150 \text{ mV}$ et $U_p = R/(R+R_2) \cdot U_{sat} = 150 \text{ mV}$.

- b. Réponse à un signal $e(t) = 0.5 \sin(2\pi t)$, en supposant qu'à $t=0$, $s(t) = -15 \text{ V}$. [1pt]

A $t = 0$, $s(t) = -15 \text{ V}$ et $e(t) = 0 \rightarrow$ la sortie reste en saturation. La sortie bascule à $+15 \text{ V}$ quand $e(t)$ passe en dessous de 0.15 V . Elle rebasculé à -15 V lorsque l'entrée passe au dessus de 0.15 V . Il faut attendre $t = 0.55 \text{ s}$. Ensuite, la sortie bascule périodiquement toutes les 0.5 s .

- 2) Un technicien intervertit le brochage précédent et effectue donc le montage avec la connexion suivante : IN1= borne « - » ; IN2= borne « + », l'interrupteur I est toujours ouvert.

- c. Donner en dB puis en mV/V le gain stationnaire de ce montage en boucle fermée. [1pt]

Réalisation d'un montage amplificateur non inverseur. Le gain = $1 + R_2/R = 101$.

Gain = $20 \log(101) \approx 40 \text{ dB}$.

- d. Estimer l'amplitude maximale du signal d'entrée avant saturation en amplitude. [1pt]

La sortie sature lorsque $s(t) = \pm 15 \text{ V}$. L'amplitude max de l'entrée = $\pm 15 / 101 = 0.15 \text{ V}$.

A présent toujours avec le même brochage, on ferme l'interrupteur I.

- e. Déterminer la fonction de transfert : $K(p) = \frac{S(p)}{E(p)}$. [2pts]
- f. Préciser la valeur numérique des deux fréquences de coupure. [1pt]
 $K(p) = (p+wn)/(p+wd)$, $wn = (R+R2)/RR2C \approx 10000$ rad/s et $wd = 1/R2C \approx 100$ rad/s. Le gain statique = $1+R2/R = 101$
- g. Effectuer le tracé asymptotique (module et argument) dans le plan de Bode. [1pt]
 Pour $w < wd$, le gain est constant = 101. Pour $wd < w < wn$, le gain chute avec une pente à -20 dB/dec.
 L'argument est nul en $f = 0$. Il tend vers -90° entre wd et wn . Il est égal à -45° en $w = wn$ et $w = wd$. Pour $w > wn$, l'argument tend vers 0° .
- h. On présente à l'entrée un signal $e(t) = 1.8 \sin(2\pi 160t)$. tracer la réponse temporelle du signal $s(t)$. [1pt]
 Pour $f = 160$ Hz, $w = 1005$ rad/s, donc le gain à cette fréquence est environ égal au gain statique divisé par 10 \rightarrow gain = 10. Donc le signal de sortie est sinusoïdal, avec une amplitude de 0.18 V. Le signal de sortie est déphasé d'environ -90° sur le signal d'entrée, il est donc en retard d'un quart de période environ.

Exercice 2 : Etude de la sortance (Fan-Out) d'une bascule D en technologie TTL (5 pts)

On se propose d'étudier la sortance d'une bascule D dont la référence donnée par le constructeur est **74LS74**. Le tableau 1 ci-dessous rappelle, quelle que soit la fonction logique réalisée, les principales caractéristiques électriques et temporelles qui diffèrent entre les technologies TTL existantes.

Type de technologie	N	L	H	S	AS	LS	ALS
Tension d'alimentation Vcc	5 V	5 V	5 V	5 V	5 V	5 V	5 V
Voh(min)	2,4 V	2,4 V	2,4 V	2,7 V	2,7 V	2,7 V	2,7 V
Vih(min)	2 V	2 V	2 V	2 V	2 V	2 V	2 V
Vol(max)	0,4 V	0,3 V	0,4 V	0,5 V	0,5 V	0,5 V	0,5 V
Vil(max)	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V	0,8 V
Retard de propagation	10 ns	33 ns	6 ns	3 ns	1,5 ns	9,5 ns	4 ns
Consommation	10 mW	1 mW	22 mW	19 mW	20 mW	2 mW	1 mW
Entrance* à l'état haut (1UL)	40 μ A	10 μ A	50 μ A	50 μ A	200 μ A	20 μ A	20 μ A
Entrance* à l'état bas (1UL)	1,6 mA	180 μ A	2 mA	2 mA	2 mA	400 μ A	200 μ A
Sortance* à l'état haut (1UL)	400 μ A	200 μ A	500 μ A	1 mA	2 mA	400 μ A	400 μ A
Sortance* à l'état bas (1UL)	16 mA	3,6 mA	20 mA	20 mA	20 mA	8 mA	8 mA

* : l'entrance et la sortance correspondent tout deux à une charge unité, autrement dit pour une entrée et pour une sortie.

Tableau 1 : Comparaison des technologies TTL.

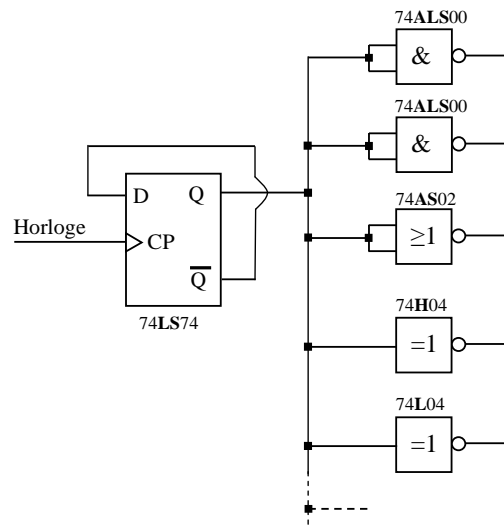


Figure 2

Soit le montage présenté sur la figure 2 dans lequel on considère que la sortie Q de la bascule D est au niveau logique bas. D'après cette figure, ce niveau logique (0) est imposé aux entrées des portes NAND (74ALS00), NOR (74AS02), NON (74H04, 74L04).

- 1) Quel est le niveau de tension maximal qui garantit un niveau logique bas en sortie ($Q=0$) de la bascule ? Donner sa valeur. [0.5 pt]
 D'après le tableau, comme la bascule D est de type LS, la tension de sortie doit être inférieure à $V_{ol} = 0.5\text{ V}$ pour qu'on puisse considérer le niveau logique comme un état bas.
- 2) Redessiner la figure 2 sur votre copie et représenter le sens de circulation des courants situés entre la sortie de la bascule (Q) et les entrées relatives à chacune des portes logiques. Représenter également les vecteurs tension associés à ce niveau logique. [0.5 pt]
 Toutes les entrées sont à l'état bas, donc une tension relativement faible $< 0.5\text{ V}$. Il y a une compatibilité entre la bascule D et les portes qui suivent puisque $V_{il} = 0.8\text{ V}$. Les différentes portes connectées sur la sortie sont de technologies TTL différentes, mais vont toutes fournir un courant (entre $180\text{ }\mu\text{A}$ et 2 mA suivant la techno) que devra absorber la sortie de la bascule D.
- 3) Quel est le courant maximum admissible sur la sortie ($Q=0$) de la bascule ? Donner sa valeur. On rappelle que les données du tableau sont à prendre en compte pour chaque entrée lorsqu'une porte en comporte plusieurs. [1 pt]
 D'après le tableau, une porte de type LS peut supporter à l'état bas jusqu'à 8 mA (sortance à l'état bas). Théoriquement, le Montage de la figure 2 peut fonctionner puisque l'ensemble des portes connectées vont fournir 7 mA .
- 4) Combien de portes logiques 74L04 peut-on connecter en parallèle sans risquer de détériorer la sortie Q de la bascule ? Justifier votre réponse. [1.5 pt]
 Si on suppose qu'on ne connecte qu'une seule entrée par portes, puisque chaque entrée ne fournit que $180\text{ }\mu\text{A}$, on peut connecter jusqu'à 44 portes sur la sortie, lorsque celle-ci fixe un état bas.

A présent on considère que la sortie Q de la bascule présente un état logique haut.

- 5) Quel est le courant maximum disponible sur la sortie ($Q=1$) de la bascule ? Donner sa valeur. [1 pt]
 A l'état haut, une porte de type LS peut débiter en sortie jusqu'à $400\text{ }\mu\text{A}$ (sortance à l'état haut). Théoriquement, le Montage de la figure 2 ne peut pas fonctionner puisque l'ensemble des portes connectées vont consommer $540\text{ }\mu\text{A}$.
- 6) Compte tenu du nombre total de portes logiques connectées sur la sortie (Q) existe-t-il un risque de détérioration de la bascule ? Justifier votre réponse. [0.5 pt]
 D'après les réponses aux questions 4 et 5, il y a un risque de détérioration quelque soit l'état de sortie.

Exercice 3 – Générateur de signaux périodiques (6 points)

On souhaite mettre au point un générateur de signaux périodiques (sinusoïdaux, carré, triangle) à fréquence et à amplitude programmable. La plage de fréquence du signal de sortie doit couvrir la bande 1 Hz – 50 kHz.

La figure 3 présente le schéma bloc du système. Le générateur emploie une méthode de synthèse numérique du signal. Pour chacune des formes à générer (sinus, carré, triangle), le signal a été au préalable échantillonné sur une période, avec 1024 points par période, puis numérisé sur N bits. Les 1024 mots binaires issus de la conversion ont enfin été inscrits dans une mémoire. Ainsi, à chaque adresse de la mémoire correspond un point du signal à générer. L'adressage de la mémoire commence à partir de l'adresse binaire 0.

Pour générer le signal, le contenu de la mémoire est lu en boucle par l'intermédiaire d'un compteur d'adresse, qui s'incrémente régulièrement. Le compteur d'adresse est synchronisé par un signal d'horloge H. La donnée fournie par la mémoire est ensuite convertie par un convertisseur numérique analogique (CNA) en un signal analogique UCNA. Le signal est ensuite transmis à un étage à gain variable permettant d'ajuster l'amplitude du signal de sortie Us.

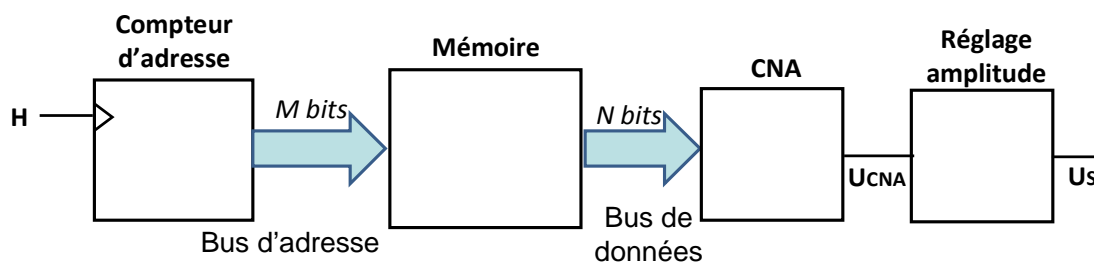


Figure 3 - Schéma bloc du générateur de signaux périodique

- 1) Est-il plus judicieux d'employer une mémoire SRAM, DRAM ou EEPROM dans cette application ? Pourquoi ? [1 pt]

On a besoin d'une mémoire non volatile pour conserver durablement les points du signal numérisé. Il faut donc employer une EEPROM.

- 2) Déterminer le nombre de bits minimal N permettant d'obtenir une résolution inférieure ou égale à 0.5 %. [1 pt]

Resolution (%) = $100 * 1/2^N$. $N = -\ln(\text{Res}/100)/\ln(2) \rightarrow N = 8$ bits.

- 3) Quelle doit être la taille en nombre de bit M du bus d'adresse ? [1 pt]

Pour chacune des fonctions, la mémoire doit être capable de stocker au moins 1024 mots, donc il faut un mot d'au moins 10 bits pour représenter toutes les adresses possibles. Le bus d'adresse comporte donc au moins 10 lignes.

Cependant, comme on a 3 fonctions différentes, on a besoin d'une mémoire capable de stocker $3 * 1024$ mots.

Le compteur peut conserver une taille de 10 bits, il suffira d'ajouter un offset à l'adresse initiale.

- 4) Etablir la relation entre la fréquence du compteur d'adresse et la fréquence du signal de sortie ? Quelle est la fréquence de l'horloge du compteur d'adresse si la fréquence du signal de sortie est de 1 Hz ? Si elle est de 50 kHz ? [1 pt]

A chaque fois que le compteur d'adresse s'incrémente, l'adresse mémoire s'incrémente et un nouveau point du signal numérisé est fourni par la mémoire. Pour représenter une période du signal numérisé, il faut lire les 1024 points de la courbe, donc : $T_{\text{signal}} = 1024 * T_{\text{compteur}}$.

Pour $F_{\text{signal}} = 1$ Hz $\rightarrow T_{\text{signal}} = 1$ s $\rightarrow T_{\text{compteur}} = 977 \mu\text{s} \rightarrow F_{\text{compteur}} = 1024$ Hz

Pour $F_{\text{signal}} = 50$ KHz $\rightarrow T_{\text{signal}} = 20 \mu\text{s} \rightarrow T_{\text{compteur}} = 19.53$ ns $\rightarrow F_{\text{compteur}} = 51.2$ MHz

- 5) Vous disposez de deux mémoires EEPROM fournies par deux constructeurs différents, appelée mémoire A et mémoire B. La mémoire A présente un temps d'accès en lecture de 10 ns, la mémoire B de 20 ns. Quelle mémoire choisissez-vous ? Justifier votre réponse. [1 pt]

Le temps d'accès mémoire doit être plus court que la période de comptage minimale, qui fixe la fréquence du signal de sortie.

Plaçons nous dans le cas où on génère un signal de fréquence max = 50 KHz. $T_{\text{signal min}} = 1/50\text{KHz} = 20 \mu\text{s}$.
 $T_{\text{cptr min}} = T_{\text{signal min}}/1024 = 19.53 \text{ ns}$ → il faut choisir la mémoire A puisqu'elle est la seule capable de fournir une donnée en moins de 19.53 ns.

- 6) On souhaite réaliser le compteur d'adresse à partir d'un compteur asynchrone formé de bascules D. Proposez un schéma électrique du compteur d'adresse. Quel doit être la valeur maximale des temps de propagation de chacune des bascules D ? [1 pt]

10 bascules D chaînées, montées en diviseur de fréquence. La fréq max de comptage $F_{\text{max}} = 1/((N-1)*T_{\text{p max}})$
→ $T_{\text{p max}} = 1/((N-1)*F_{\text{max}})$. $F_{\text{max}} = 1/19.53 \text{ ns} = 51.2 \text{ MHz}$
 $T_{\text{p max}} = 1/((10-1)*51.2 \text{ MHz}) = 2.2 \text{ ns}$. Chaque bascule D doit présenter un temps de propagation inférieure à 2.2 ns.

--- *Fin de l'épreuve* ---

