

Thèse

# Contribution à la conception d'un circuit analogique programmable en technologie CMOS:

## Conception et caractérisation d'une cellule de calcul analogique

Présentée devant  
L'institut national des sciences appliquées de Lyon

Pour obtenir  
Le grade de docteur

Formation doctorale :  
Dispositifs de l'électronique intégrée  
École doctorale : Electronique, Electrotechnique, Automatique (E.E.A)

Par  
**Alain Aubert**  
Soutenue le 21 Décembre 2001 devant la Commission d'examen

### **Jury MM.**

---

	B. ALLARD	Maître de conférence (INSA de Lyon)
Rapporteur	G. CAMBON	Professeur (Montpellier)
	J.P. CHANTE	Professeur (INSA de Lyon)
Rapporteur	R. GRISEL	Professeur (Université Picardie à Amiens)
	GN. LU	Professeur (UCBL)
	C. PREMONT	Ingénieur ST Microelectronics

---

# Écoles Doctorales

---

## **Matériaux de Lyon**

INSAL – ECL -UCB. Lyon1 – Univ. De Chambéry – ENS

**Responsable :** Professeur A. HOAREAU, UCBL (Tél. : 04.72.44.85.66)

### **Formations doctorales associées :**

Génie des Matériaux (Pr. R. FOUGERES, Tél : 04. 72. 43. 81 .49)

Matière condensée surfaces et interfaces

(Pr. G. GUILLOT, Tél : 04.72.43.81.61)

Matériaux polymères et composites

(Pr. H. SAUTEREAU, Tél : 04.72.43.81.78)

---

## **Mécanique, Energétique, Génie Civil, Acoustique (MEGA)°**

**Responsable :** Pr. J. BATAILLE, ECL (Tél : 04.72.43.8079)

### **Formations doctorales associées :**

Acoustique (Pr. J.L. GUYADER, Tél : 04.72.43.80.80)

Génie Civil : Sols, matériaux, structures, physique du bâtiment

(Pr. P. LAREAL, Tél : 04.72.43.82.16)

Mécanique (Pr. G. DALMAZ, Tél : 04.72.43.83.03)

Thermique et Energétique (Pr. M. LALLEMAND, Tél : 04.72.43.81.54)

---

## **Électronique, Électrotechnique, Automatique (EEA)**

INSAL - ECL – UCB. Lyon1 – Univ. de Saint-Etienne

**Responsable :** Professeur G. GIMENEZ, INSAL (Tél : 04.72.43.83.32)

### **Formations doctorales associées :**

Acoustique (Pr. J.L. GUYADER, Tél : 04.72.43.80.80)

Automatique Industrielle (Pr. SCAVARDA, Tél : 04.72.43.83.41)

Dispositifs de l'électronique intégrée (Pr. P. PINARD, Tél : 04.72.43.80.79)

Génie biologique et médical (Pr. I MAGNIN, Tél : 04.72.43.85.63)

Génie électrique (Pr. J.P. CHANTE, Tél : 04.72.43.87.26)

Signal, Image, Parole (Pr. G. GIMENEZ, Tél : 04.72.43.83.32)

---

**Ecole doctorale interdisciplinaire Sciences-Santé (EDISS)**

INSAL – UCB Lyon1 – Univ. de Saint-Etienne – Univ. Aix-Marseille2

**Responsable :** Professeur A. COZZONE, CNRS-Lyon (Tél 04.72.72.26.75)

**Formations doctorales associées :**

Biochimie (Pr. M. LAGARDE, Tél : 04.72.43.82.40)

Génie biologique et médical (Pr. I. MAGNIN, Tél : 04.72.43.85.63)

---

## Autres formations Doctorales

---

### **Analyse et modélisation des systèmes biologique**

**Responsable :** Professeur S. GRENIER, INSAL Tél : 04.72.43.83.56

---

### **Chimie inorganique**

**Responsable :** Professeur P. GONNARD, INSAL Tél : 04.72.43.81.58

---

### **Conception en bâtiment et technique urbaine**

**Responsable :** Professeur M. MIRAMOND, INSAL Tél : 04.72.43.82.09

---

### **DEA Informatique de Lyon**

**Responsable :** Professeur J.M. JOLION, INSAL Tél : 04.72.43.87.59

---

### **Productique : Organisation économique et génie informatique pour l'entreprise**

**Responsable :** Professeur J. FAVREL, INSAL Tél : 04.72.43.83.63

---

### **Sciences et techniques du déchet**

**Responsable :** Professeur P. MOSZKOWICZ, INSAL Tél : 04.72.43.83.45

Décembre 2001

---

# Institut National des Sciences Appliquées de Lyon

Directeur : A. STORCK

---

## Professeurs

S. AUDISIO	physico-chimie industrielle
J.C. BABOUX	GEMPM* <sup>*</sup>
B. BALLAND	physique de la matière
D. BARBIER	physique de la matière
G. BAYADA	modélisation mathématique et calcul scientifique
C. BERGER (Mlle)	physique de la matière
M. BETEMPS	automatique industrielle
J.M. BLANCHARD	LAEPSI**
C. BOISSON	vibrations acoustiques
M. BOIVIN	mécanique des solides
H. BOTTA	équipe développement urbain
G. BOULAYE	informatique
J. BRAU	centre de thermique
M. BRISSAUD	génie électrique et ferroélectricité
M. BRUNET	mécanique des solides
J.C. BUREAU	thermodynamique appliquée
J.Y. CAVAILLE	GEMPM* <sup>*</sup>
J.P. CHANTE	composants de puissance et applications
B. CHOCAT	unité de recherche en génie civil
B. CLAUDEL	LAEPSI**
M. COUSIN	unité de recherche en génie civil
M. DIOT	thermodynamique appliquée
A. DOUTHEAU	chimie organique
R. DUFOUR	mécanique des structures
J.C. DUPUY	physique de la matière
H. EMPTOZ	reconnaissance des formes et vision
C. ESNOUF	GEMPM* <sup>*</sup>
L. EYRAUD (Prof. Émérite)	génie électrique et ferroélectricité
G. FANTOZZI	GEMPM* <sup>*</sup>

---

## Professeurs

M. FAYET	mécanique des solides
J. FAVREL	groupe de recherche en productique et informatique des systèmes manufacturiers
G. FERRARIS-BESSO	mécanique des structures
Y. FETIVEAU	génie électrique et ferroélectricité
L. FLAMAND	mécanique des contacts
P. FLEISCHMANN	GEMPMM*
A. FLORY	ingénierie des systèmes d'information
R. FOUGERES	GEMPMM*
F. FOUQUET	GEMPMM*
L. FRECON	informatique
R. GAUTHIER	physique de la matière
M. GERY	centre de thermique
G. GIMENEZ	CREATIS***
P. GOBIN (Prof. émérite)	GEMPMM*
P. GONNARD	génie électrique et ferroélectricité
M. GONTRAND	composants de puissance et applications
R. GOUTTE (Prof. Émérite)	CREATIS***
G. GRANGE	génie électrique et ferroélectricité
G. GUENIN	GEMPMM*
M. GUICHARDANT	biochimie et pharmacologie
G. GUILLOT	physique de la matière
A. GUINET	groupe de recherche en productique et informatique des systèmes manufacturiers
J.L. GUYADER	vibrations acoustiques
J.P. GUYOMAR	génie électrique et ferroélectricité
J.M. JOLION	reconnaissance des formes et vision
J.F. JULLIEN	unité de recherche en génie civil
A. JUTARD	automatique industrielle
R. KASTNER	unité de recherche en génie civil
H. KLEIMANN	génie électrique et ferroélectricité
J. KOULOUMDJIAN	ingénierie des systèmes d'information
M. LAGARDE	biochimie et pharmacologie
M. LALANNE	mécanique des structures
A. LALLEMAND	centre de thermique
M. LALLEMAND (Mme)	centre de thermique
P. LAREAL	unité de recherche en génie civil
A. LAUGIER	physique de la matière
Ch. LAUGIER	biochimie et pharmacologie

---

## Professeurs

P.	LEJEUNE	génétique moléculaire des micro-organismes
A.	LUBRECHT	mécanique des contacts
Y.	MARTINEZ	ingénierie des systèmes d'information
H.	MAZILLE	physico-chimie industrielle
P.	MERLE	GEMPM* <sup>*</sup>
J.	MERLIN	GEMPM* <sup>*</sup>
J.P.	MILLET	physico-chimie industrielle
M.	MIRAMOND	unité de recherche en génie civil
N.	MONGEREAU (Prof. Émérite)	unité de recherche en génie civil
R.	MOREL	mécanique des fluides
P.	MOSZKOWICZ	LAEPSI** <sup>**</sup>
P.	NARDON	biologie appliquée
A.	NAVARRO	LAEPSI** <sup>**</sup>
A.	NOURI (Mme)	modélisation mathématique et calcul scientifique
M.	OTTERBEIN	LAEPSI** <sup>**</sup>
J.P.	PASCAULT	matériaux macromoléculaires
G.	PAVIC	vibrations acoustiques
J.	PERA	unité de recherche en génie civil
G.	PERRACHON	thermodynamique appliquée
J.	PEREZ (Prof. Émérite)	GEMPM* <sup>*</sup>
P.	PINARD	physique de la matière
J.M.	PINON	ingénierie des systèmes d'information
D.	PLAY	conception et analyse des systèmes mécaniques
J.	POUSIN	modélisation mathématique et calcul scientifique
P.	PREVOT	groupe de recherche en apprentissage, coopération et interfaces multimodales
R.	PROST	CREATIS*** <sup>***</sup>
M.	RAYNAUD	centre de thermique
J.M.	REYNOUARD	unité de recherche en génie civil
E.	RIEUTORD (Prof. Émérite)	mécanique des fluides
J.	ROBERT-BAUDOY (Mme)	génétique moléculaire des micro-organismes
D.	ROUBY	GEMPM* <sup>*</sup>
P.	RUBEL	ingénierie des systèmes d'information
C.	RUMELHART	mécanique des solides
J.F.	SACADURA	centre de thermique
H.	SAUTEREAU	matériaux macromoléculaires

---

## Professeurs

S.	SCARVARDA	automatique industrielle
D.	THOMASSET	automatique industrielle
M.	TROCCAZ	génie électrique et ferroélectricité
R.	UNTERREINER	CREATIS***
J.	VERON	LAEPSI**
G.	VIGIER	GEMPM* <sup>*</sup>
A.	VINCENT	GEMPM* <sup>*</sup>
P.	VUILLERMOZ	physique de la matière

---

## Directeurs de recherche C.N.R.S.

Y.	BERTHIER	mécanique des contacts
P.	CLAUDY	thermodynamique appliquée
N.	COTTE-PATTAT (Mme)	génétique moléculaire des micro-organismes
P.	FRANCIOSI	GEMPM
J.F.	GERARD	matériaux macromoléculaires
M.A.	MANDRAND (Mme)	génétique moléculaire des micro-organismes
J.F.	QUINSON	GEMPM
A.	ROCHE	matériaux macromoléculaires

---

## Directeurs de recherche I.N.R.A.

G.	BONNOT	biologie appliquée
G.	FEBVAY	biologie appliquée
S.	GRENIER	biologie appliquée
Y.	MENEZO	biologie appliquée

---

## Directeurs de recherche I.N.S.E.R.M.

A.F.	PRINGENT (Mme)	biochimie et pharmacologie
I.	MAGNIN (Mme)	CREATIS***

GEMPM\* : Groupe d'étude métallurgie physique et physique des matériaux

LAEPSI\*\* : Laboratoire d'analyse environnementale des procédés et systèmes industriels

CREATIS\*\*\* : Centre de recherche et d'applications en traitement de l'image et du signal

# REMERCIEMENTS

J'adresse mes remerciements à Monsieur Pierre PINARD, professeur à l'Institut National des Sciences Appliquées de Lyon, et responsable de la formation doctorale Dispositifs de L'Electronique Intégrée.

Je remercie Monsieur Jean Pierre CHANTE, professeur à l'Institut National des Sciences Appliquées de Lyon, pour l'intérêt qu'il a voulu porter à mon travail en tant que directeur de thèse et pour m'avoir accueilli au sein de son laboratoire.

Je tiens à exprimer ma reconnaissance à Monsieur Gérard BARREAULT, tuteur JESSICA, sans qui ce projet n'aurait pu avoir lieu.

Je remercie Monsieur Richard GRISEL, professeur à l'Université Picardie Jules Vernes à Amiens, et Monsieur Gaston CAMBON, professeur à l'université de Montpellier, rapporteurs sur ce mémoire de thèse ainsi que Monsieur Christophe PREMONT, ingénieur ST Microelectronics, Monsieur Guo-Neng LU, professeur à l'université de Lyon et Monsieur Bruno ALLARD, maître de conférence (HdR) à l'Institut National des Sciences Appliquées de Lyon, membres du jury de cette thèse.

J'adresse mes sincères remerciements à Monsieur Jean Pierre WALDER, et Monsieur Patrick PANGAUD, tous deux ingénieurs de recherche CNRS à l'IPN de Lyon pour leurs conseils et leurs aides précieuses sur la conception en micro-électronique analogique.

J'exprime ma gratitude à Monsieur Cédric RUBY, étudiant en thèse à l'Institut National des Sciences Appliquées de Lyon, pour ses nombreuses et fructueuses discussions et pour son soutien inconditionnel lors de la conception du composant analogique programmable.

Je n'oublierai pas de remercier Madame Catherine PORTE, ingénieur de transfert du centre actif JESSICA, Monsieur René EHLINGER, maître conférence à l'IUT de Villeurbanne, et Monsieur Pascal BEVILACQUA, technicien du laboratoire du CEGELY pour leurs participations au projet.

Enfin, merci à toutes les personnes du CEGELY site INSA pour leur bonne humeur et l'aide qu'elles m'ont apporté au cours de ce travail de thèse.

# RESUME

Le développement d'une application en analogique est long et nécessite souvent de multiples itérations. Or, l'électronique d'aujourd'hui exige des produits qui arrivent rapidement sur le marché, c'est à dire des durées de conception et de production courtes. Face à ce défi, le concepteur analogicien est démuné de moyens et d'outils contrairement au concepteur numéricien qui lui, dispose d'un large éventail de composants logiques programmables.

Cette thèse expose la contribution à la conception d'un circuit analogique programmable qui intègre des cellules configurables de calcul analogique visant une application de conditionnement capteur, réalisant des opérations de linéarisation. Dans la plupart des cas, la courbe de réponse du capteur n'est pas linéaire ou alors le conditionneur du capteur introduit une non-linéarité. Cette application émane de la demande d'industriels désireux de réduire leur cycle et leur coût de développement dans ce domaine.

Après avoir dressé un état de l'art dans le domaine de l'analogique programmable tant au niveau universitaire qu'au niveau industriel, les spécifications d'un cahier des charges de la cellule sont exposées. La cellule de calcul analogique doit réaliser les fonctions d'amplification, d'addition, de soustraction, de multiplication, de division et de racine carrée. Cette cellule est totalement différentielle en entrée et en sortie.

Par la suite, la cellule de calcul basée autour de multiplieurs et d'amplificateurs inverseurs, est décrite et caractérisée en simulation et expérimentalement. La caractérisation expérimentale met en évidence des défauts d'offset, tous liés à des problèmes d'appariement de composants. C'est pourquoi, une seconde cellule a été développée permettant de compenser ces offsets indésirables. Des résultats de test montrent que les performances du multiplieur sont améliorées en terme de linéarité et d'offset.

Enfin, un réseau de huit cellules de calcul a été conçu dans le but de valider les performances de la cellule à travers l'exemple de linéarisation d'un capteur résistif.

**Mots clefs** : micro-électronique - programmable - analogique - cellule de calcul - CMOS

# ABSTRACT

The development of an analogue application is long and often requires multiple iterations. However, electronics requires products with short time-to-market: short design and production cycle. In front of this challenge, the analogue designer is deprived of methodologies and tools contrary to the digital designer who benefits a broad range of programmable logic devices.

This thesis exposes the contribution to the design of a programmable analogue circuit which integrates configurable cells for analogue computation targeting applications of sensor conditioning, carrying out operations of linearization. In most cases, the response curve of the sensor is not linear or the sensor conditioner introduces a non-linearity. This application is related to an industrial need with conditions of reduce cycle and development cost.

After a state of the art in the field of analogue programmable devices both at the university level and the industrial level, the specifications of the required cell are exposed. The analogue computation cell must fulfill the functions of amplification, addition, subtraction, multiplication, division and square root. This cell is completely differential at input and output.

Thereafter, the cell of computation based on multipliers and inverting amplifiers, is described and characterised in simulation and experiment. The experimental characterisation highlights offsets, all related to problems of component matching. This is why, a second cell was developed allowing to compensate for these offsets. Results show that the performances of the multiplier are improved in term of linearity and offset.

Lastly, a network of eight computation cells was designed for the validation of the cell performances through the example of a resistive sensor linearization.

**Keywords :** microelectronic - programmable - analogue - computation cell –  
CMOS

# TABLE DES MATIERES

<b>LISTE DES FIGURES ET TABLEAUX .....</b>	<b>16</b>
<b>TABLE DES SYMBOLES .....</b>	<b>20</b>
<b>INTRODUCTION.....</b>	<b>21</b>
<b>CHAPITRE 1 : .....</b>	<b>25</b>
<b>LES DIFFERENTES APPROCHES DANS LE DOMAINE DE L'ANALOGIQUE PROGRAMMABLE</b>	<b>25</b>
1. INTRODUCTION .....	26
2. LES APPROCHES UNIVERSITAIRES.....	26
2.1 <i>L'approche de l'université de Toronto</i> .....	26
2.1.1 Présentation de la cellule .....	27
a) le convoyeur de courant (Figure 3) .....	27
la transconductance (Figure 4) .....	28
2.1.2 Présentation du réseau .....	28
2.1.3 Performances électriques de la cellule .....	29
2.2 <i>L'approche C. Prémont</i> .....	30
2.2.1 Cellule configurable 1 <sup>ère</sup> génération.....	30
2.2.2 Cellule configurable 2 <sup>nde</sup> génération .....	31
2.2.3 Cellule configurable 3 <sup>ème</sup> génération .....	32
a) Présentation de la cellule.....	32
b) Calcul de la fonction de transfert de la cellule .....	33
c) Etude de l'amplificateur de courant différentiel (Figure 14) .....	34
2.3 <i>Les travaux de l'université Johns Hopkins</i> .....	36
2.4 <i>Les autres approches</i> .....	38
3. LES REALISATIONS INDUSTRIELLES .....	40
3.1 <i>Introduction</i> .....	40
3.2 <i>Les composants LATTICE</i> .....	41
3.2.1 Structure de la macrocellule .....	41
3.2.2 Performances électriques de la macrocellule .....	43
3.2.3 Exemples d'application .....	45
a) Etage de gain : gain de 47 .....	45
b) Filtre Biquad : filtre passe-bas et passe-bande du 2 <sup>nd</sup> ordre .....	45
3.3 <i>Le composant ANADIGM</i> .....	46
3.3.1 Structure du circuit .....	47
3.3.2 Caractéristiques du circuit .....	47

3.3.3 Bibliothèque d'IP et exemples d'application .....	48
a) Amplificateur inverseur (Figure 23).....	48
b) Filtre biquad passe bas (Figure 24) .....	48
3.4 Les composants Cypress Microsystems : CY8C25/26xxx.....	50
3.4.1 Architecture du circuit .....	50
3.4.2 Organisation des blocs PsoC analogiques.....	51
3.4.3 Etendue des fonctions réalisables .....	52
3.4.4 Exemple de fonctions :amplificateur à gain programmable.....	53
3.5 Le circuit SIDA .....	54
3.6 Le composant ZETEX .....	54
4. CONCLUSIONS .....	55
<b>CHAPITRE 2 : .....</b>	<b>56</b>
<b>SPECIFICATIONS ET ANALYSE DU CAHIER DES CHARGES .....</b>	<b>56</b>
1. INTRODUCTION .....	57
2. BESOIN INDUSTRIEL .....	57
2.1 Linéarisation d'un capteur résistif de température .....	58
2.2 Correction de non-linéarité d'un conditionneur de capteur passif.....	59
2.3 Méthodes analogiques générales de linéarisation d'un signal.....	61
3. SPECIFICATIONS DU CAHIER DES CHARGES.....	62
3.1 Signaux différentiels .....	63
3.2 Intérêts du mode différentiel.....	64
3.3 Linéarité de la cellule .....	65
4. REALISATION AVEC LES APPROCHES EXISTANTES .....	66
4.1 L'approche C. Prémont.....	67
4.1.1 Etude de la transconductance différentielle .....	67
4.1.2 Dissymétrie des tensions de sorties .....	69
4.1.3 Impédance d'entrée sur l'entrée $V_E$ de la cellule .....	71
4.2 L'approche ZETEX.....	71
5. ANALYSE DU CAHIER DES CHARGES .....	74
5.1 Spécification du multiplieur.....	74
5.2 Recherche d'architecture de multiplieur.....	75
5.2.1 Principe du multiplieur utilisant des transistors en régime ohmique .....	75
5.2.2 Principe du multiplieur utilisant des transistors en régime de saturation .....	77
5.2.3 Etude comparative des multiplieurs en terme de linéarité. ....	78
a) Transistor en régime linéaire.....	78
b) Transistor en régime de saturation .....	80
5.2.4 Choix du type de multiplieur. ....	81
5.3 Conception d'un multiplieur BICMOS utilisant les transistors en régime linéaire.....	81
5.3.1 Schéma du multiplieur BiCMOS .....	81
5.3.2 Fonction de transfert du multiplieur .....	82
5.3.3 Résultats de simulations .....	83

5.4 Première approche de solution de la cellule de calcul analogique à partir du multiplieur BiCMOS...	83
6. CONCLUSION.....	84
<b>CHAPITRE 3 : .....</b>	<b>86</b>
<b>DESCRIPTION ET CARACTERISATION DE LA CELLULE DE CALCUL ANALOGIQUE.....</b>	<b>86</b>
1. INTRODUCTION .....	87
2. ARCHITECTURE DU CIRCUIT .....	87
2.1 Présentation de la cellule .....	87
2.2 Fonctionnement de la cellule.....	88
2.3 Imperfections de la cellule.....	89
3. STRUCTURE DU MULTIPLIEUR ADDITIONNEUR .....	91
3.1 Schéma du multiplieur additionneur .....	91
3.2 Résultats de simulation.....	92
4. STRUCTURE DE L'AMPLIFICATEUR INVERSEUR.....	94
4.1 Schéma de l'amplificateur inverseur (Figure 56).....	94
4.2 Résultats de simulation.....	96
5. COMPORTEMENT DE LA CELLULE DE CALCUL EN SIMULATION .....	96
5.1 Cellule programmée en gain .....	96
5.2 Cellule programmée en fonctions non linéaires .....	97
5.3 Bande passante.....	99
6. RESULTATS EXPERIMENTAUX .....	100
6.1 Présentation du circuit de test (Figure 62).....	100
6.2 Environnement de test .....	101
Test de la cellule multiplieur type1.....	101
6.3.1 Résultats de test .....	102
6.3.2 Analyse des résultats de test .....	103
6.4 Test du circuit inverseur.....	104
6.5 Test de la cellule de calcul analogique.....	105
7. DEFINITION DE LA NOUVELLE ARCHITECTURE DE LA CELLULE DE CALCUL .....	107
7.1 Analyse de l'architecture précédente .....	107
7.2 Correction sur la structure de la cellule.....	108
7.3 Principe de la compensation d'offset .....	108
7.4 Règles de layout utilisées.....	110
7.5 Tests du nouveau circuit.....	110
7.5.1 Cartes de tests .....	111
7.5.2 Test de l'AOP .....	111
7.5.3 Test du circuit multiplieur .....	112
7.5.4 Test du circuit inverseur .....	113
7.5.5 Conclusion des tests .....	113
8. CONCLUSIONS .....	114

<b>CHAPITRE 4 :</b> .....	<b>115</b>
<b>ETUDE D'UN RESEAU DE CELLULES</b> .....	<b>115</b>
1. INTRODUCTION .....	116
2. CELLULE RESEAU .....	116
2.1 <i>Présentation de la cellule réseau</i> .....	116
2.2 <i>Configurations possibles de la cellule réseau</i> .....	117
2.2.1 Fonctions analogiques réalisables.....	118
3. LE RESEAU D'INTERCONNEXION DES CELLULES .....	120
4. APPLICATION DU RESEAU D'INTERCONNEXION A LA LINEARISATION D'UN CAPTEUR RESISTIF .....	123
5. ENVOI DES DONNEES DE CONFIGURATION .....	124
5.1 <i>Liaison série</i> .....	124
5.1.1 Principe.....	124
5.1.2 Trame de communication .....	125
5.2 <i>Architecture</i> .....	125
5.3 <i>Entrées/sorties du décodeur</i> .....	128
5.4 <i>Mémoire de stockage</i> .....	128
6. CONCLUSION.....	130
<b>CONCLUSION</b> .....	<b>131</b>
<b>REFERENCES BIBLIOGRAPHIQUES</b> .....	<b>135</b>
<b>ANNEXE</b> .....	<b>140</b>
<b>DISPERSION DE PROCESS ET MATCHING</b> .....	<b>141</b>
1. DISPERSION DE PROCESS .....	143
2. MATCHING ENTRE COMPOSANTS.....	144
3. TECHNIQUES DE LAYOUT .....	147
3.1 <i>Règle n°1 : même motif</i> .....	147
3.2 <i>Règle n°2 : même température</i> .....	147
<i>Règle n°3 : même orientation</i> .....	148
3.4 <i>Règle n°4 : minimiser les distances</i> .....	149
3.5 <i>Règle n°5 : Centroïde commune</i> .....	149
3.6 <i>Règle n°6 : même environnement</i> .....	150

# LISTE DES FIGURES ET TABLEAUX

## Introduction

FIGURE 1 : CONCEPT DE CIRCUIT ANALOGIQUE PROGRAMMABLE.....	22
--	----

## Chapitre1

FIGURE 2 : CELLULE CONFIGURABLE (CAB) .....	27
FIGURE 3 : CONVOYEUR DE COURANT .....	27
FIGURE 4 : TRANSCONDUCTANCE DE LA CELLULE CAB.....	28
FIGURE 5 : PREMIERE VERSION DU RESEAU DE CABS.....	28
FIGURE 6 : SECONDE VERSION DU RESEAU INSPIRE DU CIRCUIT ZETEX .....	29
FIGURE 7 :CELLULE 1 <sup>ERE</sup> GENERATION .....	30
FIGURE 8 : RESISTANCE PROGRAMMABLE .....	30
FIGURE 9 : MULTIPLIEUR DE CAPACITES.....	31
FIGURE 10 : CELLULE CONFIGURABLE 2 <sup>NDE</sup> GENERATION.....	31
FIGURE 11 : TRANSCONDUCTANCE DIFFERENTIELLE .....	32
FIGURE 12 : CELLULE DE 3 <sup>EME</sup> GENERATION.....	33
FIGURE 13 : CELLULE DE 3 <sup>EME</sup> GENERATION AVEC CAPACITES EN RETROACTION .....	34
FIGURE 14 : AMPLIFICATEUR DE COURANT DIFFERENTIEL.....	34
FIGURE 15 : MODELE DU CONVOYEUR.....	35
FIGURE 16 : ARCHITECTURE DE DEUX MODULES ANALOGIQUES (CAB).....	36
FIGURE 17 : RESEAU DE CAPACITES PROGRAMMABLES 6 BITS .....	37
FIGURE 18 : CAPACITE MOS FONCTION DE LA TENSION ET DE LA FREQUENCE .....	37
FIGURE 19 : CAPACITE MOS .....	38
FIGURE 20 : MACROCELLULE ANALOGIQUE PACBLOCK .....	42
FIGURE 21 : FONCTION DE TRANSFERT DE LA TRANSCONDUCTANCE.....	42
FIGURE 22 : MODELE DE LA MACROCELLULE .....	43
FIGURE 23 : AMPLIFICATEUR INVERSEUR .....	48
FIGURE 24 : FILTRE BIQUAD PASSE-BAS .....	49
FIGURE 25 : ARCHITECTURE INTERNE DU CIRCUIT CYPRESS.....	50

## Chapitre2

FIGURE 26 : CONDITIONNEUR D'UN CAPTEUR RESISTIF .....	58
FIGURE 27 : OPERATION DE LINEARISATION D'UN CAPTEUR RESISTIF .....	59
FIGURE 28 : LINEARISATION DU PONT DE WHEATSTONE PAR UN MULTIPLIEUR.....	59
FIGURE 29 : LINEARISATION DU PONT DE WHEATSTONE PAR UN DIVISEUR .....	60

FIGURE 30 : EXEMPLES DE SIGNAUX DIFFERENTIELS .....	63
FIGURE 31 : CELLULE DE CALCUL EN MODE MISE AU CARRE .....	63
FIGURE 32 : TRANSCONDUCTANCE DIFFERENTIELLE .....	64
FIGURE 33 : STRUCTURE DIFFERENTIELLE AVEC DECALAGE DE MASSE .....	65
FIGURE 34 : EFFET DE COUPLAGE .....	65
FIGURE 35 : CARACTERISATION LINEARITE DE LA CELLULE .....	66
FIGURE 36 : CELLULE 3 <sup>EME</sup> GENERATION.....	67
FIGURE 37 : ZONE DE FONCTIONNEMENT DE LA TRANSCONDUCTANCE DIFFERENTIELLE.....	68
FIGURE 38 : ZONE DE FONCTIONNEMENT AVEC $V_{E1}$ ET $V_{E2}$ SYMETRIQUES PAR RAPPORT A 2,5V.....	69
FIGURE 39 : SCHEMA EQUIVALENT DE LA TRANSCONDUCTANCE DIFFERENTIELLE.....	70
FIGURE 40 : SYNOPTIQUE D'UN MULTIPLIEUR QUATRE QUADRANTS AVEC LE COMPOSANT ZETEX .....	72
FIGURE 41 : REALISATION DU MULTIPLIEUR SIMPLE QUADRANT .....	72
FIGURE 42 : FONCTION MULTIPLIEUR QUATRE QUADRANTS IMPLANTES DANS LE CIRCUIT ZETEX.....	73
FIGURE 43 : SYNOPTIQUE REALISANT LA FONCTION DE TRANSFERT .....	74
FIGURE 44 : SCHEMA DU MULTIPLIEUR BiCMOS .....	81
FIGURE 45 : GENERATION D'UN COURANT $I_C$ PROPORTIONNEL A $V_C$ .....	82
FIGURE 46 : CELLULE DE CALCUL UTILISANT DEUX MULTIPLIEURS BiCMOS.....	84

### Chapitre3

FIGURE 47 : NOUVELLE ARCHITECTURE DE LA CELLULE .....	87
FIGURE 48 : CELLULE EN MODE AMPLIFICATION .....	89
FIGURE 49 : CELLULE EN MODE ATTENUATION .....	89
FIGURE 50 : MODELE1 DE LA CELLULE.....	90
FIGURE 51 : MODELE2 DE LA CELLULE.....	90
FIGURE 52 : SCHEMA DU MULTIPLIEUR CMOS QUATRE QUADRANTS .....	91
FIGURE 53 : SCHEMA DU MULTIPLIEUR ADDITIONNEUR QUATRE QUADRANTS CMOS.....	92
FIGURE 54 : $I_{OUT}=F(V_E)$ POUR DIFFERENTES VALEURS DE $V_C$ ET $V_{OUT}=2,5V$ .....	93
FIGURE 55 : $I_{OUT}=F(V_{OUT})$ POUR $V_E=V_C=0V$ .....	93
FIGURE 56 : SCHEMA DE L'AMPLIFICATEUR INVERSEUR.....	94
FIGURE 57 : ETAGE N°1 DE L'AMPLIFICATEUR INVERSEUR.....	94
FIGURE 58 : ETAGE N°2 DE L'AMPLIFICATEUR INVERSEUR .....	95
FIGURE 59 : ETAGE FINAL DE L'AMPLIFICATEUR INVERSEUR.....	95
FIGURE 60 : COURBE DE TRANSFERT DE L'AMPLIFICATEUR INVERSEUR .....	96
FIGURE 61 : . COURBES DE TENDANCE ASSOCIEES AUX SIMULATIONS DES FONCTIONS NON LINEAIRES.....	98
FIGURE 62 : LAYOUT DU CIRCUIT (VERSION1) .....	100
FIGURE 63 : TEST DE LA CELLULE MULTIPLIEUR.....	102
FIGURE 64 : ORIGINES DES DYSFONCTIONNEMENTS DU CIRCUIT MULTIPLIEUR .....	104
FIGURE 65 : SCHEMA DE TEST DU CIRCUIT INVERSEUR .....	104

FIGURE 66 : TEST DE LA CELLULE DE CALCUL ANALOGIQUE .....	105
FIGURE 67 : RESULTATS TYPE D'UNE CELLULE CONFIGUREE EN GAIN 1 ET EN GAIN 10.....	106
FIGURE 68 : NOUVELLE ARCHITECTURE DE LA CELLULE .....	108
FIGURE 69 : COMPENSATION D'OFFSET DU $\mu$ A741 .....	109
FIGURE 70 : COMPENSATION D'OFFSET COMMANDEE EN TENSION .....	109
FIGURE 71 : TEST DE L'AMPLIFICATEUR OPERATIONNEL .....	111
FIGURE 72 : TEST DU CIRCUIT MULTIPLIEUR.....	112
FIGURE 73 : TEST DE L'INVERSEUR.....	113

## Chapitre4

FIGURE 74 : CELLULE RESEAU .....	117
FIGURE 75 : CONFIGURATION EN GAIN (0001) .....	118
FIGURE 76 : CONFIGURATION RAC (0101) .....	118
FIGURE 77 : LINEARISATION DE LA RESISTANCE PLATINE.....	123
FIGURE 78 : IMPLANTATION DE LA LINEARISATION CAPTEUR DANS LE RESEAU D'INTERCONNEXION .....	124
FIGURE 79 : ARCHITECTURE DU CIRCUIT .....	126
FIGURE 80 : MEMOIRE DE STOCKAGE .....	129

## Annexe

FIGURE 81 : DISPERSION DE PROCESS .....	141
FIGURE 82 : RENDEMENT D'UN CONVERTISSEUR FLASH 1V SUR 8 BITS .....	142
FIGURE 83 : INCIDENCES DUES AUX DISPERSIONS DE PROCESS .....	143
FIGURE 84 : INCIDENCES DUES AU « MISMATCH » .....	144
FIGURE 85 : ECART TYPE DU PARAMETRE TENSION DE SEUIL PAR RAPPORT A L'INVERSE DE LA RACINE CARREE DE LA TAILLE.....	145
FIGURE 86 VARIATION DU FACTEUR $A_{VTH}$ EN FONCTION DE L'EPaisseur D'OXYDE.....	146
FIGURE 87 :OFFSET D'UNE PAIRE DIFFERENTIELLE .....	146

## Chapitre1

TABLEAU 1 :PERFORMANCES DE LA CELLULE CAB.....	29
TABLEAU 2 : PERFORMANCES DU CIRCUIT LATTICE ISPPAC .....	44
TABLEAU 3 : FONCTIONS REALISABLES DANS LES PSOC BLOCS .....	52
TABLEAU 4 : PERFORMANCE D'UN PSOC BLOC ANALOGIQUE TEMPS CONTINU CONFIGURE EN GAIN PROGRAMMABLE .....	53
TABLEAU 5 : PERFORMANCE DU CIRCUIT ZETEX .....	54

### Chapitre3

TABLEAU 6 : PERFORMANCES DE LA CELLULE DE CALCUL PROGRAMMEE EN GAIN .....	97
TABLEAU 7 : CONDITIONS DE SIMULATION.....	97
TABLEAU 8 : RESULTATS DU CIRCUIT MULTIPLIEUR POUR UNE TENSION $V_{OUT}=2,5V$ .....	102
TABLEAU 9 : COMPARAISON DE LA LINEARITE DU MULTIPLIEUR ENTRE SIMULATION ET EXPERIMENTATION .....	103
TABLEAU 10 : RESULTATS DU CIRCUIT INVERSEUR .....	105
TABLEAU 11 : RESULTATS DU CIRCUIT MULTIPLIEUR POUR UNE TENSION $V_{OUT}=2,5V$ .....	112

### Chapitre4

TABLEAU 12 : CONFIGURATIONS POSSIBLES.....	117
--	-----

### Annexe

TABLEAU 13 : VARIATIONS DE QUELQUES PARAMETRES .....	143
TABLEAU 14 : ORDRE DE GRANDEUR DES VALEURS $A_p$ ET $S_p$ DE LA LOI DE PELGROM .....	145

# TABLE DES SYMBOLES

## Transistor MOS :

$\mu$  : mobilité des porteurs

$C_{OX}$  : capacité d'oxyde par unité de surface

$W$  : largeur de canal

$L$  : longueur de canal

$V_{TH}$  : tension de seuil

$V_{DS}$  : tension drain-source

$V_{GS}$  : tension grille-source

$I_D$  : courant drain

## Multiplieur :

$V_E$  : première tension d'entrée (différentielle)

$V_C$  : deuxième tension d'entrée (différentielle)

$V_A, V_B$  : tension d'entrée différentielle pour le multiplieur additionneur ( $\frac{1}{2}(V_A + V_B) = V_E$ )

$V_{MC}$  ou  $mss$  : tension de mode commun

$I_{OUT}$  : courant de sortie du multiplieur

$V_{OUT}$  : tension présente à la sortie du multiplieur

$K$  : coefficient du multiplieur ( $I_{OUT} = KV_E V_C$ )

$\alpha$  : terme tenant compte de la résistance de sortie du multiplieur ( $I_{OUT} = KV_E V_C + \alpha(V_{OUT} - V_0)$ )

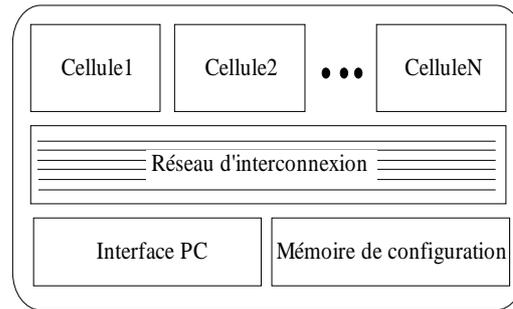
# INTRODUCTION

Le développement d'une application en analogique est long et nécessite souvent de multiples itérations. Une évolution même mineure du cahier des charges peut s'avérer périlleuse et demander des modifications importantes du schéma entraînant le développement d'un nouveau circuit imprimé. Or, l'électronique d'aujourd'hui exige des produits qui arrivent rapidement sur le marché, c'est à dire des durées de conception et de production courtes. Face à ce défi, le concepteur analogicien est démuné de moyens et d'outils contrairement au concepteur numéricien qui lui, dispose à l'heure actuelle d'un large éventail de composants logiques programmables et d'outils de synthèse répondant rapidement à ses besoins. Une certaine forme de programmabilité apporterait au concepteur analogicien de la souplesse dans l'implémentation de ses fonctions. Ceci implique qu'il existe sur le marché des composants analogiques programmables. L'existence d'un tel circuit permettrait aussi de disposer d'un moyen d'intégration analogique à faible coût, ce qui n'est pas le cas à l'heure actuelle. La seule façon d'intégrer de l'analogique est de concevoir un ASIC<sup>1</sup> avec tous les coûts et risques qu'engendre cette approche. D'autant plus que cette dernière n'est accessible que pour des volumes de production suffisamment élevés.

Un circuit analogique programmable (Figure 1) consiste en l'intégration de plusieurs cellules analogiques configurables qui sont interconnectées ensemble. Une interface PC permet à l'utilisateur de programmer la fonction de transfert et les spécifications de la cellule ainsi que les interconnexions entre elles. La configuration du composant est enregistrée dans une mémoire.

---

<sup>1</sup> ASIC : Circuit intégré spécifique à une application



**Figure 1 : Concept de circuit analogique programmable**

La puissance d'un tel composant est mesurée par l'étendue des possibilités d'une cellule de base ainsi que par la flexibilité du réseau d'interconnexions qui relie les cellules entre elles.

Cependant, il est difficile de transposer le concept de circuit logique programmable dans le domaine de l'analogique. En effet, il est facile d'identifier en logique les primitives de base, portes et bascules, qui permettent de réaliser toutes les autres fonctions de l'électronique numérique. Par contre, l'analogique comporte une multitude de fonctions, toutes aussi différentes que spécifiques, qui ne se construisent pas autour de primitives élémentaires analogiques. Chaque fonction analogique possède de plus ses propres performances électriques telles que la linéarité, la précision, la bande passante, la consommation, le niveau de bruit. La tâche de transposition ne paraît donc pas facile. Elle pourra consister en la conception d'un réseau restreint de cellules universelles qui réalisent un maximum de fonctions ou alors en la conception d'un vaste réseau de cellules spécifiques performantes. La première approche demandera de définir la fonction de transfert de la cellule universelle ainsi que ses performances électriques tandis que la deuxième approche impliquera une topologie de réseau complexe et un taux d'utilisation des ressources minimal.

Un compromis, dépendant essentiellement de la surface de Silicium utilisé, doit être fait entre le nombre de fonctions réalisables et la souplesse de programmation. Christophe Prémont, dans sa thèse [PRE98], définit des niveaux de granularité pour déterminer le niveau de complexité de la cellule élémentaire du réseau. Le niveau de granularité 3, correspondant à l'utilisation d'amplificateurs, résistances, capacités et diodes pour concevoir la cellule, semble pour lui la plus adaptée pour une intégration dans une structure programmable. Cependant, il est démontré, dans sa thèse, que cette approche nécessite des ressources de routage

importantes. Le rapport entre la surface active et la surface de routage est à déterminer pour obtenir le meilleur compromis entre flexibilité et intégration sur Silicium.

La cellule de base est donc l'arc de voûte du circuit analogique programmable. Elle doit être capable dans l'absolu, de réaliser le maximum de fonctions analogiques qui devront être optimisées par rapport à leurs performances. De plus, un compromis devra toujours être maintenu entre les performances de la cellule et notamment sa surface sur Silicium afin de pouvoir intégrer un nombre suffisant de cellules sur la même puce et ainsi de réaliser une application dans son ensemble à partir d'un circuit le moins coûteux possible.

A l'heure actuelle, il existe sur le marché des composants analogiques programmables qui réalisent les fonctions usuelles de l'analogique telles que l'amplification/atténuation et filtrage. Ces composants utilisent tous l'amplificateur opérationnel comme cellule de base et travaillent soit en temps continu, soit en temps discret avec la technique des capacités commutées. Ils sont munis aussi de réseaux de capacités, de réseaux de résistances ou de transconductances. Les bandes passantes atteintes s'étendent jusqu'à 3 MHz. Il n'est pas facile de savoir vers quels types d'application sont destinés ces circuits.

Compte tenu des remarques précédentes, il semble que le composant analogique programmable ne pourra couvrir un large spectre d'applications comme son homologue numérique. Ceci impliquera de concevoir plusieurs types de circuits analogiques programmables. Chaque type de circuit visera des applications particulières où les fonctions utilisées sont identifiées et où les performances électriques attendues sont clairement définies. Cette thèse expose la contribution à la conception d'un circuit analogique programmable qui intègre dans un premier temps des cellules configurables de calcul analogique visant une application conditionnement de capteur, en particulier la linéarisation. Cette application est réelle car l'information image d'une grandeur physique mesurée par un capteur est analogique. Dans la plupart des cas, la courbe de réponse du capteur n'est pas linéaire ou alors le conditionneur du capteur introduit une non-linéarité. Cette application émane de la demande d'industriels désireux de réduire leur cycle et leur coût de développement dans ce domaine. Il est clair que le circuit analogique programmable idéal pour réaliser l'interfaçage capteur devra intégrer non seulement des fonctions de calcul, mais aussi des fonctions d'amplification/atténuation et de filtrage.

Ce mémoire décrit entre autre l'étude et la conception d'une cellule de calcul analogique en technologie CMOS standard et s'articule autour de quatre chapitres. Le premier chapitre dresse un état de l'art dans le domaine de l'analogique programmable en exposant les différentes approches réalisées tant au niveau universitaire qu'au niveau industriel. Le second chapitre expose le cahier des charges que l'on s'est fixé sur la conception de la cellule de calcul, compte tenu des spécifications émises par les industriels. Il justifie l'application visée concernant l'interfaçage capteur et décrit aussi les premières recherches de solution à ce cahier des charges. L'objet du troisième chapitre est la description de la cellule et de ses performances tant au point de vue de la simulation que de la réalisation sur Silicium. Le principal intérêt de cette cellule est de réaliser des fonctions d'addition, de soustraction, de multiplication, de division et de racine carrée. Enfin, le quatrième chapitre présente une ébauche de réseau où huit cellules ont été mises en réseau. Ce chapitre décrit une interface I2C reliée à des convertisseurs numériques analogiques permettant de programmer les différentes cellules du réseau. Ce réseau est par la suite utilisé dans une application concrète. Il n'a pas fait l'objet de réalisations pratiques.

**CHAPITRE 1 :**  
**Les différentes approches dans le domaine**  
**de l'analogique programmable**

## **1. Introduction**

Depuis une dizaine d'années, les composants analogiques programmables commencent à faire l'objet de recherches dans le monde universitaire et industriel. Ainsi, aujourd'hui, des composants existent sur le marché et sont conçus par les sociétés, Lattice, Anadigm, Cypress et Zetex. D'autres, comme IMP ou Motorola ont abandonné leurs investigations dans le domaine. Des laboratoires en Europe et en Amérique du Nord travaillent également sur le concept de circuit analogique programmable. Ainsi, à Toronto, à Portland, au Texas, à Nottingham, à Edinburgh ou à Lyon, des équipes de recherches se penchent sur ce sujet.

Toutes ces sociétés et ces laboratoires ont fait le même constat sur la difficulté de développer des applications analogiques de façon rapide et sur la nécessité de pouvoir bénéficier de composants analogiques programmables. Les approches et les techniques utilisées sont cependant assez diverses.

## **2. Les approches universitaires**

### **2.1 L'approche de l'université de Toronto**

L'université de Toronto travaille depuis plus de dix années sur les composants analogiques programmables. Une première approche, proposée par le professeur G. Gulak et le Docteur K.F. Lee, consistait en un circuit à base d'amplificateurs opérationnels et de transconductances. Depuis, le professeur G. Gulak et le Docteur V. Gaudet ont remplacé les amplificateurs opérationnels par des convoyeurs de courant, dont l'intérêt entre autre est de ne pas être limité par un produit gain bande passante. L'application visée se situe dans le domaine de la vidéo avec une bande passante recherchée de 10 MHz.

Cette approche par convoyeur de courant a été initiée par les travaux de C. Prémont de CPE Lyon en France qui a collaboré pendant quatre mois avec l'université de Toronto. Le convoyeur de courant muni de résistances, capacités et diodes, permet de réaliser un grand nombre de fonctions analogiques comme l'amplificateur opérationnel. Pour fonctionner dans

son régime linéaire, il n'a pas besoin de contre réaction et par conséquent ne possède pas de capacité de compensation pour assurer la stabilité.

### 2.1.1 Présentation de la cellule

La cellule configurable (Figure 2) appelée CAB [GG97] permet d'implanter des fonctions de filtrage de premier ordre et d'amplification. Des fonctions de log et anti-log peuvent être ajoutées en commutant des diodes sur les terminaux X et Z.

La fonction de transfert de la cellule est la suivante :  $V_{OUT} = \frac{R_Z (1 + pR_X C_X)}{R_X (1 + pR_Z C_Z)} V_{IN}$

La cellule comporte un convoyeur de courant, deux transconductances, deux capacités programmables et un buffer. Les transconductances réalisent les résistances programmables. Les capacités programmables sont réalisées avec un réseau de capacités.

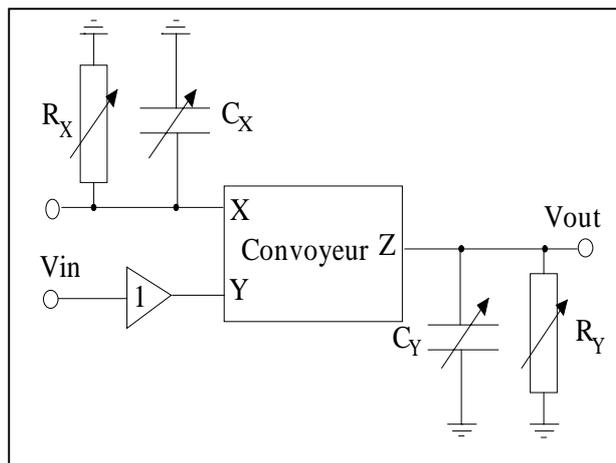


Figure 2 : Cellule configurable (CAB)

a) le convoyeur de courant (Figure 3)

Un convoyeur de courant est un circuit qui possède trois terminaux X, Y et Z. Il réalise un suiveur de tension entre les terminaux Y et X et un suiveur de courant entre les terminaux X et Z. On distingue 2 types de convoyeur appelé CCII selon que  $I_z = I_x$  (CCII+) ou  $I_z = -I_x$  (CCII-). Les équations du convoyeur idéal sont :  $-V_x = V_y, I_y = 0, I_z = I_x$

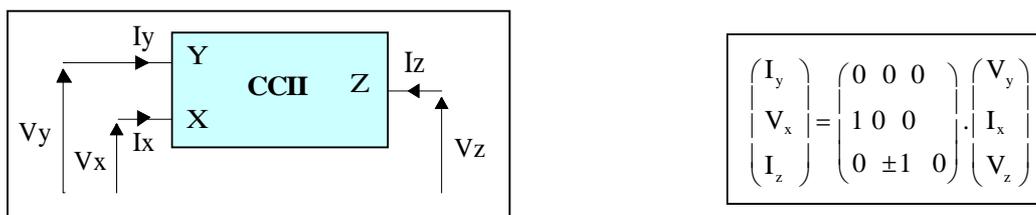


Figure 3 : Convoyeur de courant

b) la transconductance (Figure 4)

Le schéma électrique de la transconductance est basé sur une double paire CMOS [PS86].

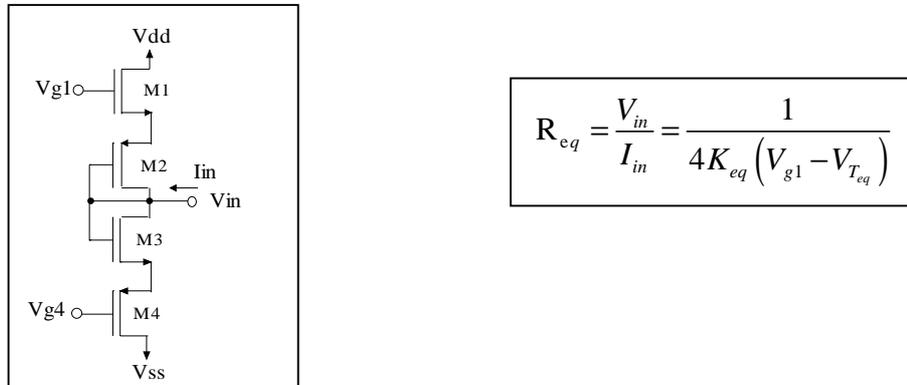


Figure 4 : Transconductance de la cellule CAB

Cette transconductance permet de réaliser une résistance avec un point à la masse. Les défauts de cette cellule est sa non linéarité et les différences de tensions de seuil entre les deux transistors NMOS dues à l'effet de substrat.

2.1.2 Présentation du réseau

Le premier réseau proposé (Figure 5) comporte quatre cellules CAB. Les connexions sur les nœuds X permettent de réaliser les fonctions d'addition et de soustraction.

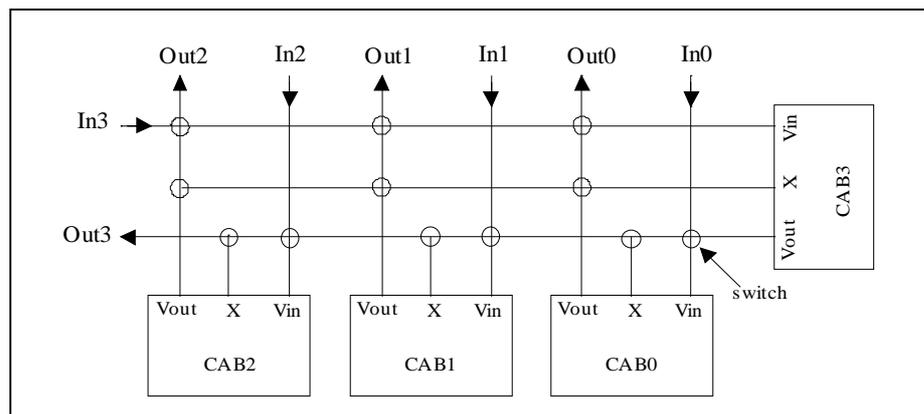
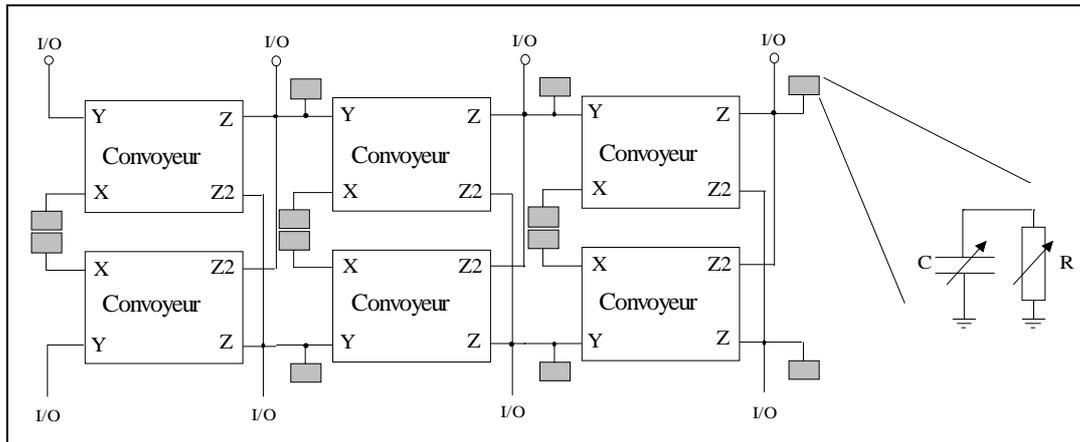


Figure 5 : Première version du réseau de CABs

Une deuxième approche d'un réseau (Figure 6) a été exposée dans un article [GG99] et s'inspire du réseau figé du circuit industriel ZETEX décrit dans le prochain paragraphe. Ce réseau comporte 6 CABs d'une nouvelle génération car ce dernier possède un terminal de plus appelé Z2. Ce terminal n'est qu'une duplication de l'étage Z et peut être activé ou désactivé par des switch permettant ainsi d'obtenir la fonction d'addition.



**Figure 6 : Seconde version du réseau inspiré du circuit Zetex**

### 2.1.3 Performances électriques de la cellule

Cette cellule a été réalisée en technologie CMOS 0,8  $\mu\text{m}$ . Le Tableau 1 résume ses performances :

Paramètres	Résultats
Alimentation	5V
Puissance	162 mW
f-3dB	11 MHz
Gain maximum	14dB
THD	2,89%
SNR( 1V output, 12Mhz BW)	38,8 dB

**Tableau 1 :Performances de la cellule CAB**

Aucun résultat n'est donné pour la fonction filtrage, intégrateur et différentiateur. De même, les excursions sur les signaux  $V_{in}$  et  $V_{out}$  ne sont pas clairement définies ainsi que la linéarité de la cellule. On peut aussi s'interroger sur la précision des fréquences de coupure d'une telle structure car, en intégré, les tolérances sur les capacités sont voisines de 20%. Ce type de structure nécessitera sans doute un réglage des capacités à la fabrication. Enfin, aucun résultat sur le fonctionnement des deux réseaux n'apparaît dans les articles.

## 2.2 L'approche C. Prémont

C. Prémont est à l'initiative de l'utilisation des convoyeurs de courant dans les circuits analogiques programmables. La structure de ces circuits existe depuis déjà longtemps avec la première approche de Smith et Sedra [SS68]. Plusieurs types de convoyeurs de courant ont été développés à base de transistors bipolaires. De nombreux travaux autour du convoyeur de courant ont été réalisés par A. Fabre à l'université de Bordeaux.

Les différentes approches proposées par C. Prémont lors de ses travaux utilisent un réseau analogique programmable à convoyeurs de courant car ces derniers offrent des avantages intéressants en terme de bande passante. Trois approches différentes ont été élaborées permettant de réaliser des fonctions d'amplification, de filtrage et de calcul analogique. Les deux premières approches ont fait l'objet d'un article alors que la dernière approche est décrite dans sa thèse.

### 2.2.1 Cellule configurable 1<sup>ère</sup> génération

Cette cellule (Figure 7) a été exposée dans un article d'A. Fabre et permet de réaliser un filtre biquad passe-bas, passe-haut et passe bande.

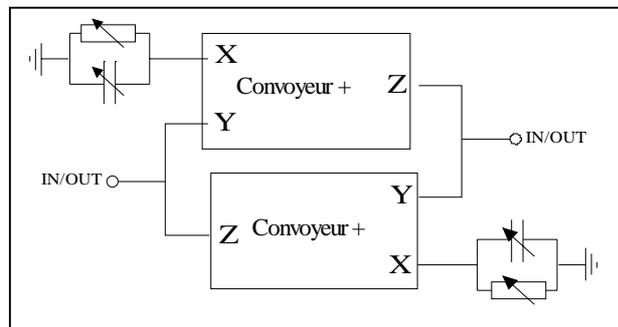
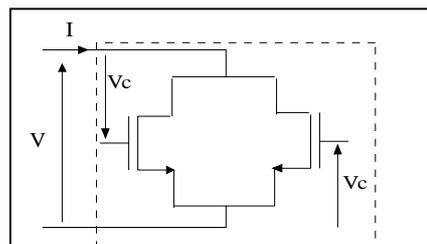


Figure 7 : Cellule 1<sup>ère</sup> génération

C. Prémont a proposé de rendre programmable les deux résistances ainsi que les deux capacités [PGA98]. La résistance programmable (Figure 8) est réalisée à partir de deux transistors NMOS en parallèle fonctionnant en régime linéaire.



$$R = \frac{1}{2\mu C_{ox} \frac{W}{L} (V_C - V_T)}$$

Figure 8 : Résistance programmable

Deux gammes de résistances programmables ont été développées de 65K à 120K et de 100K à 350K . Ceci permet de créer une large gamme de valeur de résistances de 500 à 350K , en connectant en parallèle six résistances programmables.

La capacité programmable (Figure 9) est conçue avec un multiplieur de capacité piloté par une tension.

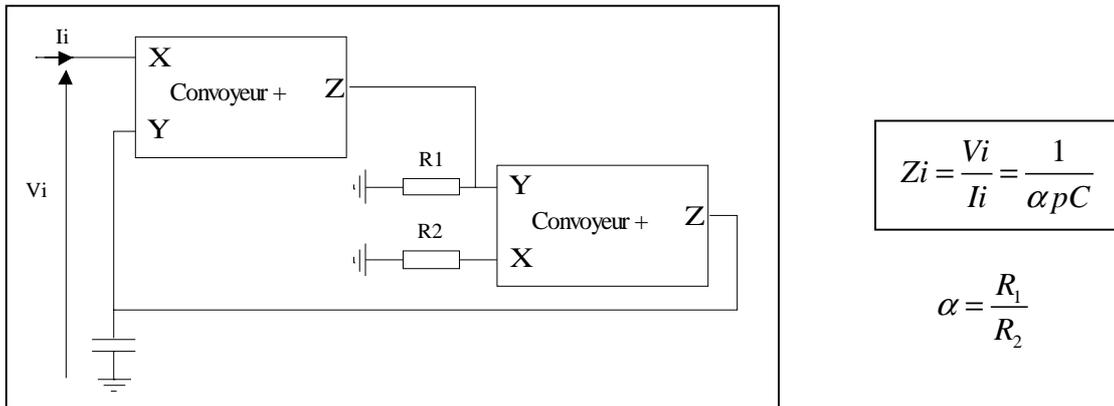


Figure 9 : Multiplieur de capacités

La plage de variation de la capacité programmable réglée par R1 s'étend de 10 pF à 4nF. La résistance R1 peut être réalisée par le montage précédent.

### 2.2.2 Cellule configurable 2<sup>nde</sup> génération

La deuxième génération de cellule configurable [PGA98] est totalement différentielle et est présentée Figure 10.

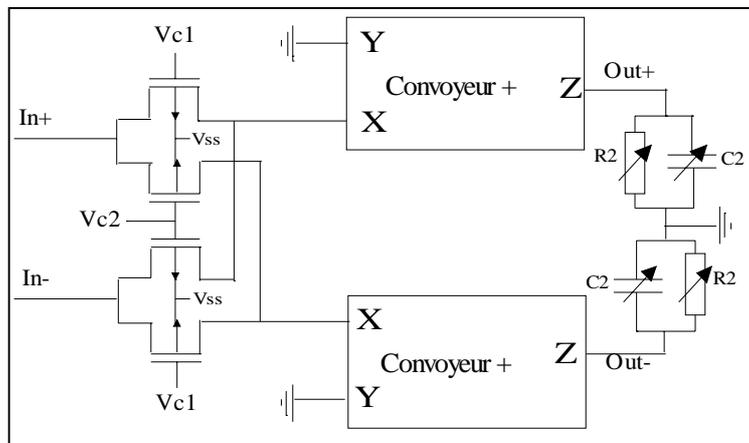
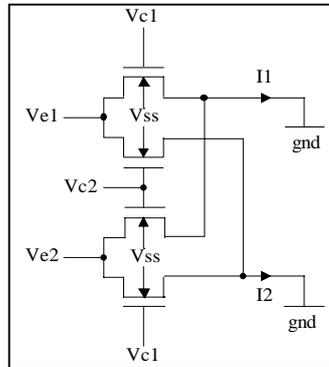


Figure 10 : Cellule configurable 2<sup>nde</sup> génération

Cette cellule est toujours basée autour de deux convoyeurs de courant, de résistances et capacités programmables, et d'un élément nouveau appelé transconductance différentielle.

Une transconductance différentielle Figure 11 est composée de 4 transistors NMOS fonctionnant en régime ohmique :



**Figure 11 : Transconductance différentielle**

Cette transconductance différentielle transforme une tension différentielle ( $V_{E1}-V_{E2}$ ) en un courant différentiel ( $I_1-I_2$ ) par l'intermédiaire d'une tension de commande différentielle ( $V_{C1}-V_{C2}$ ). La fonction de transfert décrivant cette structure est la suivante :

$$\boxed{I_1 - I_2 = K(V_{E1} - V_{E2})(V_{C1} - V_{C2})} \quad \text{seulement si les 4 transistors sont en régime ohmique.}$$

La fonction des deux convoyeurs de courant munis des impédances  $Z_2$  ( $R_2//C_2$ ) est de réaliser une conversion courant tension en assurant une masse virtuelle à la transconductance différentielle. La fonction de transfert réalisée par cette cellule est :

$$\boxed{Out_+ - Out_- = -R_2\beta \frac{1}{1 + pR_2C_2} (V_{C1} - V_{C2})(In_+ - In_-)}$$

Cette cellule permet par rapport à la première de réaliser la fonction de multiplication.

### 2.2.3 Cellule configurable 3<sup>ème</sup> génération

#### a) Présentation de la cellule

Cette cellule [PRE98] à contre-réaction (Figure 12), utilisant deux transconductances différentielles, régule la valeur de la tension différentielle  $V_s$  de sortie en fonction du courant différentiel d'erreur.

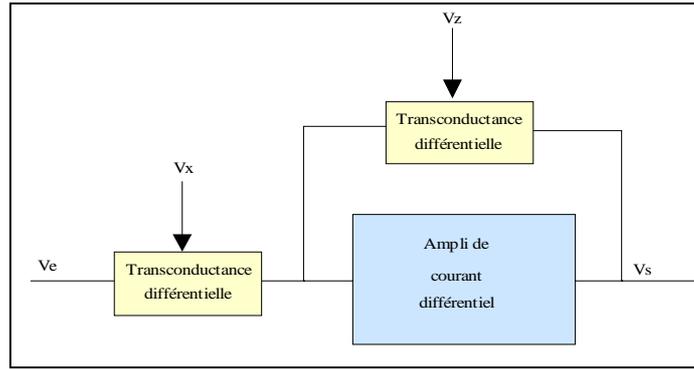
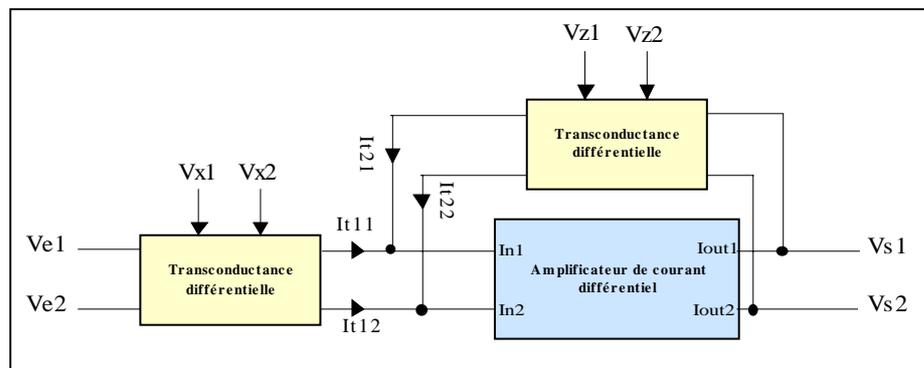


Figure 12 : Cellule de 3<sup>ème</sup> génération

Cette cellule constitue la brique élémentaire pour construire les différentes applications analogiques complexes à intégrer dans le circuit analogique programmable. Son principal intérêt réside dans son aptitude à réaliser une multitude de fonctions analogiques dont les caractéristiques sont programmables via les tensions de commande  $V_X$  et  $V_Z$ .

b) Calcul de la fonction de transfert de la cellule



La fonction de transfert d'une transconductance différentielle est donnée par la relation suivante :

$$I_1 - I_2 = K(V_{E1} - V_{E2})(V_{C1} - V_{C2})$$

On a donc les relations suivantes :

$$I_{t11} - I_{t12} = K(V_{E1} - V_{E2})(V_{X1} - V_{X2}) \quad (1)$$

$$I_{t21} - I_{t22} = K(V_{S1} - V_{S2})(V_{Z1} - V_{Z2}) \quad (2)$$

(1)+(2)

$$I_{in1} - I_{in2} = K(V_{E1} - V_{E2})(V_{X1} - V_{X2}) + K(V_{S1} - V_{S2})(V_{Z1} - V_{Z2})$$

Or la fonction de transfert de l'ampli de courant différentiel est :

$$I_{out1} - I_{out2} = \beta(I_{in1} - I_{in2}) \text{ avec } \beta \text{ très grand.}$$

Par conséquent :  $I_{in1} - I_{in2} = \frac{I_{out1} - I_{out2}}{\beta} \approx 0$

D'où la fonction de transfert de la cellule

$$V_{S1} - V_{S2} \approx - \frac{(V_{E1} - V_{E2})(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})}$$

Cette cellule ainsi conçue permet de réaliser les fonctions d'amplification, multiplication, division, mise au carré et racine carrée (si on reboucle  $V_S$  sur  $V_Z$ ).

Pour réaliser la fonction de filtrage passe-bas du premier ordre, il suffit de rajouter 2 condensateurs (Figure 13).

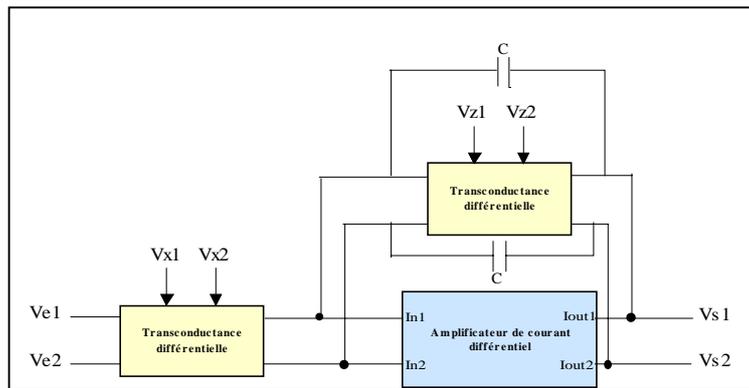


Figure 13 : Cellule de 3<sup>ème</sup> génération avec capacités en rétroaction

La fonction de transfert devient :

$$V_{S1} - V_{S2} = - \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})} \frac{1}{1 + p \frac{C}{K(V_{Z1} - V_{Z2})}} (V_{E1} - V_{E2})$$

c) Etude de l'amplificateur de courant différentiel (Figure 14)

L'amplificateur de courant différentiel est composé de 4 convoyeurs de courant :

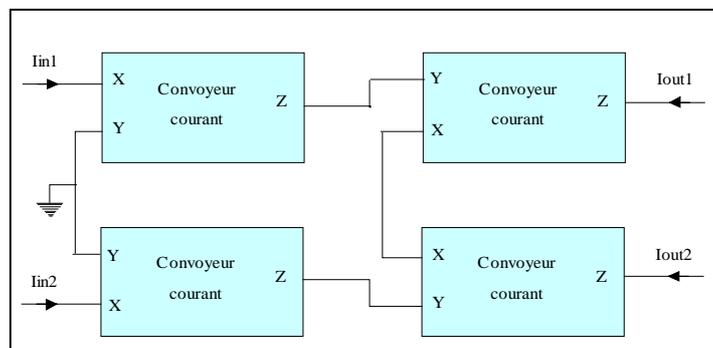


Figure 14 : Amplificateur de courant différentiel

D'après ces équations, on peut déduire le modèle suivant du convoyeur (Figure 15):

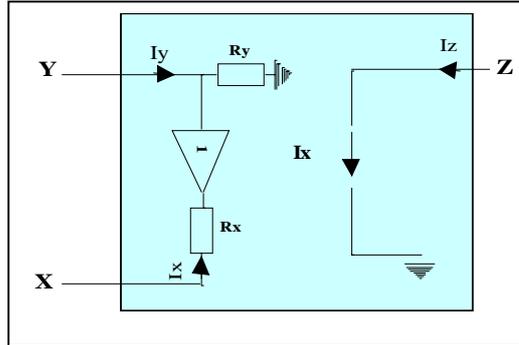
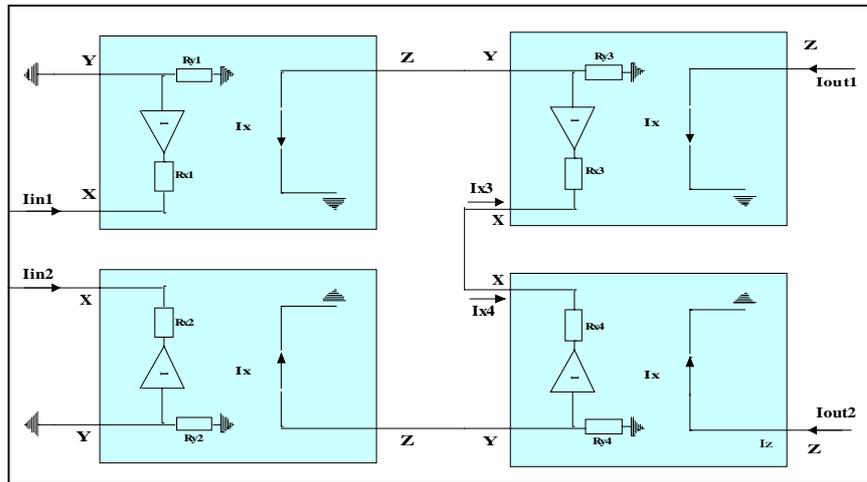


Figure 15 : Modèle du convoyeur

Dans ce modèle,  $R_y$  représente l'impédance d'entrée du terminal Y qui doit être la plus grande possible.  $R_x$  est l'impédance du terminal X et doit être la plus petite possible.  $R_z$  est l'impédance de sortie du terminal Z et doit être la plus grande possible.

On peut donc modéliser l'amplificateur de courant différentiel de la manière suivante :



$$V_{z1} = V_{y3} = -(R_{z1} // R_{y3})I_{in1} \quad \Rightarrow \quad I_{x3} = -I_{x4} = \frac{V_{y4} - V_{y3}}{R_{x3} + R_{x4}} = \frac{(R_{z1} // R_{y3})I_{in1} - (R_{z2} // R_{y4})I_{in2}}{R_{x3} + R_{x4}} = I_{out1} = -I_{out2}$$

$$V_{z2} = V_{y4} = -(R_{z2} // R_{y4})I_{in2}$$

$$I_{x3} = -I_{x4} = \frac{V_{y4} - V_{y3}}{R_{x3} + R_{x4}} = \frac{(R_{z1} // R_{y3})I_{in1} - (R_{z2} // R_{y4})I_{in2}}{R_{x3} + R_{x4}} = I_{out1} = -I_{out2}$$

$$I_{out1} - I_{out2} = \frac{2(R_{z1} // R_{y3})I_{in1} - 2(R_{z2} // R_{y4})I_{in2}}{R_{x3} + R_{x4}}$$

Si  $R_{z1}=R_{z2}=R_z$  et  $R_{y2}=R_{y3}=R_y$  et  $R_{x3}=R_{x4}=R_x$  alors :

$$\boxed{I_{out1} - I_{out2} = \frac{(R_z // R_y)}{R_x} (I_{in1} - I_{in2})} \quad \text{avec } \beta = \frac{(R_z // R_y)}{R_x} \text{ (grand)}$$

### 2.3 Les travaux de l'université Johns Hopkins

L'université Johns Hopkins travaille sur une structure mixte analogique numérique programmable [TSJ99] dédiée aux applications spatiales (satellites, fusées, etc ...). Cette structure utilise la technologie ACTEL qui est une technologie numérique CMOS durcie aux radiations. Cette technologie permet d'accéder à des interconnexions de type antifusible qui ont l'énorme avantage de posséder une résistance à l'état passant de 15 à 25 ohms comparée au 1000 à 5000 ohms d'un switch CMOS classique. Ce type de circuit est donc une fois programmable.

Le circuit réalisé comporte une matrice de 4\*3 modules analogiques appelées CAB (Configurable Analog Block). Un module analogique (Figure 16) est composé d'un amplificateur opérationnel totalement différentiel en entrée sortie basé sur la structure publié dans l'article [], de quatre réseaux de résistances programmables ainsi que de huit réseaux de capacités programmables (résolution 6 bits).

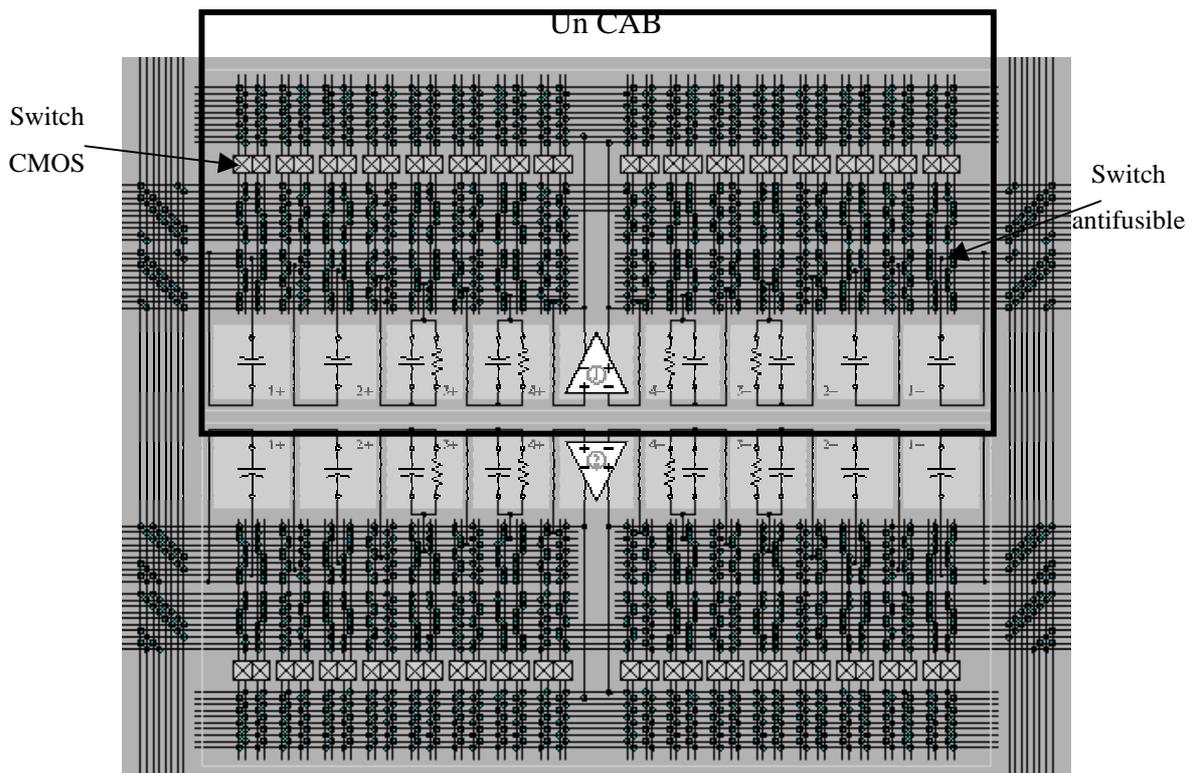


Figure 16 : Architecture de deux modules analogiques (CAB)

La particularité de ce module est de pouvoir fonctionner en temps continu et en temps discret, expliquant ainsi la présence de 32 switch CMOS pour la partie capacités commutées.

Les fonctions réalisables par ce type de module sont des convertisseurs analogiques-numériques, des convertisseurs numériques-analogiques, des modulateurs, des oscillateurs et des filtres.

La technologie purement numérique utilisée ne permet pas de réaliser ces capacités CPOLY (poly1/poly2) car il n'y a qu'un seul niveau de polysilicium. Or, pour réaliser le réseau de capacités programmables (Figure 17), la structure employée est la capacité MOS car la valeur de la capacité métal polysilicium par unité de surface est trop petite.

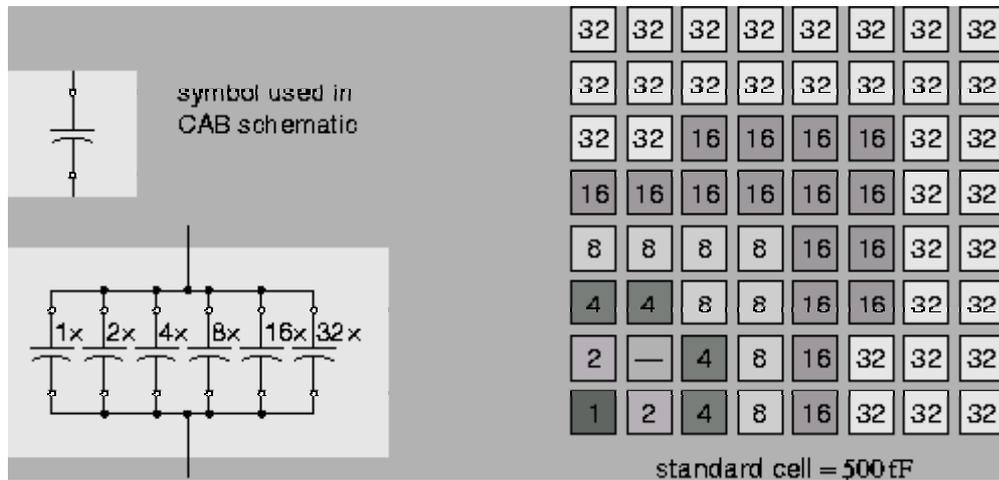


Figure 17 : Réseaux de capacités programmables 6 bits

Cependant, la capacité MOS n'est pas linéaire en fonction de la tension appliquée et de la fréquence comme le montre la Figure 18. La capacité est à la fois linéaire et maximum dans le régime d'accumulation.

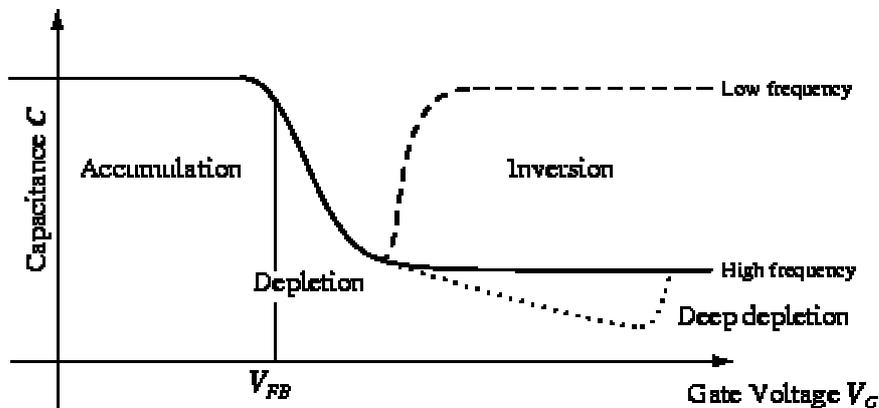
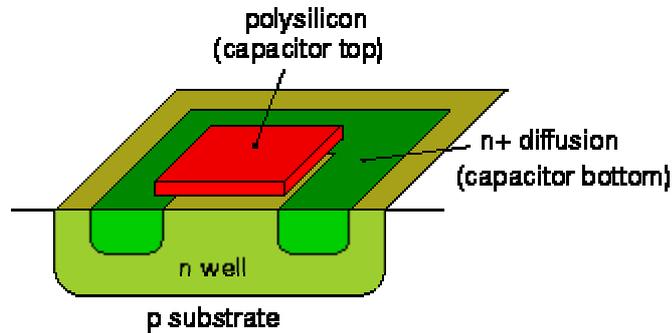


Figure 18 : Capacité MOS fonction de la tension et de la fréquence

Pour augmenter la zone de tension où la capacité est en régime d'accumulation, la structure Figure 19 est adoptée :



*Figure 19 : Capacité MOS*

Cette structure n'est pas celle d'un transistor et a la même courbe présentée Figure 18 à la différence que la tension  $V_{FB}$  est décalée vers la droite.

Le circuit conçu par l'université Hopkins a été réalisé en technologie ACTEL 0,22 $\mu$ m en Juin 2000 et comporte un total de 31576 antifusibles. La surface du circuit est 6mm par 4 mm pour 12 modules analogiques implantées. A l'heure actuelle, aucun résultat de simulation et expérimental n'a été communiqué.

#### **2.4 Les autres approches**

L'approche Embadi [EQO96 et QES98] introduit un bloc analogique appelé CAC (Configurable Analog Cell), fonctionnant en courant, qui réalise des fonctions élémentaires telles que l'amplification, l'atténuation et l'intégration. Cette cellule est un intégrateur en courant totalement différentiel qui permet d'obtenir un gain statique important et une bande passante importante. Dans ces travaux, l'accent est porté sur les commutateurs qui programment les fonctions des cellules ainsi que les interconnexions. Ces commutateurs doivent dans la mesure du possible se placer dans les étages de polarisation des cellules plutôt que dans le chemin du signal analogique car ils dégradent les performances.

L'université de Portland [PP94 et PPG94] travaille sur un composant bipolaire, où chaque cellule peut réaliser des fonctions de gain, d'addition, de multiplication, de filtrage du premier ordre, d'écèlement, d'intégration et de comparaison. L'accent est mis sur le réseau d'interconnexions, qui possède deux niveaux : un niveau local (connexions d'une cellule à ses

voisines directes) et un niveau global (connexions communes à toutes les cellules). De plus, l'information est véhiculée et est traitée sous forme de courant.

L'université d'Edinburgh [HPB98] a proposé un composant analogique programmable réalisé en capacités commutées, et travaillant sur des signaux convertis en pulses (circuit PALMO). Les cellules réalisent des fonctions de base comme l'addition, la multiplication ou l'intégration. L'intérêt de travailler avec des pulses est d'améliorer l'immunité par rapport au bruit, et de faciliter le routage entre cellule (routage numérique et non analogique).

L'université de Nottingham a proposé elle aussi une approche en capacités commutées. Le signal est véhiculé sous forme de courant, et il est ainsi moins dégradé par les commutateurs analogiques. Les cellules se présentent sous forme de blocs multi-fonctionnels capables de réaliser des fonctions de gain ou de comparaison ; l'addition est facilement réalisable car les signaux sont des courants.

### **3. Les réalisations industrielles**

#### **3.1 Introduction**

Le concept d'analogique programmable a récemment trouvé une seconde jeunesse grâce au regain d'intérêt de plusieurs fabricants. Tirant les enseignements du passé, ces derniers, principalement Lattice, Cypress et Anadigm sont tous partis d'un constat commun : il s'agit de permettre à l'utilisateur de personnaliser le traitement analogique du signal dans son application, mais sans s'éloigner trop du prix des composants classiques. Pour cela, il a fallu écarter les fonctions analogiques les plus complexes : les filtres à plusieurs mégahertz de fréquence de coupure, les convertisseurs A/N ou N/A hautes performances et les amplificateurs large bande. Autre point commun entre les acteurs de ce marché : à terme, ces fonctions analogiques programmables ont vocation à être intégrées dans des systèmes sur puce, où l'analogique serait traité en bloc IP (propriété intellectuelle) comme une autre.

C'est déjà le cas pour la famille CY8C25/26xxx de Cypress Microsystems, composée de microcontrôleurs 8 bits dont l'utilisateur peut paramétrer les périphériques à sa guise, y compris dans l'application, en programmant simplement la configuration de blocs de base analogiques et numériques embarqués, baptisés PSoC et répartis en 12 blocs analogiques et 8 blocs numériques. Lattice et Anadigm ont, eux, pour imposer leur concept, choisi de commercialiser leur technologie analogique programmable sous forme de circuits isolés d'abord. Mais ils visent également à l'intégrer dans des circuits plus complexes, sous forme d'IP pour des circuits spécifiques chez Anadigm et, chez Lattice, dans ses propres CPLD<sup>2</sup>.

Les ispPAC de Lattice intègrent plusieurs dizaines de composants analogiques et passifs prédéfinis (amplificateurs, comparateurs, références de tension, convertisseurs numériques-analogiques ...) que l'utilisateur relie les uns aux autres pour former la fonction analogique voulue. Le réseau d'Anadigm, quant à lui, est essentiellement constitué de blocs (20 pour l'AN10E40) composés de cellules d'amplificateurs opérationnels à capacités commutées. La fonction remplie par chacun de ces blocs n'est pas prédéfinie : elle est entièrement du ressort de l'utilisateur, qui a le choix entre des fonctions courantes de mise en forme des signaux (suppression d'offset, redressement, étage de gain, comparateur, filtre du

---

<sup>2</sup> CPLD : Complex Programmable logic devices

premier ordre) n'occupant qu'un seul bloc, et des fonctions plus complexes (filtre d'ordre  $n$ , oscillateur, modulateur en largeur d'impulsions ...) qui nécessitent deux blocs ou plus.

Là où les deux fabricants se rejoignent, c'est sur le sentiment d'apporter aux concepteurs non rompus aux subtilités de l'analogique une façon d'intégrer facilement des fonctions dans leurs systèmes sur puce, simplement à partir d'un cahier des charges. Ils proposent ainsi tous les deux des macros permettant de créer, en quelques clics, un filtre biquad en spécifiant la fréquence de coupure, le gain en bande passante et le facteur  $Q$ . Autre point commun, la possibilité de reconfigurer dans l'application la fonction remplie par le réseau analogique. Le dernier-né de la famille ispPAC, l'ispPAC80, intègre ainsi deux Eeprom stockant deux configurations de filtres différentes. Chez Anadigm, la reconfiguration se fait par le biais d'une Eeprom ou du processeur externe.

### **3.2 Les composants LATTICE**

Ces circuits ont fait leur apparition fin 1999 sur le marché. A ce jour, Lattice [LAT] a commercialisé trois références : ispPAC10, ispPAC20 et ispPAC80.

#### *3.2.1 Structure de la macrocellule*

Les circuits Lattice contiennent des macrocellules analogiques programmables appelées PACblocks et un réseau d'interconnexion. Chaque macrocellule est composée d'un amplificateur-sommeur et de deux amplificateurs d'instrumentation, totalement différentielles. Les amplificateurs d'instrumentation possèdent un gain variable de  $-10$  à  $+10$  par incrément de 1. L'amplificateur-sommeur est quant à lui, contre-réactionné par un élément résistif qui peut être connecté ou non et par un réseau programmable de capacités. Ce dernier permet de créer 120 pôles quand le circuit est utilisé en tant que filtre actif.

Ainsi, chaque macrocellule a la capacité de faire la somme de deux signaux différentiels préalablement amplifiés ou non par les amplificateurs d'instrumentation ou alors d'intégrer la somme de ces deux signaux.

La macrocellule (Figure 20) est constituée de trois transconductances différentielles dont deux sont réglables ( $gm_1$  et  $gm_2$ ) et une fixe ( $gm_3$ ), et d'un amplificateur opérationnel totalement différentielle.

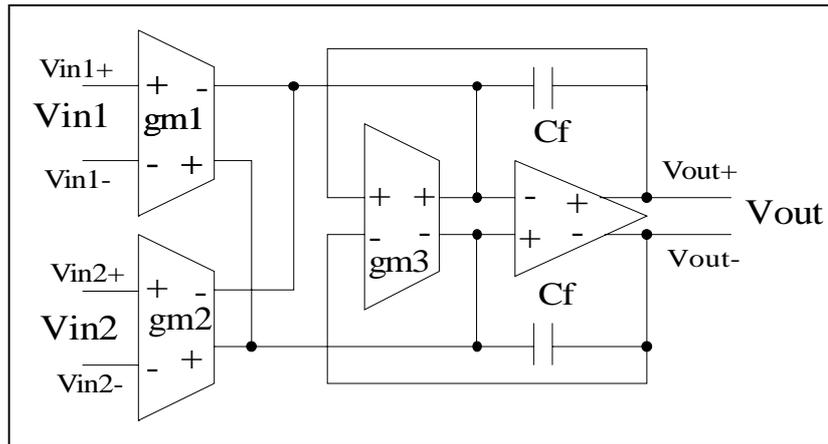


Figure 20 : Macrocellule analogique PACblock

Les deux transconductances (Figure 21)  $g_{m1}$  et  $g_{m2}$  ont une plage de variation allant de  $2\mu\text{A/V}$  à  $20\mu\text{A/V}$  par pas de  $2\mu\text{A/V}$ .

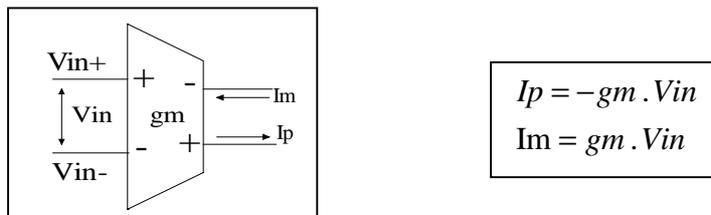


Figure 21 : Fonction de transfert de la transconductance

La fonction de transfert de la macrocellule se calcule aisément :

$$V_{out} = \frac{g_{m1} \cdot V_{in1} + g_{m2} \cdot V_{in2}}{g_{m3} + \frac{pC_F}{2}} \quad \text{Soit} \quad V_{out} = \frac{k_1 \cdot V_{in1} + k_2 \cdot V_{in2}}{1 + \frac{pC_F}{2g_m}} \quad \text{si} \quad \begin{aligned} g_{m1} &= k_1 \cdot g_m \\ g_{m2} &= k_2 \cdot g_m \\ g_{m3} &= g_m = 2\mu\text{A/V} \end{aligned}$$

Cette fonction de transfert est celle d'un amplificateur-sommeur de type premier ordre dont la fréquence du pôle (fréquence de coupure à  $-3\text{dB}$ ) est  $(1/2\pi)(2g_m/C_F)$ . Comme  $g_m=2\mu\text{A/V}$  et  $1\text{pF} \leq C_F \leq 62\text{pF}$ , la plage de variation de la fréquence du pôle est de :

$$10\text{Khz} \leq f_p \leq 600\text{Khz}$$

Cette fonction montre aussi que les deux transconductances différentielles  $g_{m1}$  et  $g_{m2}$  jouent le rôle des deux amplificateurs d'instrumentation à gain variable. Comme la transconductance  $g_{m3}$  peut être annulée, la fonction de transfert peut ainsi devenir :

$$V_{out} = \frac{k_1 \cdot V_{in1} + k_2 \cdot V_{in2}}{\frac{pC_F}{2g_m}}$$

C'est la fonction d'un intégrateur-sommeur. Le rôle de  $g_{m3}$  est donc d'émuler l'élément résistif de contre réaction.

Le modèle d'une macrocellule analogique PACblock de Lattice est donné Figure 22

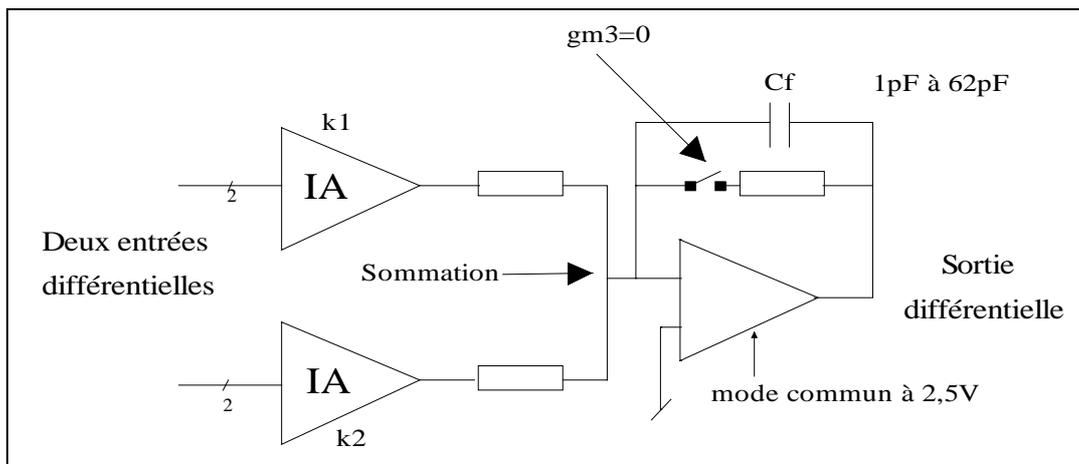


Figure 22 : Modèle de la macrocellule

Le composant ispPAC10 contient quatre macrocellules de ce type et une référence de tension à 2,5V. C'est un circuit 28 pins DIP ou SOIC possédant quatre entrées et quatre sorties différentielles. L'ispPAC20, quant à lui, est constitué de deux macrocellules de ce type, d'une référence de tension à 2,5V, de deux comparateurs et d'un convertisseur numérique analogique 8 bits. Ce circuit est disponible en boîtier PLCC44 pins. Enfin l'ispPAC80, en version 16 pins DIP ou SOIC, est plus dédié au filtrage d'ordre élevé avec des formes de réponse différentes.

### 3.2.2 Performances électriques de la macrocellule

Les composants Lattice sont alimentés en monotension 0-5V. Toutes les tensions d'entrée sont différentielles et ont un excursion par rapport à 0V de 1 à 4V ce qui donne une tension différentielle de  $\pm 3V$ . L'originalité des composants Lattice est de posséder un offset en entrée de 1mV max (donné pour un gain de 1) qui s'autocalibre à la mise sous tension et surtout un offset de 100 $\mu V$  donné pour un gain de 10 : l'offset est divisé par le gain .

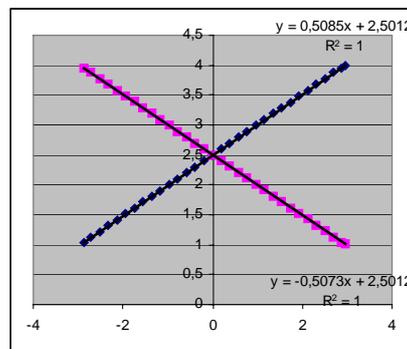
De même, les tensions de sortie sont différentielles et leur plage de variation par rapport à 0V s'étend de 0,1V à 4,9V. Le courant que peut fournir ou absorber chaque sortie est de 10mA. Le mode commun en sortie est fixé à 2,5V. Les caractéristiques essentielles de chaque macrocellule sont résumées dans le Tableau 2.

Caractéristiques	Conditions	Valeurs
Plage de variation du gain	par macrocellule	20 dB max
Taux de réjection des alimentations	en différentielle à 1Khz	80 dB
Taux de distorsion harmonique	en différentielle à 10Khz	-74 dB max
Rapport signal sur bruit	0,1Hz à 100Khz	103 dB
Taux de réjection du mode commun	10Khz	69 dB
Bande passante petits signaux	Gain=1	550Khz
	Gain=10	330Khz
Slew rate		7,5V/ $\mu$ s

Tableau 2 : Performances du circuit Lattice ispPAC

La linéarité d'une macrocellule pour un gain de 1 et de 10 a été mesurée et donne les résultats suivants :

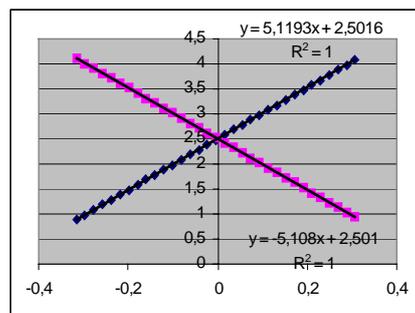
Gain=1  $\Rightarrow$



**Non-linéarité Vs1=0,02%**

**Non-linéarité Vs2=0,01%**

Gain=10  $\Rightarrow$

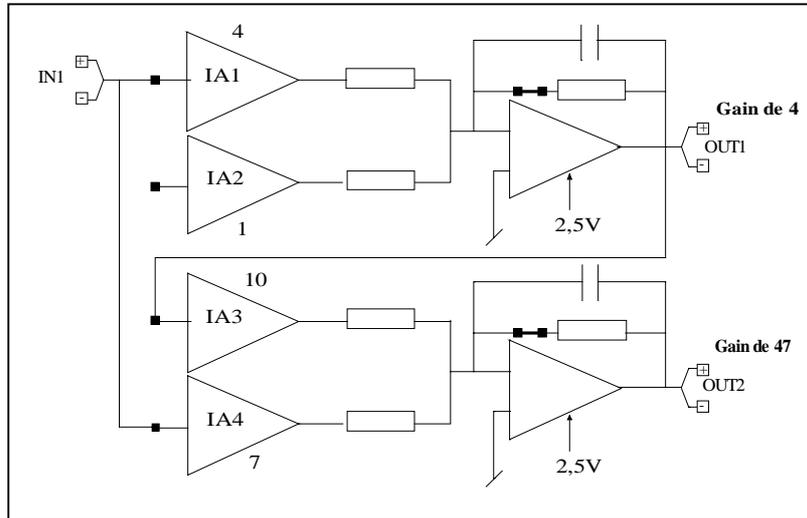


**Non-linéarité Vs1=0,05%**

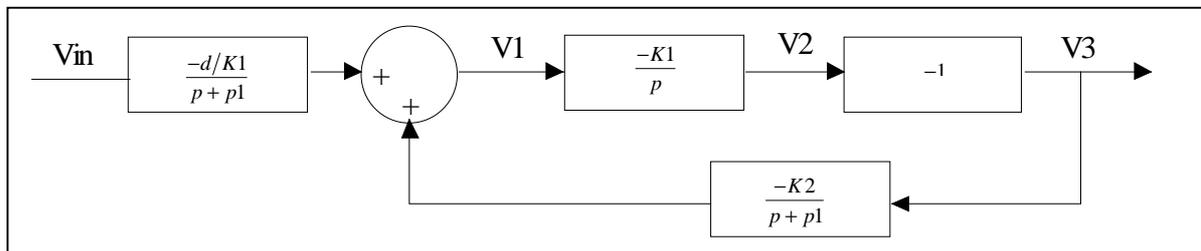
**Non-linéarité Vs2=0,05%**

### 3.2.3 Exemples d'application

a) Etage de gain : gain de 47



b) Filtre Biquad : filtre passe-bas et passe-bande du 2<sup>nd</sup> ordre



Cette structure de filtre réalise un filtre passe-bas et passe-bande du second ordre dont les fonctions de transfert sont les suivantes :

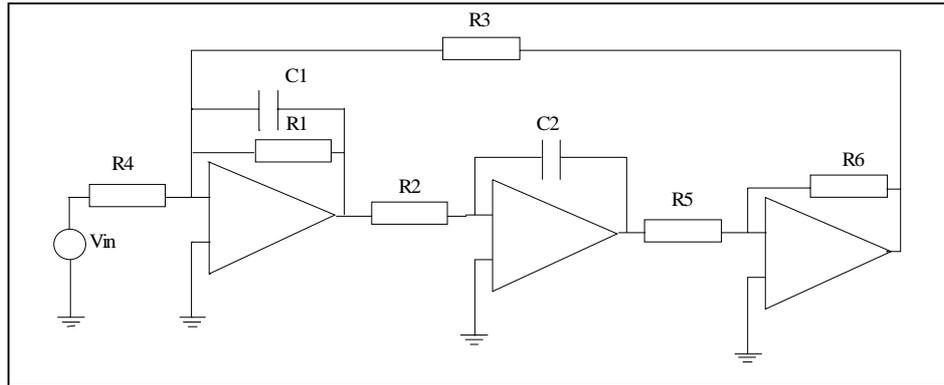
$$\frac{V3}{Vin} = \frac{-d}{p^2 + p1p + K1K2}$$

*passe-bas 2<sup>nd</sup> ordre*

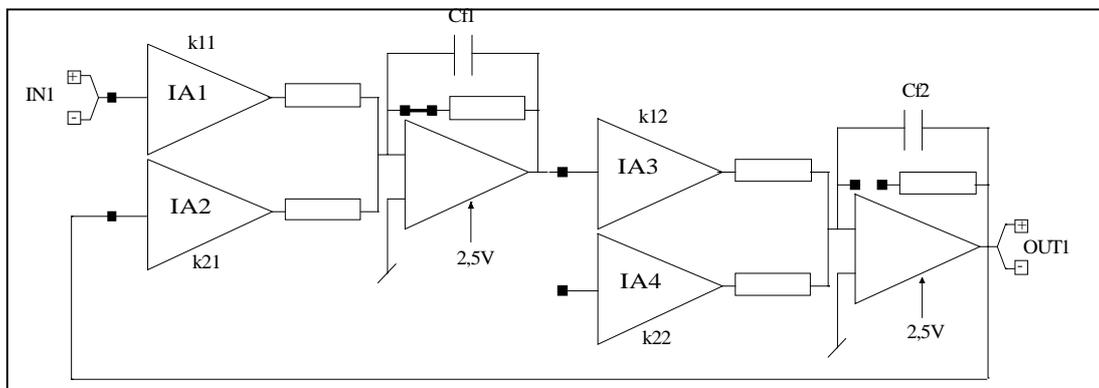
$$\frac{V1}{Vin} = \frac{(-d/K1)p}{p^2 + p1p + K1K2}$$

*passe-bande 2<sup>nd</sup> ordre*

L'approche classique pour réaliser ce type de filtre à l'aide d'amplificateur opérationnel se traduit par le schéma suivant :



Implanté dans le composant Lattice, cette structure devient :



### 3.3 Le composant ANADIGM

Initiée par Pilkington Microelectronics, puis cédée à Motorola avant d'être abandonnée par ce dernier, la technologie d'Anadigm [ANA] des réseaux de blocs analogiques programmables se matérialise dans un premier circuit l'AN10E40. Ce dernier fournit une matrice de 20 blocs analogiques configurables composés de cellules d'amplis opérationnels à capacités commutés dans une structure d'entrées/sorties et de connexions programmables. Des fonctions courantes de mise en forme des signaux (suppression d'offset, redressement, étages de gain, comparateur et filtres de premier ordre) peuvent se mettre en œuvre dans une seule cellule. Des fonctions plus complexes (filtre de  $n^{\text{ième}}$  ordre, oscillateurs, modulateurs à largeur d'impulsion et égaliseurs) se réalisent avec deux cellules ou plus. Avec 20 cellules disponibles, il est possible de combiner les ressources de l'AN10E40 pour créer des systèmes analogiques complexes permettant, par exemple, la mise en forme de signaux sur plusieurs canaux et/ou des fonctions de traitement comme la commande PID ; la configuration du circuit est conservée sur une mémoire SDRAM intégrée à la puce qui s'initialise à la mise sous tension à partir d'une EEPROM ou au moyen de l'interface périphérique du microprocesseur de la puce.

A la différence des conceptions analogiques classiques, il n'est pas nécessaire de posséder de connaissances des circuits, ni de compétences dans les simulateurs analogiques ou les mathématiques, pour appliquer la fonction de transfert. De plus, aucune carte expérimentale n'est nécessaire pour mettre au point un circuit de test : les utilisateurs peuvent simplement sélectionner des éléments de base analogiques spécifiés purement en termes de fonctions et saisir les caractéristiques particulières dont ils ont besoin. Dans le cas d'un filtre biquad, par exemple, un utilisateur n'a qu'à spécifier la fréquence  $f_0$ , le gain de la bande passante et le facteur Q. Le logiciel de développement propose 50 fonctions analogiques paramétrables de ce type dans sa bibliothèque.

### *3.3.1 Structure du circuit*

Le circuit AN10E40 apporte sur le marché, la programmation analogique grâce à l'utilisation de nouvelles techniques de commutation de condensateurs. La commutation de capacités dans les circuits, constitue une façon très économique de mettre en œuvre des réseaux RC précis sur silicium. Bien qu'il soit difficile de fabriquer des condensateurs MOS ayant des valeurs précises (les tolérances peuvent varier de 20%), les valeurs absolues d'un composant à l'autre sont très proches ce qui permet d'obtenir une très grande précision. Le système AN10E40 utilise des groupes de condensateurs compensés en valeurs binaires, ce qui permet à chaque condensateur de prendre une valeur parmi 256. L'innovation réside dans une infrastructure de commutation très souple sur les groupes de condensateurs : les utilisateurs peuvent ainsi créer des configurations complexes

### *3.3.2 Caractéristiques du circuit*

Outre les 20 cellules d'amplificateurs opérationnels programmables, le circuit AN10E40 comporte une référence de tension interne programmable sur 8 bits et quatre horloges programmables avec une fréquence maximale de 1 Mhz.

Toute cellule de la matrice peut accéder à ces ressources. Autour de la périphérie de la matrice, 13 cellules d'entrées/sorties analogiques sont préconfigurées en buffers tampons. Avec des résistances et des condensateurs supplémentaires, il est possible de configurer ces cellules en filtre Sallen Key pour le lissage des sorties, de façon à supprimer les signaux hautes fréquences indésirables résultant de la nature commutée de la matrice, ou en filtre d'anti-repliement pour les entrées. Le circuit dispose également de deux amplificateurs opérationnels libres en périphérie.

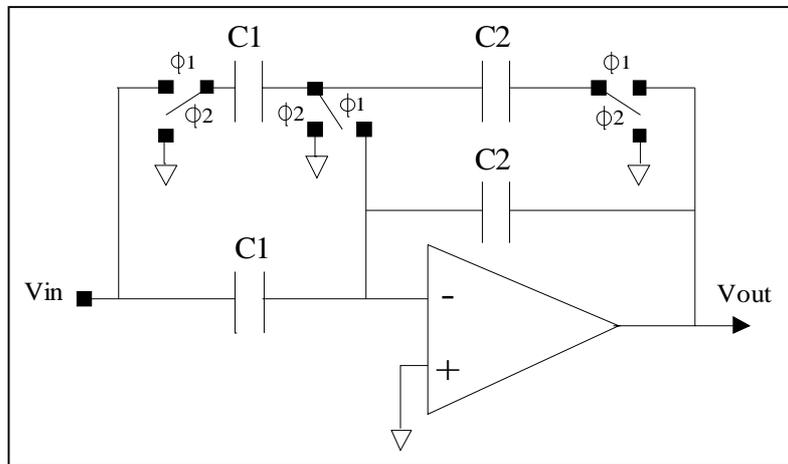
### 3.3.3 Bibliothèque d'IP et exemples d'application

La bibliothèque d'IP prêts à l'emploi comprend les fonctions suivantes : étages de gain, amplificateurs sommateurs, échantillonneurs-bloqueurs, filtres passe bas, passe haut et passe bande, filtres cosinus, oscillateurs carrés, sinusoïdaux et VCO, redresseurs, comparateurs, sources de tension, détecteurs de crêtes, intégrateurs et différentiateurs.

Chaque IP occupe une ou plusieurs cellules. Par exemple, un filtre biquad et un oscillateur sinusoïdal occuperont 2 cellules alors qu'un amplificateur inverseur ne prendra qu'une cellule.

L'approche d'Anadigm pour utiliser une fonction est très conviviale. L'utilisateur choisit sa fonction dans une bibliothèque et donne les spécifications de sa fonction. Par exemple, il donne le gain de son amplificateur inverseur ou alors la fréquence  $f_0$ , le facteur de qualité et le gain pour un filtre passe-bas du second ordre. Le logiciel calcule alors les valeurs de capacités adéquates, la bonne fréquence d'échantillonnage et configure la cellule dans le fonctionnement souhaité.

#### a) Amplificateur inverseur (Figure 23)



**Figure 23 : Amplificateur inverseur**

La fonction de transfert de ce montage est :  $\frac{V_{out}}{V_{in}} = -\frac{C_1}{C_2} = G$

La gamme de programmation du gain est comprise entre 0,01 et 100

#### b) Filtre biquad passe bas (Figure 24)

La fonction de transfert de ce montage est la suivante : 
$$\frac{V_{out}}{V_{in}} = - \frac{4\pi^2 f_0^2 G}{p^2 + \frac{2\pi f_0}{Q} p + 4\pi^2 f_0^2}$$

avec  $f_0 = \frac{f_c}{2\pi} \sqrt{\frac{C_2 C_3}{C_A C_B}}$        $G = \frac{C_1}{C_2}$        $Q = \frac{C_B}{C_4} \sqrt{\frac{C_2 C_3}{C_A C_B}}$

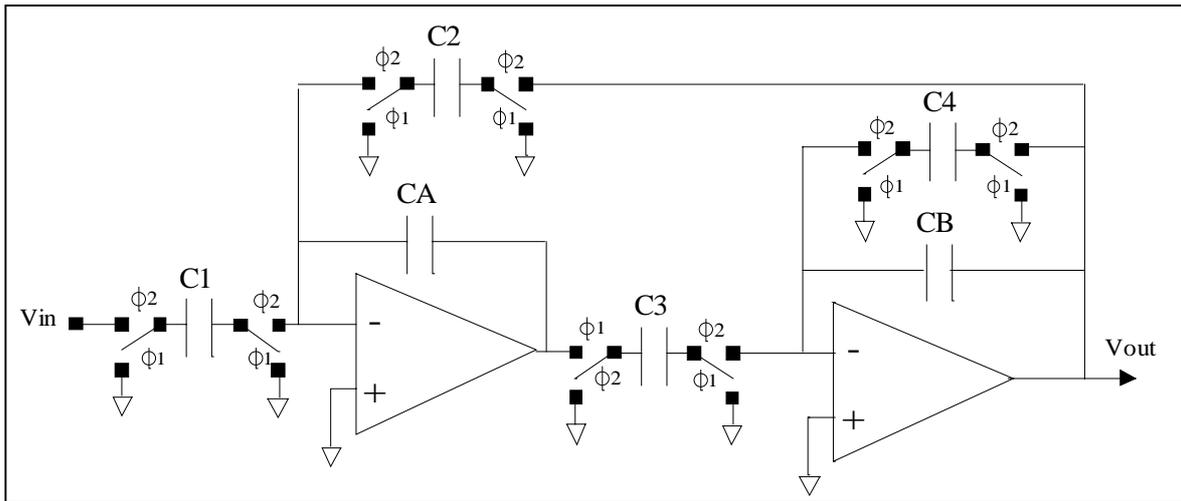


Figure 24 : Filtre biquad passe-bas

	$f_0$	Gain bande passante	Facteur de qualite
Gamme de programmation	0,1-25Khz (pour une horloge de 250Khz)	0,01-20	0,1-1,5

Remarque : il existe des filtres biquad passe bas avec des facteurs de qualité plus élevés

Ce bloc IP peut être utilisé pour réaliser des filtres d'ordre plus élevés avec différentes formes de réponse. Par exemple, si l'on veut réaliser un filtre passe bas avec 0,3 dB d'ondulation, 10Khz pour la fréquence passante, 50Khz pour la fréquence atténuée d'au moins 60dB en utilisant une forme de réponse de type Chebyshev, 2 blocs IP de ce type sont nécessaires (soit 4 cellules) :

IP1 : filtre biquad passe bas	$Q=0,668$	$f_0=6,535Khz$	$G=0,983$
IP2 : filtre biquad passe bas	$Q=2,628$	$f_0=10,652Khz$	$G=0,983$

### 3.4 Les composants Cypress Microsystems : CY8C25/26xxx

En assurant la synthèse entre différentes technologies, cœur de micro, mémoire flash, cellules numériques et analogiques programmables, Cypress Microsystems [CYP] a introduit récemment une famille de microcontrôleurs 8 bits à mémoire flash intégrant des blocs analogiques et numériques programmables permettant à l'utilisateur de choisir, y compris dans l'application, les périphériques embarqués. A la base de ces circuits, il y a le cœur 8 bits M8C cadencé à 24 Mhz. Ce cœur lui-même est original, puisqu'il est épaulé par un bloc de multiplication (sur 8 bits) et d'accumulation (sur 32 bits) de type DSP. Le nombre de cycles d'horloge nécessaires à l'exécution d'une instruction varie selon l'instruction, mais Cypress évalue que la puissance du cœur cadencé à 24 Mhz est 4Mips. Comme la plupart des familles de microcontrôleurs récemment annoncées, les CY8C25/26xxx embarquent de la mémoire flash de 4 à 16 Ko selon les modèles ainsi que de la Sram de 64 à 256 octets.

#### 3.4.1 Architecture du circuit

La principale innovation de Cypress (Figure 25) réside dans les blocs programmables baptisés PSoC ( Programmable System On Chip) et répartis en 12 blocs analogiques et 8 blocs numériques.

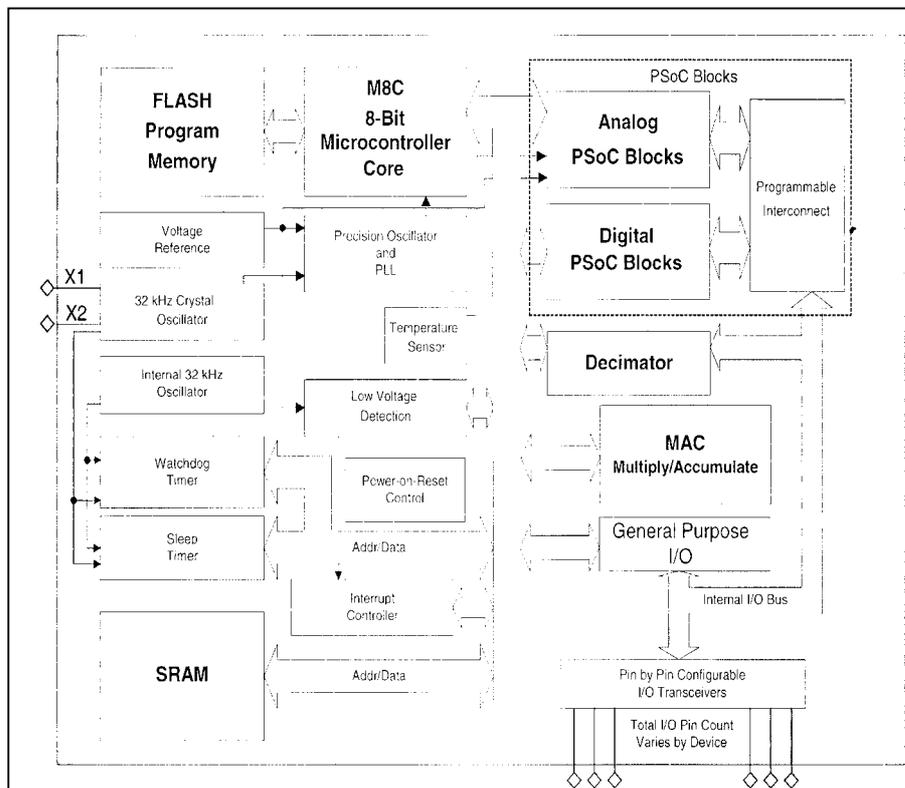


Figure 25 : Architecture interne du circuit Cypress

Une quarantaine de configurations prêtes à l'emploi est proposée pour les blocs analogiques, pour former un convertisseur analogique-numérique ou numérique-analogique, un filtre passe-bas, passe-haut ou passe-bande jusqu'à une fréquence de coupure de 20 KHz, un amplificateur à gain programmable, un générateur de signaux ... Les caractéristiques de chaque bloc, par exemple la fréquence de coupure d'un filtre ou le gain d'un étage d'amplification, sont paramétrables. Il est bien évidemment possible de combiner blocs analogiques et numériques pour réaliser des étages complexes de mise en forme de signaux. De plus ces blocs peuvent être mis en parallèle ou en série pour réaliser des CAN hautes résolution en groupant des CAN 8 bits ou bien des filtres d'ordre  $n$  en cascade de filtres simples.

Tout cela se fait par le biais d'une interface graphique dans le cadre d'un environnement de conception complet incluant notamment un compilateur C et un débogueur. Les données de configuration de chaque bloc et la manière dont ils sont connectés sont stockées dans la mémoire flash embarquée et transférées dans les registres internes à la mise sous tension. La quantité de mémoire flash nécessaire pour stocker la configuration des 220 registres 8 bits est d'environ 500 octets, ce qui laisse la majeure partie des 16 Ko de flash à l'application principale. Ces données peuvent en outre être modifiées à la volée dans l'application, la reprogrammation d'un bloc PSoC prenant environ 3  $\mu$ s, ce qui permet de réaffecter dynamiquement des ressources internes au lieu d'être obligé de prendre un microcontrôleur plus complexe et par la même plus onéreux. On peut par exemple imaginer un circuit de mise en forme de signaux issus de capteurs, qui adapterait successivement l'étage d'entrée aux caractéristiques de chaque capteur.

### *3.4.2 Organisation des blocs PsoC analogiques*

Les blocs PSoC sont répartis en matrice de  $4 \times 3$  dont quatre d'entre eux fonctionnent en temps continu tandis que les autres sont des blocs à capacités commutées. Les blocs en temps continu permettent de réaliser des amplificateurs, des atténuateurs, des amplificateurs d'instrumentations en utilisant 2 blocs, des filtres anti-repliement haute fréquence et des comparateurs à faible temps de réponse. Ces blocs comprennent un amplificateur opérationnel, un comparateur, un réseau de résistances et une multitude de multiplexeurs analogiques commandés par des signaux numériques provenant des registres internes du microcontrôleur embarqué. La programmation de ces multiplexeurs configure le bloc dans un mode de fonctionnement donné. Les blocs à capacités commutés sont de deux types et

comportent un amplificateur opérationnel muni de réseaux programmables de capacités et de switch.

La combinaison de ces différents types de blocs analogiques en temps continu et discret, en plus des blocs numériques, permet de réaliser un nombre de fonctions considérables qui sont disponibles sous forme de modules utilisateurs développés par Cypress Microsystems. Chaque module utilisateur inclut une description du module, les spécifications du module, des indications à suivre et des extraits de code.

### *3.4.3 Etendue des fonctions réalisables*

Le Tableau 3 donne l'étendue des fonctions réalisables dans les blocs PSoC du circuit Cypress. Ces fonctions ont été développées par Cypress et peuvent être étendues par l'utilisateur lui-même.

Fonctions	Ressources utilisées
Convertisseur A/N 6 bits SAR	1 bloc SWC
Convertisseur A/N 8 bits SAR	2 blocs SWC
Convertisseur A/N 8 à 14 bits incrémental	1 bloc SWC / 2blocs NUM
Convertisseur A/N 8 bits delta-sigma	1 bloc SWC / 1blocs NUM
Convertisseur A/N 11 bits delta-sigma	1 bloc SWC / 1blocs NUM
Convertisseur N/A 6 bits	1 bloc SWC
Convertisseur N/A 8 bits	2 blocs SWC
Comparateur de seuil	1 bloc CT
Comparateur différentiel	2 blocs SWC
Filtre passe bas, haut, bande 2 pôles	2 blocs SWC
Amplificateur à gain programmable	1 bloc CT
Amplificateur inverseur	1 bloc CT
Amplificateur d'instrumentation	2 blocs CT

**Tableau 3 : Fonctions réalisables dans les PsoC blocs**

Notes ⇒ SWC : switch capacitor  
CT : continuous time

Contrairement au circuit d'Anadigm où l'approche est plus conviviale, Cypress donne des procédures de calcul pour déterminer les valeurs des capacités et fréquence d'échantillonnage adéquates quand le concepteur utilise des blocs PsoC analogiques à capacités commutées. Ayant calculé ces valeurs et connaissant la signification des registres de contrôles à l'intérieur du circuit, le concepteur écrira dans son code les octets nécessaires à la bonne configuration du bloc

#### 3.4.4 Exemple de fonctions : amplificateur à gain programmable

Ce type d'amplificateur amplifie soit un signal interne, soit un signal externe. Le signal à amplifier peut être référencé par rapport à la masse interne ou une autre référence sélectionnée. Le gain, l'entrée et la référence sont choisis par l'utilisateur. Les gains possibles sont discrets et s'étendent de 0,0625 à 16, soit 32 gains programmables. L'amplificateur réalisé n'est pas rail to rail et la gamme en sortie où le signal est linéaire s'étend de  $V_{ss}+0,5V$  à  $V_{dd}-0,5V$ . Les performances électriques de cet amplificateur à gain programmable sont décrites dans le Tableau 4

Caractéristiques	Valeurs
Erreur sur le gain :	
G=16	-7% à -2%
G=0,0625	1,7% à 11%
Tension d'offset	14 à 28 mV
Courant de fuite	3 à 1000 nA
Capacité d'entrée	0,34 pF à 0.4 pF
Réjection de l'alimentation (gain=1)	60 dB
Produit Gain bande passante	8,9 MHz
Slew rate (entre 20% et 80%, gain=1, échelon de 2V)	2V/ $\mu$ s
Temps d'établissement (gain=1, à 0,1%)	0,6 $\mu$ s

**Tableau 4 : Performance d'un PSoC bloc analogique temps continu configuré en gain programmable**

Remarque : ces résultats sont donnés pour une alimentation en 0.5V et pour un courant de polarisation de l'amplificateur opérationnel de 500 $\mu$ A

### 3.5 Le circuit SIDA

Dans la même lignée que le circuit Cypress, en moins performant, le circuit FIPSOC développé par la société SIDA [SID] comprend un cœur de microcontrôleur 8051 embarqué, de la logique programmable et des blocs analogiques configurables appelés CAB (maximum 2 blocs) permettant de réaliser des opérations d'amplification, de comparaison et de conversion de données. Chaque bloc contient trois amplificateurs opérationnels à gain programmable jusqu'à 65 dB avec un taux de réjection du mode commun maximum de 70 dB et quatre comparateurs avec des références programmables.

### 3.6 Le composant ZETEX

Commercialisé depuis quelques années, le composant Zetex [ZET] TRAC020LH réalise des opérations analogiques en temps continu. Il s'articule autour de 20 cellules dont le réseau d'interconnexion est figé. La cellule comporte un amplificateur opérationnel muni de résistances et de transistors bipolaires montés en diode afin de réaliser les fonctions d'addition, d'inversion, de suiveur, de logarithme, d'antilogarithme et de redresseur. Pour réaliser les fonctions d'amplification, d'atténuateur, d'intégrateur et de différentiateur, il faut ajouter des résistances et des capacités à l'extérieur du circuit. Chaque fonction est codée sur 3 bits que l'on envoie sur un lien série. Les performances du circuit sont résumées dans le Tableau 5 :

Caractéristiques	Valeurs
Alimentation	V <sub>dd</sub> =3 V et V <sub>ss</sub> =-2 V
Excursion des entrées/sorties	1 V
Courant en sortie (source/sink)	150 μA
Bande passante (large signal)	3 MHz
Offset (dépend des fonctions)	3,4mV max
Bruit (10Hz-100Khz)	$15nV / \sqrt{Hz}$
THD (1 V peak-peak)	0,08%
Réjection de l'alimentation	60dB

**Tableau 5 : Performance du circuit Zetex**

Il est à noter que la bande passante chute lorsqu'on chaîne plusieurs cellules.

## **4. Conclusions**

Ce chapitre a dressé un état de l'art des différentes approches développées dans le domaine de l'analogique programmable. Toutes les réalisations industrielles utilisent l'amplificateur opérationnel comme élément de base de la cellule configurable. La capacité programmable est toujours réalisée à partir d'un réseau de capacités aussi bien pour l'approche temps continu (Lattice) que temps discret (Anadigm, Cypress). Ce réseau de capacités chez Lattice fait l'objet d'ailleurs d'un réglage à la fabrication. La résistance programmable, quant à elle, est définie soit par un réseau de résistances (Cypress dans les blocs continus), soit par une transconductance gm (Lattice) ou alors est émulée par une capacité commutée (Anadigm et Cypress dans les blocs à capacités commutées).

Par rapport à ces réalisations industrielles, les approches universitaires se sont démarquées entre autre en remplaçant l'amplificateur opérationnel par le convoyeur de courant qui dispose d'une bande passante plus importante et surtout un produit gain bande non constant. C'est l'approche de C. Prémont et de l'université de Toronto. De plus, le remplacement du réseau de capacités par un multiplieur de capacités a été initié par les travaux de C. Prémont. Enfin l'université Hopkins a introduit la capacité MOS dans un réseau et les interconnexions par antifusibles.

Les fonctions proposées sont en règle générale l'amplification, l'atténuation et le filtrage. Les blocs à capacités commutées permettent de réaliser des fonctions de conversion. La tendance est d'apporter à l'utilisateur de ces circuits analogiques programmables des blocs « plug and play » où les paramètres sont à spécifier dans une fenêtre graphique.

**CHAPITRE 2 :**  
**Spécifications et analyse du cahier des**  
**charges**

## 1. Introduction

Des industriels travaillant dans le domaine de l'interfaçage capteur ont exprimé leurs attentes techniques relatives à un circuit analogique programmable. Ils souhaitent, en plus des fonctions d'amplification et de filtrage, disposer d'une fonction de linéarisation mathématique de la mesure. D'où l'idée de concevoir une cellule de calcul analogique réalisant des fonctions d'addition, de soustraction, de multiplication, de division et de racine carrée. Ce type de cellule n'existe pas à l'heure actuelle sur le marché.

Dans un premier temps, la linéarisation mathématique d'une mesure est exposée sur deux exemples précis et une méthode générale analogique de linéarisation est présentée. Ensuite, une spécification de la cellule à concevoir est décrite. Enfin, une analyse de ces spécifications permet de proposer une première approche de solution.

## 2. Besoin industriel

L'interfaçage capteur relève du domaine de l'analogique car la mesure d'une grandeur physique est par nature analogique. Des industriels travaillant dans ce domaine, ont défini leur besoin concernant les caractéristiques d'un circuit analogique programmable :

- amplification à gain programmable
- filtrage
- détection de seuil
- linéarisation mathématique de la mesure
- compensation d'une mesure par rapport à une autre mesure

La bande passante exploitable souhaitée est de 50 KHz et une linéarité d'au moins 8 bits est demandée.

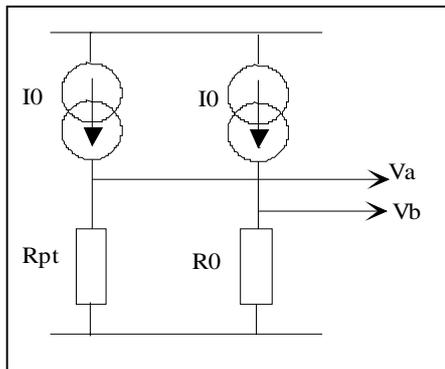
Parmi les approches exposées dans le chapitre 1, aucun circuit ne réalise du calcul analogique nécessaire à la fonction de linéarisation mathématique. La linéarisation permet de corriger le défaut de linéarité d'un capteur ou de son conditionneur éventuel lorsqu'ils

présentent dans leur domaine d'emploi des écarts à la linéarité interdisant de considérer la sensibilité comme constante.

Dans un autre contexte que l'interfaçage capteur, C. Prémont a proposé une cellule de calcul analogique dont l'objectif visé était une bande passante importante.

### 2.1 Linéarisation d'un capteur résistif de température

La mesure d'une température peut être effectuée par une résistance platine. L'expression de la résistance en fonction de la température n'est pas une fonction linéaire :  $R_{pt} = R_0 (1 + AT + BT^2)$ . On considère que le conditionneur de ce capteur est composé de deux sources de courant équivalentes stables en température.



$$V_m = V_a - V_b = R_{pt} \cdot I_0 = R_0 I_0 (AT + BT^2)$$

**Figure 26 : Conditionneur d'un capteur résistif**

Le but de la linéarisation est d'obtenir une relation linéaire entre une tension  $V_1$  et la température. Pour cela, un certain nombre d'opérations mathématiques sur la tension  $V_m$  est effectué.

$$V_1 = V_m + R_0 I_0 \frac{A^2}{4B} = R_0 I_0 \left( \sqrt{BT} + \frac{A}{2\sqrt{B}} \right)^2$$

$$V_2 = \sqrt{V_1} \sqrt{V_C} = \sqrt{R_0 I_0} \sqrt{V_C} \left( \sqrt{BT} + \frac{A}{2\sqrt{B}} \right) \quad \text{avec } V_C = 1V$$

$$V_3 = V_2 - \sqrt{R_0 I_0} \sqrt{V_C} \frac{A}{2\sqrt{B}} = \left( \sqrt{R_0 I_0} \sqrt{V_C} \sqrt{B} \right) T$$

$$V_1 = G V_3 = G \left( \sqrt{R_0 I_0} \sqrt{V_C} \sqrt{B} \right) T$$

$V_1$  est bien une fonction linéaire de  $T$ . Les opérations nécessaires à la linéarisation (Figure 27) de ce capteur sont l'addition, la racine carrée, la soustraction et le gain.

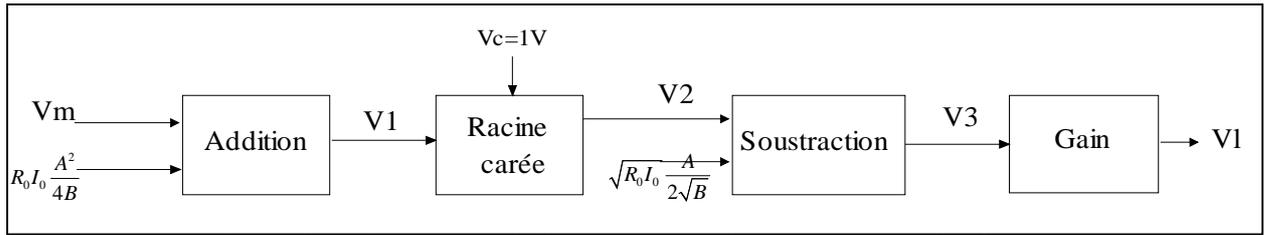


Figure 27 : Opération de linéarisation d'un capteur résistif

## 2.2 Correction de non-linéarité d'un conditionneur de capteur passif

Lorsqu'on utilise un capteur de mesure unique, par exemple résistif, avec pour conditionneur un pont de Wheatstone ou un montage potentiométrique à alimentation symétrique, la tension délivrée n'est pas fonction linéaire des variations de résistance du capteur : elle a en effet pour expression :

$$V_m = \frac{E_s}{4} \frac{\Delta R_C}{R_{C0}} \frac{1}{1 + \frac{\Delta R_C}{2R_{C0}}}$$

Le montage représenté Figure 28 permet d'obtenir à partir de la tension  $V_m$ , une tension  $V_l$  qui est fonction linéaire de  $\Delta R_C$ .

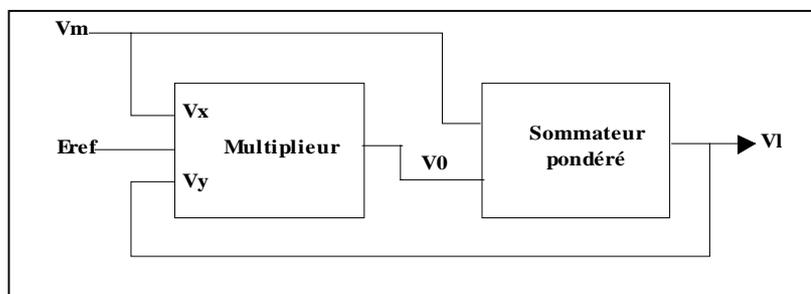


Figure 28 : Linéarisation du pont de Wheatstone par un multiplieur

La tension de sortie du multiplieur est :

$$V_0 = \frac{V_x V_y}{E_{ref}} = \frac{V_m V_l}{E_{ref}}$$

Les gains sur ses deux voies d'entrée étant a et b, le sommateur délivre en sortie :

$$V_l = aV_m + bV_0 = aV_m + b \frac{V_m V_l}{E_{ref}} \quad \text{D'où} \quad V_l = \frac{aV_m}{1 - \frac{bV_m}{E_{ref}}}$$

En remplaçant  $V_m$  par son expression, on obtient :

$$V_I = \frac{aE_s \Delta R_C}{4 R_{C0}} \frac{1}{1 + \frac{\Delta R_C}{2R_{C0}} \left(1 - \frac{b E_s}{2 E_{ref}}\right)}$$

La tension  $V_I$  devient fonction linéaire de  $\Delta R_C$  en éliminant le terme responsable de la non-linéarité par le choix approprié de  $b$ , à savoir :  $b = \frac{2E_{ref}}{E_s}$ .

Un autre montage est représenté Figure 29 : il présente l'intérêt de fournir une tension de mesure linéarisée  $V_I$  indépendante de la tension d'alimentation du pont, et donc de ses fluctuations éventuelles.

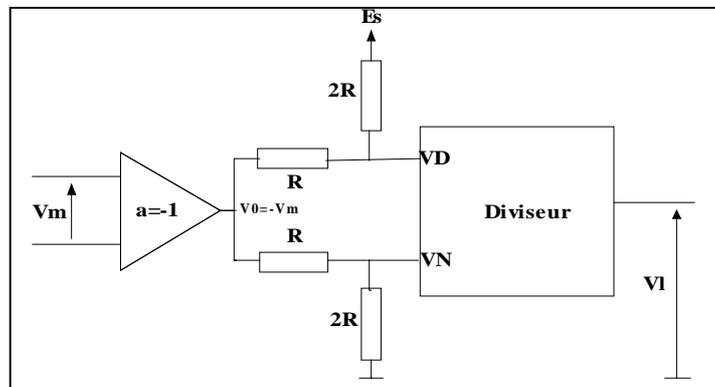


Figure 29 : Linéarisation du pont de Wheatstone par un diviseur

Ce montage comporte un amplificateur d'instrumentation de gain unité et un diviseur analogique dont la tension de sortie qui est la tension linéarisée a pour expression en fonction de ses entrées  $V_N$  et  $V_D$  :

$$V_I = 10 \frac{V_N}{V_D}$$

La tension de sortie de l'amplificateur d'instrumentation est :

$$V_0 = -V_m = -\frac{E_s \Delta R_C}{4 R_{C0}} \frac{1}{1 + \frac{\Delta R_C}{2R_{C0}}}$$

En posant  $R_i$ , résistance d'entrée en chacune des bornes d'accès du diviseur, on obtient :

$$V_N = \frac{2R_i}{3R_i + 2R} V_0 \quad \text{et} \quad V_D = \frac{2R_i}{3R_i + 2R} \left( \frac{E_s}{2} + V_0 \right)$$

$$\text{d'où l'on déduit finalement : } V_l = 10 \frac{V_N}{V_D} = -10 \frac{\Delta R_C}{2R_{C0}}$$

### **2.3 Méthodes analogiques générales de linéarisation d'un signal**

On considère un capteur actif ou passif, associé dans ce dernier cas à son conditionneur, qui est à l'origine d'une tension de mesure  $V_m$  fonction non linéaire du paramètre  $m$  à mesurer.

A partir de la courbe d'étalonnage ou d'un tableau des valeurs expérimentales associées de  $V_m$  et de  $m$ , on établit l'équation représentative :

$$m = a_0 + a_1 V_m + a_2 V_m^2 + \dots + a_n V_m^n$$

Les  $n+1$  coefficients  $a_k$  sont obtenus en résolvant  $n+1$  équations correspondant à  $n+1$  couples de valeurs associées de  $V_m$  et de  $m$ , tirés du tableau ou de la courbe d'étalonnage. Cette détermination n'est d'ailleurs pas unique puisqu'elle dépend des couples particuliers de points choisis. Pour des raisons évidentes de simplicité de la réalisation, on limite le nombre de termes au minimum compatible avec la précision recherchée.

Le dispositif de linéarisation recevant la tension  $V_m$  à son entrée, doit délivrer en sortie une tension  $V_l$  linéarisée, c'est à dire proportionnelle à  $m$  :

$$V_l = A.m \quad \text{soit} \quad V_l = A(a_0 + a_1 V_m + a_2 V_m^2 + \dots + a_n V_m^n)$$

$$\text{que l'on peut écrire} \quad V_l = A_0 + A_1 V_m + A_2 V_m^2 + \dots + A_n V_m^n \quad \text{avec} \quad A_k = A.a_k$$

Il en résulte que d'une façon générale, un dispositif analogique de linéarisation est réalisable par une association de multiplieurs fournissant les termes  $V_m^k$  et d'additionneurs pondérés.

### 3. Spécifications du cahier des charges

Etant donné les fonctions utiles pour la linéarisation mathématique d'un capteur, la cellule devra avoir les caractéristiques suivantes :

- La cellule de calcul doit vérifier la relation suivante :  $V_S = -\frac{1}{2} \frac{V_X}{V_Z} (V_A \pm V_B)$  permettant ainsi de réaliser la fonction amplification, addition, soustraction, multiplication, division, mise au carré et de racine carrée si  $V_S = V_Z$ . Si  $V_A = V_B = V_E$ , la fonction de transfert devient :

$$V_S = -\frac{V_X}{V_Z} V_E$$

- Les tensions définies ci-dessus sont toutes différentielles avec un mode commun égal à  $\frac{V_{dd} + V_{ss}}{2}$  ( $V_{dd}$  étant le potentiel le plus haut et  $V_{ss}$  étant le potentiel le plus bas). Les tensions simples sont alors toutes symétriques par rapport au potentiel  $\frac{V_{dd} + V_{ss}}{2}$ . Par exemple si  $V_{dd} = 5V$  et  $V_{ss} = 0V$ , le mode commun est à 2,5V et les excursions de toutes les tensions vont de 1,5V à 3,5V, soit une tension différentielle de  $\pm 2V$ .
- La cellule doit posséder pour les fonctions linéaires qu'elle réalise, une linéarité supérieure ou égale à 8 bits sur la plage décrites précédemment ce qui donne une erreur de non-linéarité de 0,4 % maximum.
- Toutes les entrées de la cellule doivent être haute impédance permettant un chaînage aisé des cellules.
- La bande passante de la cellule doit être d'au moins 50KHz.

Enfin, il sera nécessaire de concevoir des cellules en entrée et en sortie du circuit analogique programmable qui transforment une tension différentielle en une tension de mode commun et inversement.

### 3.1 Signaux différentiels

Tout signal continu  $V_E = A$  ou sinusoïdal  $V_E = A \sin(\omega t)$  (Figure 30) qui attaque la cellule en entrée, aura l'allure suivante:

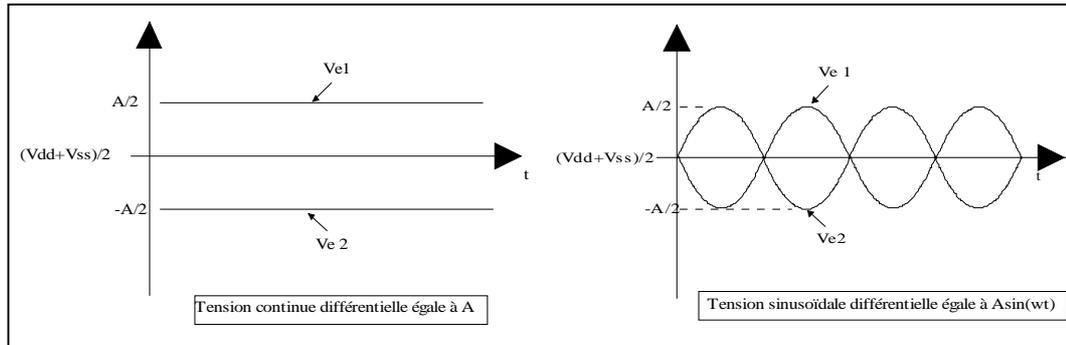


Figure 30 : Exemples de signaux différentiels

La cellule de calcul analogique, quant à elle, doit générer en sortie 2 tensions  $V_{S1}$  et  $V_{S2}$  qui vérifient ces conditions. Prenons l'exemple de la mise au carré (Figure 31) de  $A \sin \omega t$  :

$$\text{Si } V_E = A \sin(\omega t) \text{ alors } V_S = V_E^2 = A^2 \sin^2(\omega t) = \frac{1}{2}A^2 - \frac{1}{2}A^2 \cos(2\omega t)$$

$$\text{Si } V_E = A \sin(\omega t) \text{ alors } V_{E1} = \frac{A}{2} \sin(\omega t) \text{ et } V_{E2} = -\frac{A}{2} \sin(\omega t)$$

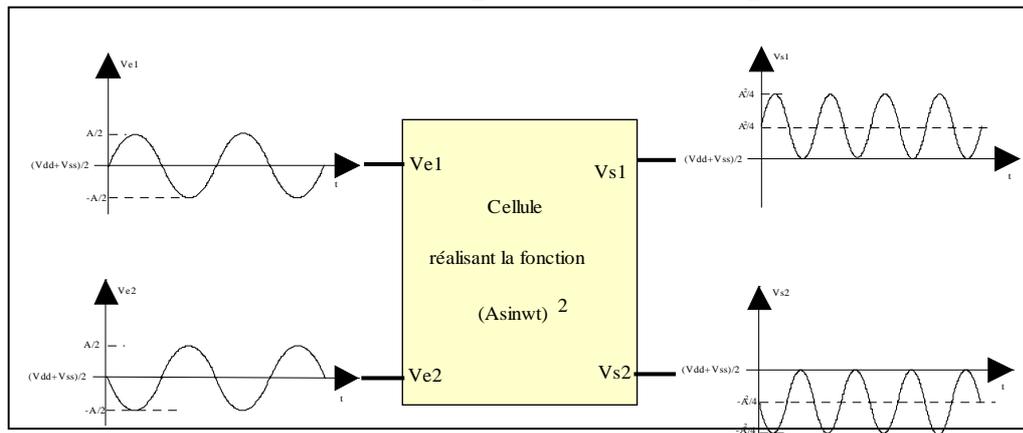


Figure 31 : Cellule de calcul en mode mise au carré

La cellule doit générer deux tensions simples  $V_{S1}$  et  $V_{S2}$  qui ont pour expression :

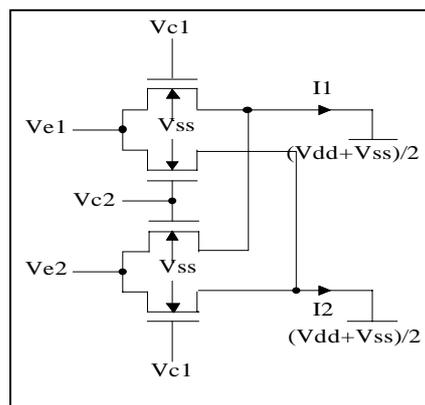
$$V_{S1} = \frac{A^2}{4} - \frac{A^2}{4} \cos(2\omega t) \text{ et } V_{S2} = -\frac{A^2}{4} + \frac{A^2}{4} \cos(2\omega t)$$

$$\text{d'où } V_S = V_{S1} - V_{S2} = \frac{1}{2}A^2 - \frac{1}{2}A^2 \cos(2\omega t)$$

### 3.2 Intérêts du mode différentiel

Les intérêts de travailler en mode différentiel sont multiples. Le premier intérêt est de doubler les excursions des signaux. Dans un système alimenté en monotension 0-5V, l'excursion d'un signal  $V$  peut être de  $\pm 1V$  autour d'une masse virtuelle à 2,5V permettant ainsi de travailler avec des signaux bipolaires. Le fait de travailler en mode différentiel dans le même système implique une excursion du signal  $V_{\text{diff}}=V_1- V_2$  de  $\pm 2V$  car à tout moment  $V_1$  peut être égal à 3,5V et  $V_2$  à 1,5V ou inversement.

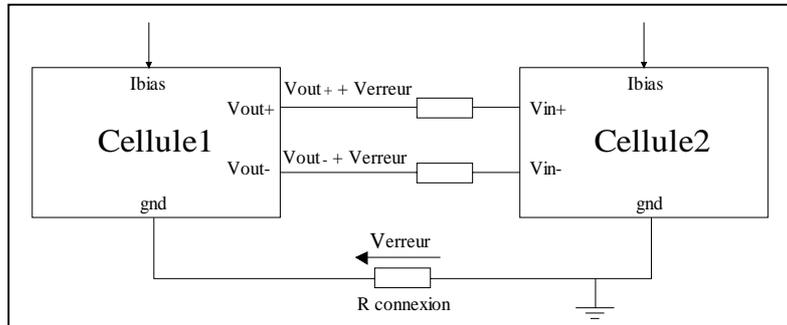
Un autre intérêt est d'améliorer la linéarité d'un système. Ceci provient du fait que par différence les termes du second ordre, voir d'ordre plus élevé peuvent disparaître. Par exemple, la transconductance différentielle décrite dans [2] illustre cette amélioration. Un transistor NMOS en régime ohmique dont la source est au potentiel  $\frac{V_{dd}+V_{ss}}{2}$  peut être considéré comme une transconductance simple et a comme fonction de transfert :  $I = K(V_E - V_t)V_C - \frac{V_C^2}{2}$  avec  $K = \mu C_{ox} \frac{W}{L}$ ,  $V_E = V_{GS}$  et  $V_C = V_{DS}$ . Cette expression possède un terme de non-linéarité du second ordre. La même structure en différentielle (Figure 32) où les tensions  $V_E$ ,  $V_C$  et courant  $I$  sont différentielles, permet d'éliminer le terme en  $V_C^2/2$ . La fonction de transfert devient alors en différentiel :  $I_1 - I_2 = K(V_{E1} - V_{E2})(V_{C1} - V_{C2})$  si les quatre transistors NMOS sont en régime linéaire.



**Figure 32 : Transconductance différentielle**

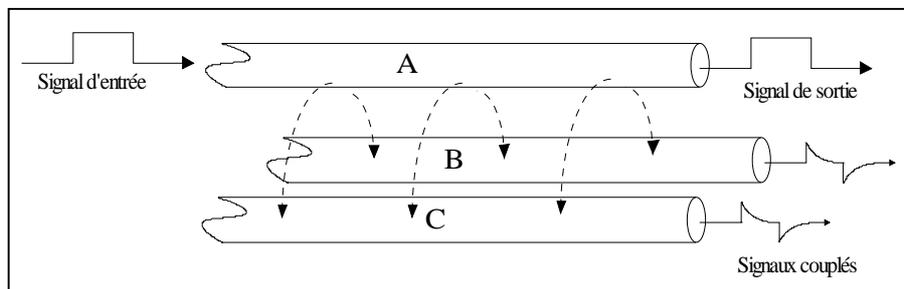
Un autre avantage du mode différentiel est de pouvoir traiter des signaux continus de faible amplitude qui par différence s'affranchissent des décalages locaux éventuels de masse.

La Figure 33 illustre ce phénomène : la différence de potentiel  $V_{\text{erreur}}$  créée dans la masse par le passage d'un courant se retrouve sur les tensions  $V_{\text{out}+}$  et  $V_{\text{out}-}$  qui par différence s'annule.



**Figure 33 : Structure différentielle avec décalage de masse**

Enfin, le mode différentiel induit une plus importante immunité contre les interférences électromagnétiques et les phénomènes de « crosstalk » (Figure 34). Là encore, si les signaux différentiels B et C sont routés au plus proche, l'effet du couplage d'un signal A sur B et C est annulé par différence.



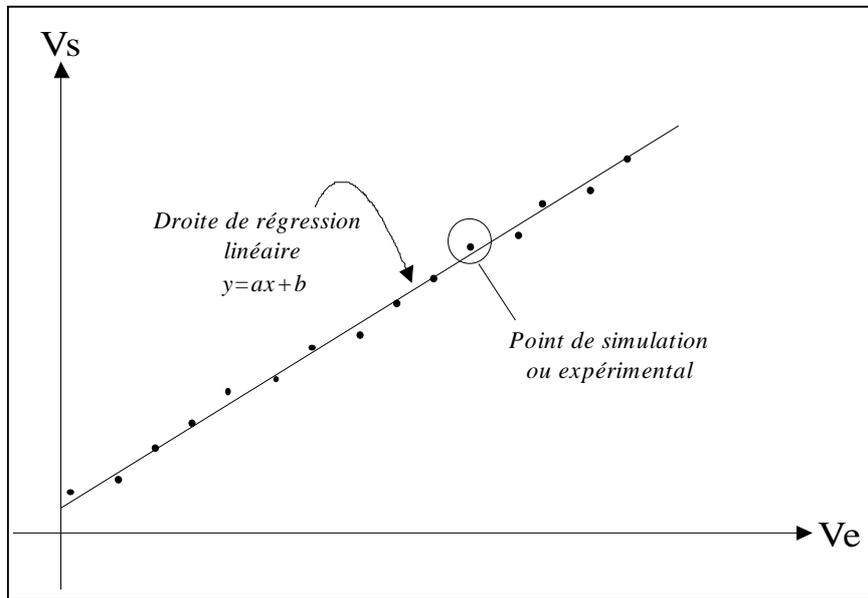
**Figure 34 : Effet de couplage**

Tous ces intérêts font en sorte qu'un système qui travaille en mode différentiel peut traiter des signaux de faibles amplitudes n'ayant pas forcément un bon rapport signal sur bruit. La contrepartie de travailler en mode différentiel implique de doubler les structures par rapport à un mode simple, donc ce mode est plus gourmand en surface de Silicium.

### **3.3 Linéarité de la cellule**

La linéarité de la cellule est un paramètre important permettant de caractériser la cellule dans un mode de fonctionnement linéaire, c'est à dire en amplification, addition,

soustraction et multiplication par une constante ( $V_E$  ou  $V_X$  fixe). Cette linéarité, que ce soit en simulation ou en expérimentation, sera caractérisée de la manière suivante :



**Figure 35 : Caractérisation linéarité de la cellule**

L'erreur de non-linéarité est donnée par l'écart maximum d'un point de simulation ou expérimental par rapport à la droite de régression, ramené à la pleine échelle. Elle s'exprime généralement en pourcentage :

$$\text{erreur\_non\_linéarité} = \frac{V_{S_{\text{exp}}}^{\text{sim}} - (AV_E - B)}{PE} \cdot 100$$

avec  $PE = V_{S_{\text{max}}} - V_{S_{\text{min}}}$ , A et B coefficients de régression

#### 4. Réalisation avec les approches existantes

L'objectif de cette partie est de déterminer si le cahier des charges que l'on s'est fixé compte tenu de l'application visée est réalisable par les approches existantes décrites dans le chapitre 1. Etant donné les fonctions de calcul demandées, deux approches paraissent intéressantes, mais certaines contraintes limitent leurs usages.

#### 4.1 L'approche C. Prémont

Cette approche est sans aucun doute celle qui correspond le mieux aux spécifications du cahier des charges car la fonction de transfert conçue est la même que celle que l'on recherche, mais avec des performances et des applications différentes.

La cellule de 3<sup>ème</sup> génération (Figure 36) de C. Prémont, décrite dans le chapitre 1, réalise la fonction de transfert  $V_S = -\frac{V_X}{V_Z}V_E$  et utilise un amplificateur de courant différentiel à base de quatre convoyeurs et deux transconductances différentielles dont une, contre-réactionne l'amplificateur. Les études qui suivent, montrent l'inadéquation de la cellule développée avec les objectifs que l'on s'est fixés.

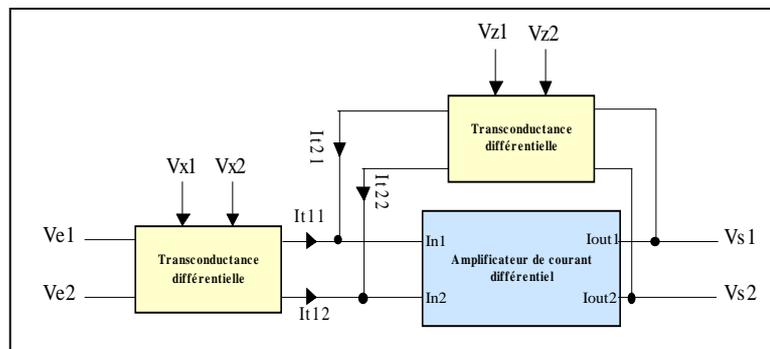


Figure 36 : Cellule 3<sup>ème</sup> génération

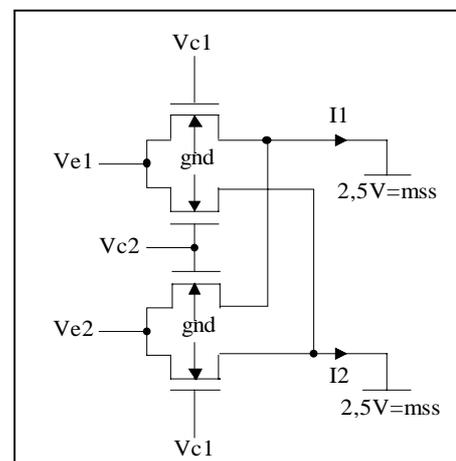
##### 4.1.1 Etude de la transconductance différentielle

La transconductance différentielle est composée de 4 transistors NMOS fonctionnant en régime ohmique. Cette transconductance différentielle transforme une tension différentielle ( $V_{E1}-V_{E2}$ ) en un courant différentiel ( $I_1-I_2$ ), par l'intermédiaire d'une tension de commande différentielle ( $V_{C1}-V_{C2}$ ).

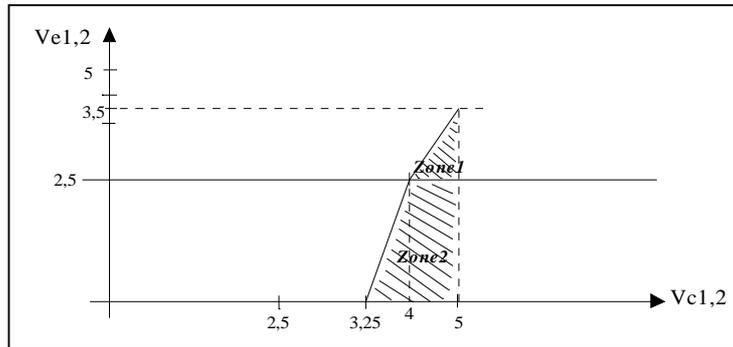
La fonction de transfert décrivant cette structure est la suivante :

$$I_1 - I_2 = K(V_{E1} - V_{E2})(V_{C1} - V_{C2})$$

seulement si les 4 transistors sont en régime ohmique



La zone de fonctionnement de cette transconductance est la suivante :



**Figure 37 : Zone de fonctionnement de la transconductance différentielle**

Zone1 : Si  $V_{E1,2} > 2,5V$  , les sources des transistors se trouvent du côté de la masse virtuelle ( $mss=2,5V$ ). Les tensions substrat/source des 4 transistors valent alors  $2,5V$ , ce qui implique une tension de seuil  $V_t$  commune aux 4 transistors de  $1,5V$ . Pour fonctionner en régime ohmique, il faut respecter la relation suivante :  $V_{ds} < V_{gs} - V_t$

Or  $V_{ds} = V_{E1,2}$  et  $V_{gs} = V_{C1,2} - 2,5$  d'où  $V_{E1,2} < V_{C1,2} - 2,5 - 1,5$

$$\boxed{V_{E1,2} < V_{C1,2} - 4}$$

Zone2 : Si  $V_{E1,2} < 2,5V$  , les sources des transistors changent de sens et se trouvent donc du côté  $V_{E1,2}$ . Si  $V_{E1,2}$  diminue à partir de  $2,5V$  alors les tensions substrat/source associées à chaque transistor diminuent ce qui a pour effet de diminuer la tension de seuil  $V_t$  qui tend vers  $0,7V$ . Pour fonctionner en régime ohmique, il faut toujours respecter la relation suivante :

$$V_{ds} < V_{gs} - V_t$$

Or  $V_{ds} = 2,5 - V_{E1,2}$  et  $V_{gs} = V_{C1,2} - V_{E1,2}$  d'où  $2,5 - V_{E1,2} < V_{C1,2} - V_{E1,2} - V_t$

$$\boxed{V_{C1,2} > 2,5 + V_t} \quad \text{avec } 0,7 < V_t < 1,5$$

L'étude précédente montre que la zone de fonctionnement est très réduite. En effet, les tensions de commande  $V_{C1}$  et  $V_{C2}$  doivent être comprises entre 4V et 5V ce qui interdit donc toute symétrie des tensions  $V_{C1}$  et  $V_{C2}$  par rapport à 2,5V. La symétrie possible est en 4,5V.

De plus, les tensions d'entrée  $V_{E1,2}$  acceptables sont dépendantes des tensions de commande  $V_{C1,2}$  ce qui n'est pas satisfaisant. En effet, si  $V_{C1}=5V$  et  $V_{C2}=4V$  (symétrie par rapport à 4,5V), la seule valeur possible pour  $V_{E1}$  et  $V_{E2}$  est 2,5V.

Si on considère  $V_{E1}$  et  $V_{E2}$  symétrique par rapport à 2,5V et  $V_{C1}$  et  $V_{C2}$  symétrique par rapport à 4,5V, la zone de fonctionnement est présentée ci-contre :

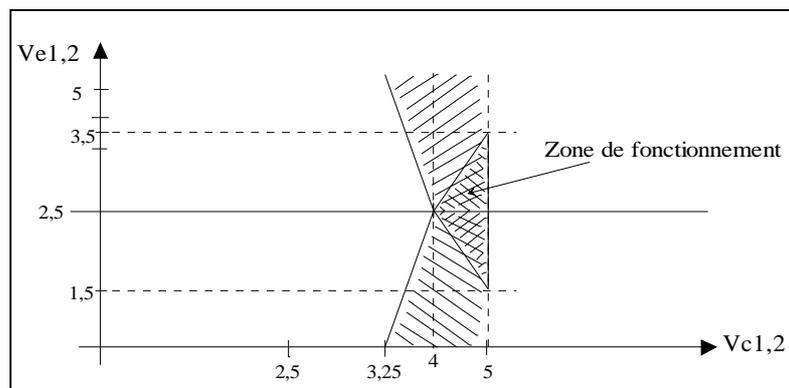


Figure 38 : Zone de fonctionnement avec  $V_{E1}$  et  $V_{E2}$  symétriques par rapport à 2,5V

Cette zone de fonctionnement très réduite et cette dépendance de la tension  $V_E$  par rapport à  $V_C$  n'est pas compatible avec les spécifications du cahier des charges concernant les excursions demandées sur les tensions  $V_E$ ,  $V_X$  et  $V_Z$ . Ces tensions ont toutes une excursion de  $\pm 2V$  différentielle avec un mode commun à 2,5V.

#### 4.1.2 Dissymétrie des tensions de sorties

Le schéma équivalent donné Figure 39 correspond à celui de la transconductance.  $R_1$ ,  $R_2$ ,  $R_3$  et  $R_4$  sont des résistances commandées par les tensions  $V_{C1}$  et  $V_{C2}$ . La relation qui donne l'inverse de la résistance à l'état passant d'un transistor MOS en régime ohmique est la

suivante :

$$Y = \frac{1}{R_{on}} = \beta(V_{gs} - V_t)$$

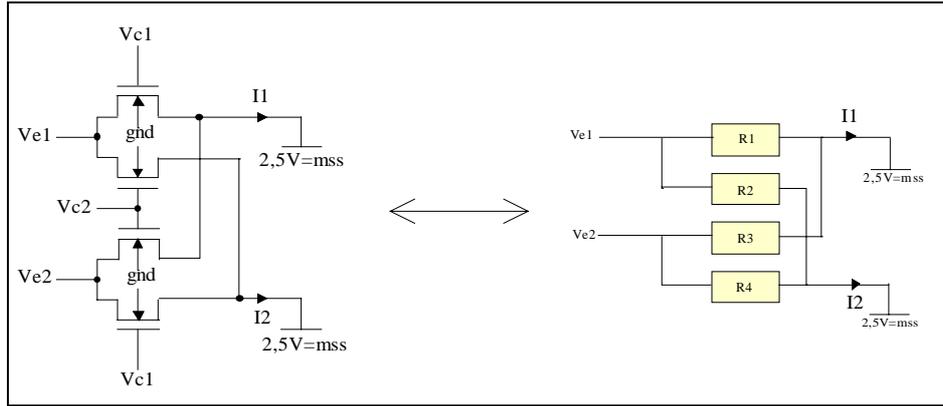
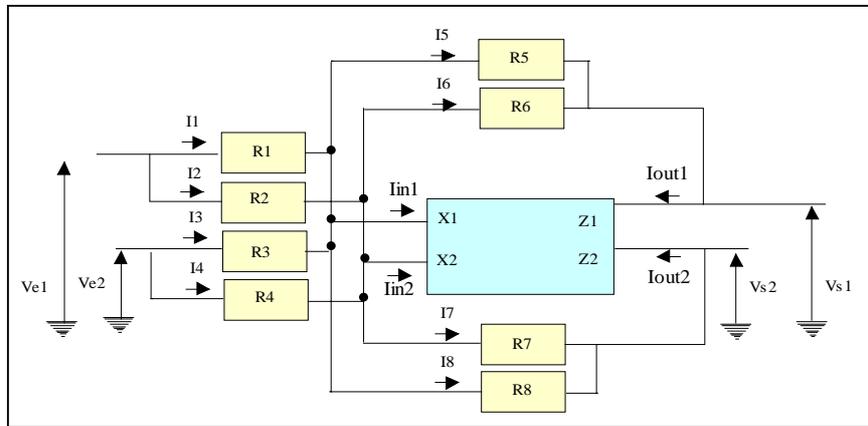


Figure 39 : Schéma équivalent de la transconductance différentielle

Le schéma équivalent de la cellule C. Prémont se présente ainsi :



Si l'on calcule la fonction de transfert de ce schéma équivalent, on trouve :

$$V_{S1} - V_{S2} = \frac{Y_1 - Y_2}{Y_6 - Y_5} (V_{E1} - V_{E2}) \quad (\text{à condition que } Y_1 - Y_2 = Y_4 - Y_3 \text{ et } Y_6 - Y_5 = Y_7 - Y_8).$$

Ces 2 conditions sont vérifiées. En effet si par exemple  $V_{E1} > 2,5V$  et  $V_{E2} < 2,5V$ , on a les relations suivantes :

$$\begin{aligned} Y_1 &= \beta(V_{X1} - V_t) & \text{et} & & Y_3 &= \beta(V_{X2} - V_{E2} - V_{t'}) \\ Y_2 &= \beta(V_{X2} - V_t) & \text{et} & & Y_4 &= \beta(V_{X1} - V_{E2} - V_{t'}) \end{aligned}$$

$$\text{d'où } Y_1 - Y_2 = \beta(V_{X1} - V_{X2}) = Y_4 - Y_3$$

Si on veut exprimer les tensions  $V_{S1}$  et  $V_{S2}$ , les équations se présentent ainsi :

$$\begin{aligned} V_{S2} &= -(R_8 // R_7) I_{out2} = (R_8 // R_7) I_{out1} \\ V_{S1} &= -(R_5 // R_6) I_{out1} \end{aligned}$$

Pour avoir  $V_{S1}$  et  $V_{S2}$  symétriques, il faudrait avoir  $R_8 // R_7 = R_5 // R_6$  donc  $Y_8 + Y_7 = Y_5 + Y_6$  ce qui n'est pas le cas puisque l'on a  $Y_6 - Y_5 = Y_7 - Y_8$ . Cette dissymétrie en sortie implique que le mode commun en sortie ne sera pas égal à 2,5V. Ceci peut poser un problème lors des chaînages des cellules si les cellules rejettent mal le mode commun en entrée.

#### 4.1.3 Impédance d'entrée sur l'entrée $V_E$ de la cellule

Etant donné le schéma électrique de la tranconductance différentielle, l'entrée  $V_E$  n'est pas une entrée haute impédance, ce qui peut aussi poser des problèmes de chaînages de cellules.

### 4.2 L'approche ZETEX

Cette approche peut paraître intéressante pour répondre aux spécifications du cahier des charges car le circuit dispose de 20 cellules permettant entre autre les fonctions d'addition, d'inversion, de log et antilog. Avec ces quatre fonctions, il est envisageable de réaliser la fonction de soustraction, combinaison de l'addition et de l'inversion, de multiplication et de division, combinaison des quatre fonctions.

Par exemple, on peut étudier la réalisation d'un multiplieur quatre quadrants avec ce circuit. L'architecture d'un tel multiplieur découle de l'architecture d'un multiplieur simple quadrant. Pour assurer une valeur positive aux deux entrées du multiplieur simple quadrant, il suffit d'ajouter une constante. Les entrées du multiplieur simple quadrant deviennent alors :  $1+X$  et  $1+Y$  où  $X, Y < 1$ . L'opération de multiplication donne le résultat suivant:

$$(1+X)(1+Y) = 1+Y+X+XY$$

Par la suite, il faut donc éliminer les termes indésirables en retranchant  $-1$ ,  $-X$  et  $-Y$  afin de ne garder que le terme en  $XY$ , résultat souhaité de la multiplication (Figure 40).

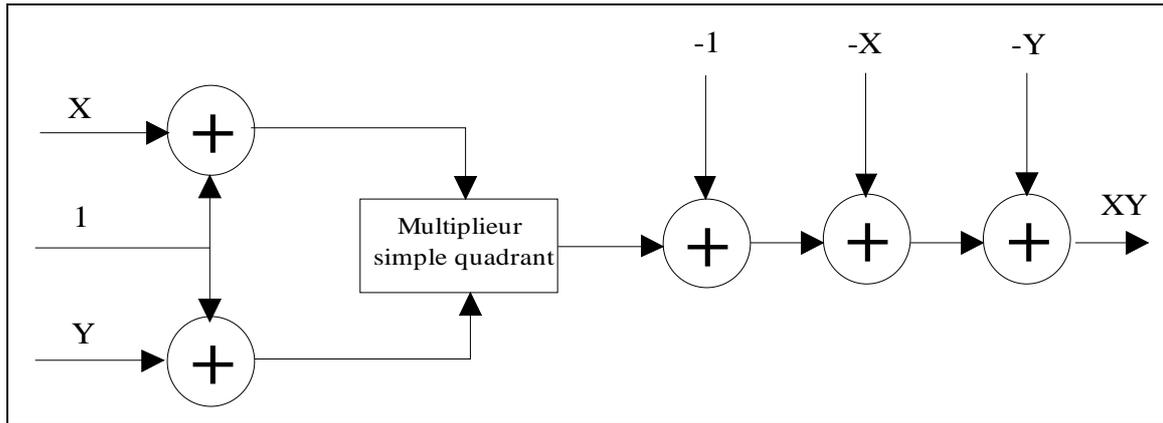


Figure 40 : Synoptique d'un multiplieur quatre quadrants avec le composant ZETEX

La réalisation du multiplieur simple quadrant à partir des fonctions disponibles dans le composant Zetex est décrite Figure 41 et nécessite entre autre l'introduction d'une tension Eref comme facteur d'échelle, étant donné la présence de log et d'antilog dans la réalisation de la fonction.

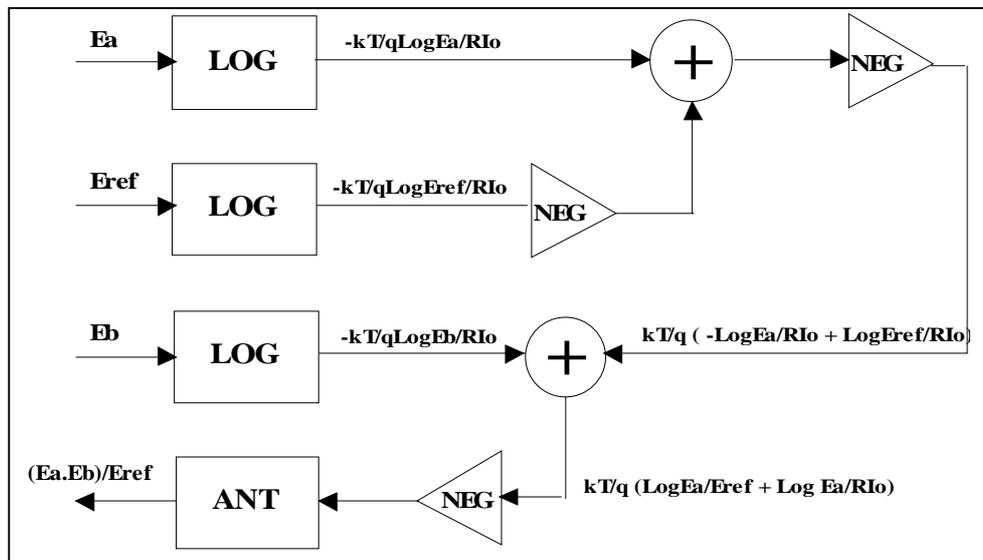


Figure 41 : Réalisation du multiplieur simple quadrant

La fonction NEG est la fonction inverseur et la fonction  $\oplus$  est un additionneur inverseur. La fonction complète multiplieur quatre quadrants est représentée . On constate qu'elle prend les 2/3 du circuit. Ainsi, il n'est pas envisageable de réaliser la fonction de transfert du cahier des charges dans le circuit Zetex.

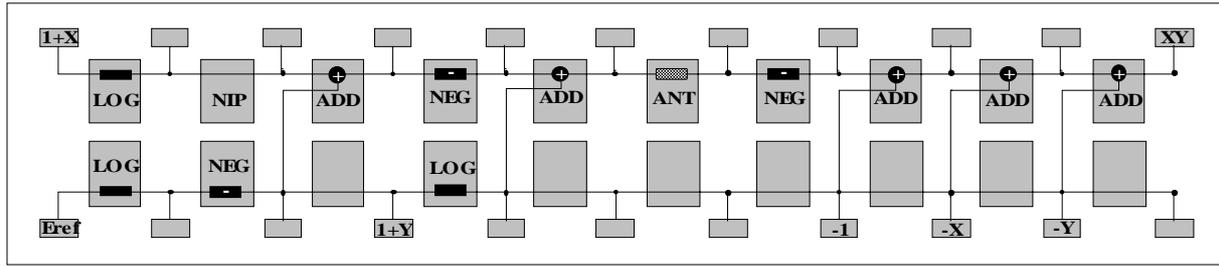


Figure 42 : Fonction multiplieur quatre quadrants implantés dans le circuit Zetex

## 5. Analyse du cahier des charges

Les premiers travaux se sont axés sur la recherche d'architecture de multiplieurs car la fonction de transfert recherchée est composée d'une multiplication et d'une division. Or, un diviseur [GAS90] peut être réalisé en mettant un multiplieur en contre réaction d'un étage amplificateur. Le synoptique donné en Figure 43 peut satisfaire l'objectif que l'on s'est fixé.

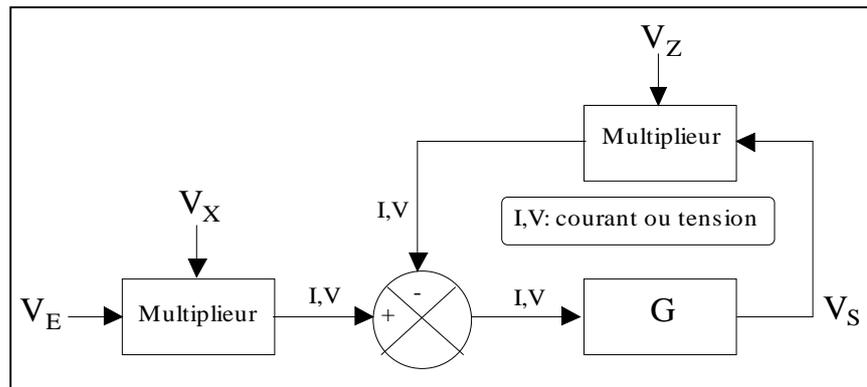


Figure 43 : Synoptique réalisant la fonction de transfert

$$V_S = G(V_E V_X - V_S V_Z) \quad \Longrightarrow \quad V_S = \frac{V_E V_X}{V_Z + \frac{1}{G}} \quad \square \quad \frac{V_E V_X}{V_Z} \quad \text{pour } G \text{ grand}$$

La cellule développée par C. Prémont (Figure 36) est d'ailleurs basée sur ce principe. La fonction multiplication est réalisée par la transconductance différentielle et le gain G correspond au gain de l'amplificateur en courant.

Il est à noter que cette structure devient instable et part en saturation quand  $V_Z$  est négatif car la contre réaction devient une réaction positive.

### 5.1 Spécification du multiplieur

La multiplieur est un élément totalement différentiel qui comporte 2 entrées différentielles en tensions ( $\{V_{E1}, V_{E2}\}$  et  $\{V_{C1}, V_{C2}\}$ ) et une sortie différentielle ou non. La linéarité par rapport aux 2 entrées doit être suffisante pour respecter celle de la cellule de calcul.

Les caractéristiques du multiplieur sont les suivantes :

- $V_{E1}$  et  $V_{E2}$  sont symétriques par rapport à la tension moitié des alimentations, c'est à dire 2,5V. De même pour  $V_{C1}$  et  $V_{C2}$ .
- $\{V_{E1}, V_{E2}\} \in [1,5V ; 3,5V]$ , donc  $V_E \in [-2V ; 2V]$ .
- $\{V_{C1}, V_{C2}\} \in [1,5V ; 3,5V]$ , donc  $V_C \in [-2V ; 2V]$ .
- La linéarité par rapport aux 2 entrées doit être au moins de 8 bits (0,4% de non-linéarité).

## **5.2 Recherche d'architecture de multiplieur**

De nombreux articles sur les multiplieurs analogiques ont été publiés. En particulier, un article [GS98] fait la synthèse des différentes architectures de multiplieur et décrit les performances de chacune. Les multiplieurs proposés dans de nombreux articles [LH94 - HW98 - FCC97] ont souvent une erreur de non-linéarité au voisinage de 1%. D'autres multiplieurs [PC87-SK90] atteignent 0,45% d'erreur de non-linéarité, mais sous 10V d'alimentation. Par ailleurs, il faut être vigilant à la gamme d'excursion des signaux d'entrée sur laquelle la linéarité est annoncée.

Parmi les structures de multiplieur qui existe dans la littérature, deux classes de multiplieurs se distinguent : l'une employant des transistors en régime ohmique et l'autre utilisant des transistors en régime de saturation. Une étude de linéarité de ces deux classes est proposée ci-après.

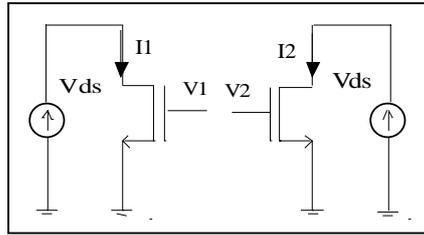
### *5.2.1 Principe du multiplieur utilisant des transistors en régime ohmique*

Le principe est le même que celui de la transconductance différentielle de C. Prémont dans [PGA99], c'est-à-dire que l'on polarise 4 transistors en zone ohmique, et que l'on additionne 2 à 2 les 4 courants pour en générer 2 dont la différence sera proportionnelle à la fois à la différence des  $V_{GS}$  et à celle des  $V_{DS}$ .

Dans ce type de multiplieur, on utilise l'équation du transistor dans sa zone linéaire :

$$I_{ds} = \mu C_{ox} \frac{W}{L} \left( V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds}$$

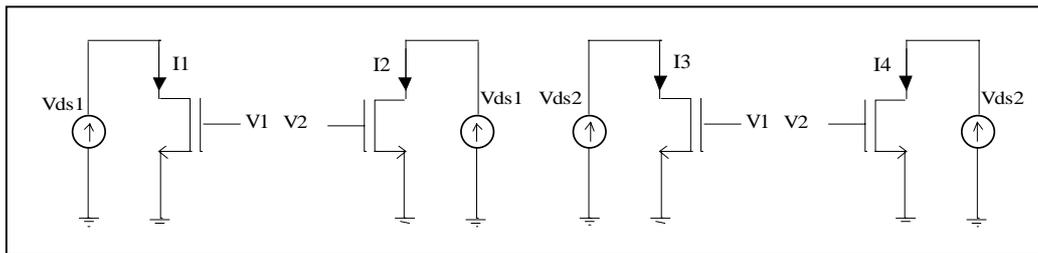
Le principe d'un multiplieur 2 quadrants est le suivant :



$$I_1 - I_2 = \mu C_{ox} \frac{W}{L} \left( V_1 - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} - \mu C_{ox} \frac{W}{L} \left( V_2 - V_{th} - \frac{V_{ds}}{2} \right) V_{ds}$$

d'où 
$$I_1 - I_2 = \mu C_{ox} \frac{W}{L} (V_1 - V_2) V_{ds}$$

Le passage à 4 quadrants se présente ainsi :



$$I_1 - I_2 = \mu C_{ox} \frac{W}{L} (V_1 - V_2) V_{ds1}$$

$$I_3 - I_4 = \mu C_{ox} \frac{W}{L} (V_1 - V_2) V_{ds2}$$

$$I_1 - I_2 - I_3 + I_4 = \mu C_{ox} \frac{W}{L} (V_1 - V_2) (V_{ds1} - V_{ds2})$$

Par rapport à la structure de la transconductance différentielle, le nœud commun aux 4 transistors (c'est à dire la source) a été abaissé et est passé de  $\frac{V_{DD} + V_{SS}}{2} = 2,5V$  à  $V_{SS} = 0V$ .

Ainsi, la tension de seuil des 4 transistors reste constante et égale à  $V_{th0}$ . car le substrat et la source sont reliés. Le niveau des tensions  $V_{DS}$  a lui aussi été abaissé pour pouvoir utiliser des tensions  $V_{GS}$  autour de 2,5V. Pour obtenir des niveaux de courant exploitables (ni trop faibles, ni trop forts), le niveau des tensions  $V_{DS}$  est de 100mV et varie de 40mV autour de cette valeur. Il est clair qu'un étage d'adaptation est nécessaire pour passer d'une tension

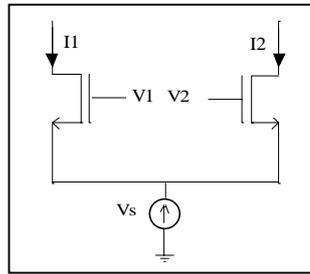
$\{V_{C1}, V_{C2}\} \in [1,5V ; 3,5V]$  avec un mode commun à 2,5V, à une tension  $V_{DS} \in [60mV ; 140mV]$  avec un mode commun à 100mV.

### 5.2.2 Principe du multiplieur utilisant des transistors en régime de saturation

Dans ce type de multiplieur, on utilise l'équation du transistor dans sa zone de saturation :

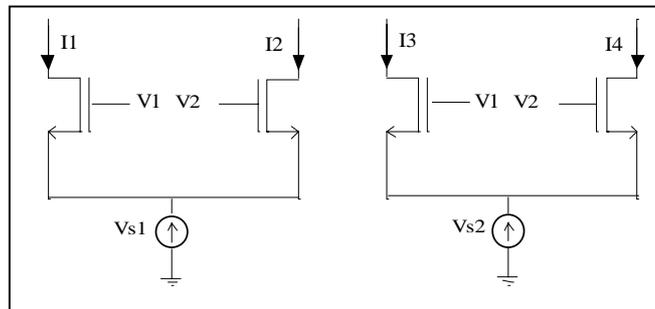
$$I_{ds} = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2$$

Le principe d'un multiplieur 2 quadrants est le suivant :



$$\begin{aligned} I_1 - I_2 &= \frac{\mu C_{ox} W}{2L} (V_1 - V_s - V_{th})^2 - \frac{\mu C_{ox} W}{2L} (V_2 - V_s - V_{th})^2 \\ &= \frac{\mu C_{ox} W}{2L} \left( \frac{V_1 + V_2}{2} - V_s - V_{th} + \frac{V_1 - V_2}{2} \right)^2 - \frac{\mu C_{ox} W}{2L} \left( \frac{V_1 + V_2}{2} - V_s - V_{th} - \frac{V_1 - V_2}{2} \right)^2 \\ &= \frac{\mu C_{ox} W}{L} \left( \frac{V_1 + V_2}{2} - V_s - V_{th} \right) (V_1 - V_2) \end{aligned}$$

Le passage à 4 quadrants se présente ainsi :



$$I_1 - I_2 = \frac{\mu C_{ox} W}{L} \left( \frac{V_1 + V_2}{2} - V_{s1} - V_{th} \right) (V_1 - V_2)$$

$$I_3 - I_4 = \frac{\mu C_{ox} W}{L} \left( \frac{V_1 + V_2}{2} - V_{s2} - V_{th} \right) (V_1 - V_2)$$

$$\text{D'où : } \boxed{I = (I_1 - I_2) - (I_3 - I_4) = -\frac{\mu C_{ox} W}{L} (V_1 - V_2)(V_{s1} - V_{s2})}$$

### 5.2.3 Etude comparative des multiplieurs en terme de linéarité.

#### a) Transistor en régime linéaire

L'étude de linéarité d'un multiplieur à quatre transistors en régime linéaire a fait l'objet d'un article [AR01]. Les source de non linéarité sont dues à deux phénomènes physiques :

- La mobilité de surface du transistor MOS.
- Les résistances d'accès drain/source.

La mobilité effective des porteurs dans le canal, dépend du champ électrique vertical présent dans de dernier, donc de la tension  $V_{gs}$  selon la loi :  $\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{gs} - V_{th})}$ .

Un développement limité au 2<sup>ème</sup> ordre en fonction de la variation de tension  $v_{gs}$  autour du point de polarisation donne :  $\mu_{eff} = A\mu_0 (1 - Bv_{gs} + B^2v_{gs}^2)$ . (A et B étant 2 constantes pour un point de polarisation donné).

Le courant dans un MOS en régime linéaire devient alors :

$$I_{MOS} = A\mu_0 (1 - Bv_{gs} + B^2v_{gs}^2) C_{ox} \frac{W}{L} \left( V_{gs0} + v_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \quad (V_{gs0} \text{ étant le point de polarisation})$$

Il apparaît alors dans l'expression du courant de sortie du multiplieur 4 quadrants:

- que les termes non désirables du 2<sup>ème</sup> ordre s'éliminent quand les 2 entrées varient symétriquement, donc quand  $V_{gs1} = -V_{gs2}$  et  $V_{ds1} = -V_{ds2}$  (autour du point de polarisation),
- que les termes non désirables du 3<sup>ème</sup> ordre s'ajoutent, et qu'ils sont une source de non-linéarité du multiplieur 4 quadrants, indépendante des dimensions du transistor.

Les contacts d'accès aux zones de diffusion et les zones de diffusion au niveau du drain et de la source sont des résistances que l'on ne peut pas négliger dans l'expression du courant d'un transistor. Cette résistance est inversement proportionnelle à la largeur du canal

:  $r_{ds} = \frac{R_0}{W}$ . Cette résistance entraîne une chute de potentiel au niveau du canal et donc une

diminution du courant  $I_{ds}$ . L'expression du courant du transistor devient alors :

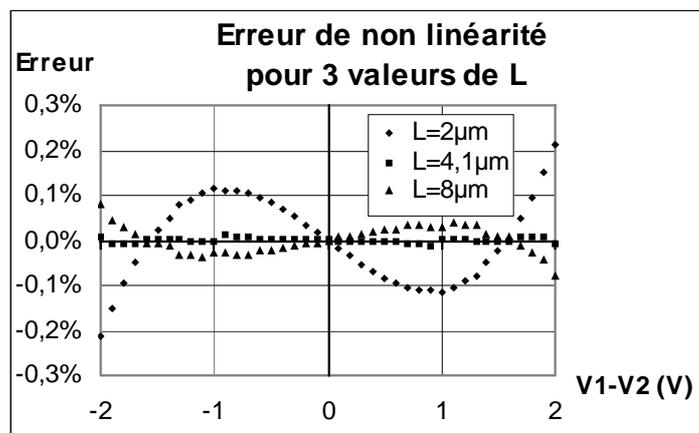
$$I_{ds} = \frac{I(V_{ds})}{1 + \frac{r_{ds}}{V_{ds}} I(V_{ds})}$$

Un développement limité du 2<sup>ème</sup> ordre donne :  $I_{ds} = I(V_{ds}) \left( 1 - \frac{r_{ds}}{V_{ds}} I(V_{ds}) + \frac{r_{ds}^2}{V_{ds}^2} I(V_{ds})^2 \right)$ .

Il apparaît alors dans l'expression du courant de sortie du multiplieur 4 quadrants:

- que les termes non désirables du 1<sup>er</sup> ordre s'éliminent quand les 2 entrées varient symétriquement, donc quand  $V_{gs1} = -V_{gs2}$  et  $V_{ds1} = -V_{ds2}$  (par rapport au point de polarisation).
- que les termes non désirables du 2<sup>ème</sup> ordre s'ajoutent, et qu'ils sont une source de non-linéarité du multiplieur 4 quadrants inversement proportionnelle à la longueur L du canal du transistor.

Des simulations HSPICE avec les modèles BSIM3V3 montrent que la linéarité en fonction de  $(V_1 - V_2)$  varie avec la longueur de canal L ; elle est minimale pour  $L=4,1\mu\text{m}$  et est de l'ordre de 0,01%. Cette longueur optimale résulte de la compensation partielle de 2 sources de non-linéarité présentées au paragraphe précédent.



Les 4 transistors NMOS en régime linéaire ont un rapport  $\frac{W}{L} = \frac{100\mu\text{m}}{4,1\mu\text{m}}$ .

$V_1$  et  $V_2$  sont symétriques par rapport à 2,5V et varient de 1,5 à 3,5V.  $V_{ds1}$  et  $V_{ds2}$  sont symétriques par rapport à 100mV et varient de 60 à 140mV.

Une seconde simulation en fonction de  $(V_{ds1}-V_{ds2})$  montre que la linéarité en fonction de cette seconde tension différentielle est de l'ordre de 0,007% et est indépendante des dimensions du canal.

#### b) Transistor en régime de saturation

Comme on l'a vu pour le multiplieur précédent, la mobilité de surface est fortement dépendante de la tension  $V_{gs}$  appliquée. De plus, la tension  $V_{ds}$  appliquée aux bornes du canal diffère de la tension  $V_{ds}$  appliquée aux bornes du composant, à cause de la chute de potentiel dans les résistances d'accès au drain et à la source.

Une troisième source de non-linéarité, due à la saturation de la vitesse des électrons dans le silicium, intervient dans ce type de multiplieur. Pour assurer le fonctionnement des transistors en régime de saturation, on est contraint d'appliquer une tension  $V_{ds}$  telle que  $V_{ds} > V_{dssat}$ . Le champ électrique dans le canal est alors  $\frac{V_{dssat}}{L}$ . Il est suffisamment important pour que la relation linéaire entre vitesse et champ électrique ne soit plus valable.

L'expression de la mobilité devient alors : 
$$\mu = \frac{\mu}{1 + \frac{\mu}{Lv_{sat}} V_{dssat}} = \frac{\mu}{1 + \frac{\mu}{Lv_{sat}} (V_{gs} - V_{th})}$$

Si l'on tient compte des trois effets précédemment évoqués, le courant d'un transistor

$$\text{MOS devient : } I = \frac{\frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{dseff})}{1 + A(V_{gs} - V_{th}) + \frac{\mu_0 (V_{gs} - V_{th})}{Lv_{sat}}}$$

Un développement limité au deuxième ordre du dénominateur et un développement de  $V_{dseff}$  donnent :

$$I = \frac{1}{2} A \mu_0 C_{ox} \frac{W}{L} (V_{gs0} + v_{gs} - V_{th})^2 (A_0 + A_1 v_{gs} + A_2 v_{gs}^2) (1 + B_1 v_{gs} + B_2 v_{gs}^2),$$

où  $A_0$ ,  $A_1$  et  $A_2$  sont des constantes issues du développement limité, et  $B_1$  et  $B_2$  de l'explicitation de  $V_{dseff}$ .

Tout comme le précédent multiplieur, le calcul du courant de sortie du multiplieur 4 quadrants fait apparaître :

- que les non-linéarités du 2<sup>ème</sup> ordre s'éliminent dès que les entrées sont symétriques par rapport au point de polarisation.
- que les non-linéarités du 3<sup>ème</sup> ordre s'ajoutent et sont la source de non-linéarité de ce type de multiplieur.

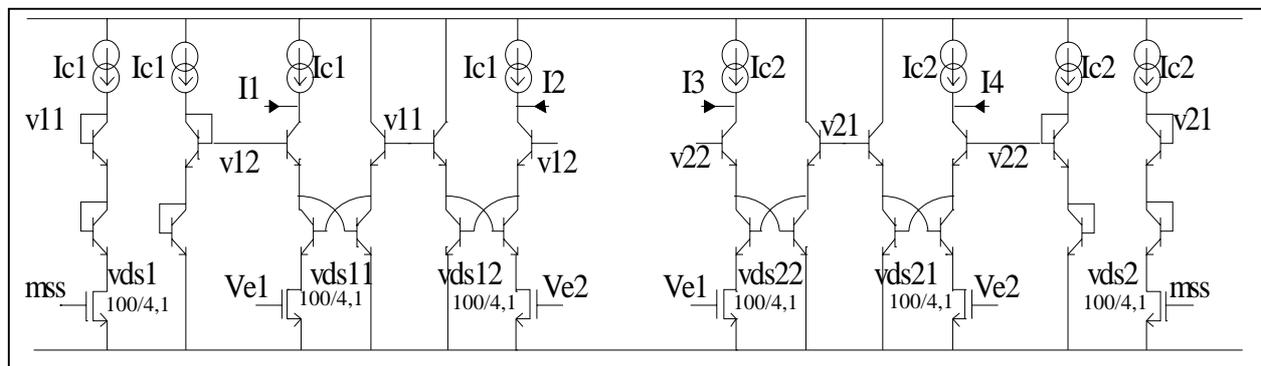
#### 5.2.4 Choix du type de multiplieur.

Le multiplieur à 4 transistors en régime linéaire a été choisi car il offre tout d'abord une meilleure linéarité en fonction des deux entrées différentielles. De plus, les niveaux de courants de sortie sont plus élevés qu'avec les transistors en régimes de saturation, et les courants I1 à I4 ont des niveaux acceptables pour être ajoutés et soustraits.

### 5.3 Conception d'un multiplieur BICMOS utilisant les transistors en régime linéaire

#### 5.3.1 Schéma du multiplieur BiCMOS

Le schéma du multiplieur BiCMOS est représenté Figure 44 et est inspiré de [RBC97].



**Figure 44 : Schéma du multiplieur BiCMOS**

Les quatre transistors en régime ohmique sont attaqués par les tensions  $V_{e1}$  et  $V_{e2}$ . Leur source est reliée à la masse ainsi que leur substrat. Les transistors MOS et bipolaires qui se trouvent autour, servent à générer les tensions  $V_{DS}$  des quatre transistors à partir des tensions d'entrée  $V_{c1}$  et  $V_{c2}$  variant entre 1,5V et 3,5V.

Pour cela, on génère au préalable deux courants  $I_{c1}$  et  $I_{c2}$  proportionnels à l'entrée  $V_{c1}$  et  $V_{c2}$ . Ils sont recopiés et injectés chacun dans un transistor MOS dont la tension de grille est le milieu des alimentations  $mss=2,5V$  comme le montre la Figure 45 (étage dupliqué

deux fois pour  $V_{c1}$  et  $V_{c2}$ ). Aux bornes de ce transistor se trouve alors la tension  $V_{DS}$  que l'on va recopier.

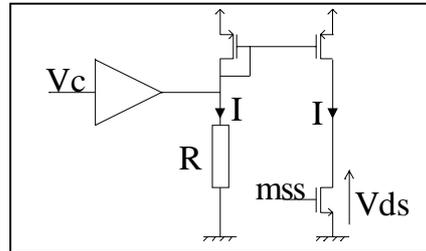


Figure 45 : Génération d'un courant  $I_c$  proportionnel à  $V_c$

Pour recopier la tension  $V_{DS}$  aux bornes des quatre transistors MOS en zone ohmique, on utilise des transistors NPN dont la principale propriété est d'avoir des tensions  $V_{BE}$  quasiment fixes, quelque soit le courant qui les traverse.

L'étage qui recopie la tension  $V_{DS}$  fonctionne ainsi :

- $V_{I1} = V_{DS1} + 2V_{BE}$ , et  $V_{I2} = 2V_{BE}$ .
- $V_{DS11} = V_{I1} - 2V_{BE}$ , donc  $V_{DS11} = V_{DS1}$ . De même,  $V_{DS12} = V_{DS1}$ .
- Le rôle de  $V_{I2}$  est de fixer un courant proche de  $I_{C1}$  dans la branche où  $I_{C1}$  n'est pas présent, et ainsi d'assurer une meilleure égalité des  $V_{BE}$ .

Pour que le multiplieur ait 2 courants de sortie, et non 4, il suffit de relier les sorties  $I_1$  et  $I_4$  pour former le premier courant de sortie  $I_1$ , et de relier  $I_2$  et  $I_3$  pour former le second  $I_2$ .

Au final, on a créé un multiplieur dont les 2 entrées en tension sont en haute impédance. La gamme des 2 tensions d'entrée est celle spécifiée dans le cahier des charges, et la linéarité du courant différentiel de sortie correspond aux spécifications attendues. Le circuit ainsi présenté est un multiplieur 4 quadrants BiCMOS.

### 5.3.2 Fonction de transfert du multiplieur

$$\text{On a } I_{C1} = \frac{V_{C1}}{R} \text{ donc } V_{DS1} = \frac{I_{C1}}{\mu C_{ox} \frac{W}{L} (mss - V_{th})} = \frac{V_{C1}}{R \mu C_{ox} \frac{W}{L} (mss - V_{th})}.$$

$$\text{De même, } V_{DS2} = \frac{V_{C2}}{R \mu C_{ox} \frac{W}{L} (mss - V_{th})}. \text{ Donc, on a } V_{DS1} - V_{DS2} = \frac{V_{C1} - V_{C2}}{R \mu C_{ox} \frac{W}{L} (mss - V_{th})}.$$

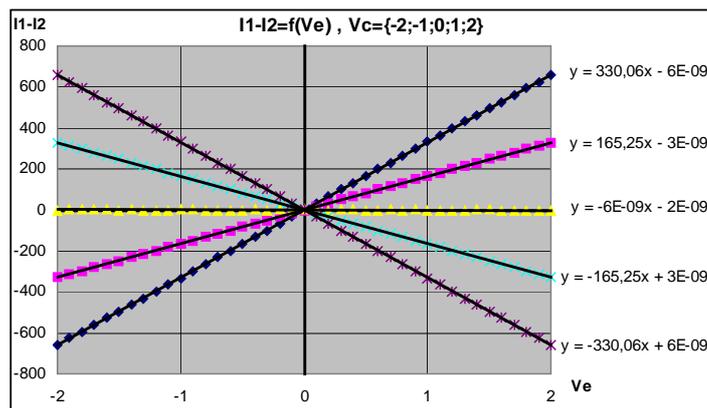
Le courant différentiel de sortie de la cellule est donc donné par l'équation :

$$I_1 - I_2 = \mu C_{OX} \frac{W}{L} (V_{E1} - V_{E2}) (V_{DS1} - V_{DS2}) = \frac{(V_{E1} - V_{E2})(V_{C1} - V_{C2})}{R(m_{SS} - V_{th})}$$

### 5.3.3 Résultats de simulations

Des simulations sous le simulateur HSPICE, avec les modèles fournis par le fondeur pour les transistors bipolaires et MOSFETs ont été réalisées. Ainsi, on a pu vérifier que le circuit effectue bien la multiplication des 2 entrées différentielles, et que la linéarité est bien adaptée pour l'emploi dans une cellule de calcul.

Le graphique suivant montre la réponse ( $I_1 - I_2$ ) du multiplieur en fonction de la tension d'entrée différentielle  $V_E$ , et ce pour différentes valeurs de la seconde entrée différentielle  $V_C$  (-2V, -1V, 0V, 1V, 2V) :



La non-linéarité a été calculée et reste toujours inférieure à 0,3%.

### 5.4 Première approche de solution de la cellule de calcul analogique à partir du multiplieur BiCMOS

Le multiplieur BiCMOS conçu répond aux exigences en terme d'excursion des signaux d'entrée et de linéarité. Si l'on se réfère à la Figure 43, il suffit de concevoir un amplificateur à transrésistance totalement différentiel ayant pour fonction de transfert :  $V_{S1} - V_{S2} = G(I_1 - I_2)$  car le multiplieur développé sort en courant et possède des entrées en tension.

Ainsi, on peut envisager d'utiliser l'amplificateur différentiel de courant décrit dans le chapitre 1 (Figure 12) qui réalise la fonction de transfert :  $I_{OUT+} - I_{OUT-} = G(I_{IN+} - I_{IN-})$  avec  $I_{OUT+} = -I_{OUT-}$ . En connectant en sortie deux résistances par rapport au point milieu des alimentations (2,5V) pour réaliser un convertisseur courant tension, l'amplificateur différentiel de courant devient un amplificateur à transrésistance à condition de relier les sorties de cet amplificateur sur des entrées hautes impédances, ce qui est le cas des entrées du multiplieur.

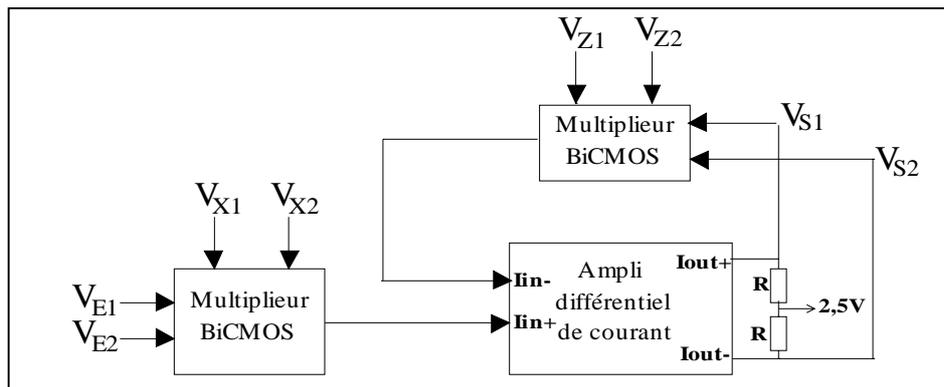


Figure 46 : Cellule de calcul utilisant deux multiplieurs BiCMOS

La fonction de transfert associée à cette cellule est la suivante :

$$V_S = \frac{V_E V_X}{V_Z + \frac{1}{RGK}} \approx \frac{V_E V_X}{V_Z} \quad \text{si } RGK \gg 1$$

où G est le gain de l'ampli différentiel de courant et K, le coefficient des deux multiplieurs.

## 6. Conclusion

L'expression d'un besoin industriel a permis d'élaborer les spécifications d'une cellule de calcul analogique. Cette cellule de calcul n'existe pas parmi les réalisations industrielles exposées dans le chapitre 1 et il a été montré que les caractéristiques de la cellule de calcul développée par C. Prémont dans sa thèse, ne correspondent pas avec les spécifications demandées : zone de fonctionnement limité par rapport aux excursions souhaitées, impédance d'entrée faible et mode commun de sortie différent de 2,5V.

Une analyse des spécifications de la cellule a abouti à un schéma de principe à base de deux multiplieurs et d'un amplificateur. Une étude a montré que le principe d'un multiplieur à quatre transistors en régime linéaire, donnait des résultats plus satisfaisants en terme de linéarité que le principe d'un multiplieur à quatre transistors en régime de saturation. Un multiplieur BiCMOS a donc été conçu répondant aux exigences de linéarité.

**CHAPITRE 3 :**  
**Description et caractérisation de la cellule**  
**de calcul analogique**

## 1. Introduction

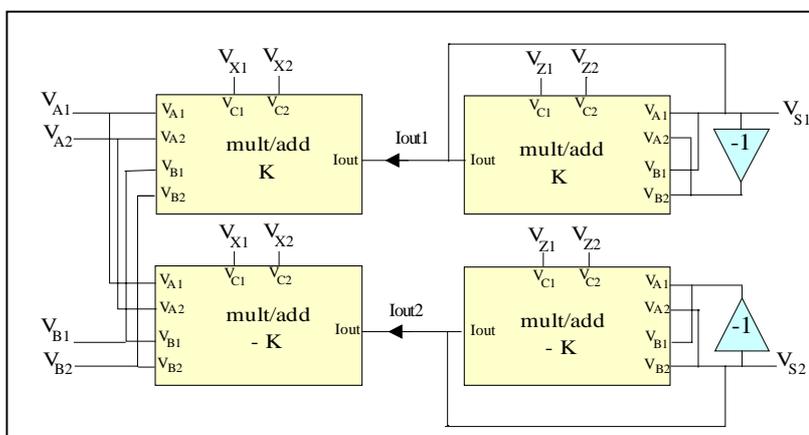
L'objet de ce troisième chapitre est l'étude et la caractérisation de la cellule de calcul analogique. Cette cellule doit répondre complètement au cahier des charges définis dans le chapitre 2. Des recherches de solution décrites dans le chapitre 2, ont permis d'avancer une ébauche de solution à base de deux multiplieurs BiCMOS et d'un amplificateur. L'objectif à atteindre est de trouver une solution en technologie CMOS standard permettant de réduire les coûts de fabrication.

Une première structure à partir de quatre multiplieurs-additionneurs, conçue en technologie CMOS, est proposée et permet de s'affranchir de l'amplificateur. Cette structure a été simulée et caractérisée expérimentalement. Des dysfonctionnements, principalement dus à des offsets, ont été constatés et afin de valider la faisabilité de la cellule, une seconde approche qui compense les offsets est exposée.

## 2. Architecture du circuit

### 2.1 Présentation de la cellule

La nouvelle architecture [AUR01] (Figure 47) adoptée est composée de quatre multiplieurs-additionneurs et de deux amplificateurs inverseurs de gain  $-1$ .



**Figure 47 : Nouvelle architecture de la cellule**

La fonction de transfert associée au multiplieur-additionneur est la suivante :

$$I_{OUT} = K (V_{C1} - V_{C2}) \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2}$$

Le multiplieur-additionneur est en fait une source de courant dont la valeur est contrôlée par trois tensions différentielles. Le rôle des deux amplificateurs inverseurs est de rendre symétrique les sorties  $V_{S1}$  et  $V_{S2}$  par rapport à la tension milieu des alimentations, 2,5V dans notre cas: ces amplificateurs imposent le mode commun en sortie. Ils ont pour fonction de transfert :

$$V_S - 2,5 = -(V_E - 2,5)$$

Si on écrit les équations de la cellule, on obtient :

$$I_{OUT1} = K (V_{X1} - V_{X2}) \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2} = -K (V_{Z1} - V_{Z2}) \frac{2(V_{S1} - 2,5) + 2(V_{S1} - 2,5)}{2}$$

$$\text{d'où } V_{S1} = -\frac{1}{4} \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})} [(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})] + 2,5 \quad (1)$$

De même, si l'on écrit les équations sur la branche  $I_{OUT2}$ , on trouve :

$$V_{S2} = \frac{1}{4} \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})} [(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})] + 2,5 \quad (2)$$

Les tensions de sorties  $V_{S1}$  et  $V_{S2}$  sont donc symétriques par rapport à 2,5V, compte tenu des relations (1) et (2). De ces deux relations, on déduit la fonction de transfert réalisée par la cellule :

$$\boxed{V_{S1} - V_{S2} = -\frac{1}{2} \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})} [(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})]}$$

Cette fonction de transfert est bien celle recherchée. Il est à noter que si,  $V_A = V_B = V_E$ ,

la fonction de transfert devient :  $V_{S1} - V_{S2} = -\frac{1}{2} \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2})} (V_{E1} - V_{E2})$ .

## **2.2 Fonctionnement de la cellule**

La Figure 48 et la Figure 49 expliquent le comportement de la cellule dans deux cas donnés :

- Cas où  $|V_X| > |V_Z|$  : la cellule fonctionne en mode amplification et l'entrée  $V_E$  est positive ; On remarque que la sortie  $V_S$  est négative, ce qui explique le signe moins de la fonction de transfert.

- Cas où  $|V_x| < |V_z|$  : la cellule fonctionne en mode atténuation et l'entrée  $V_E$  est négative.

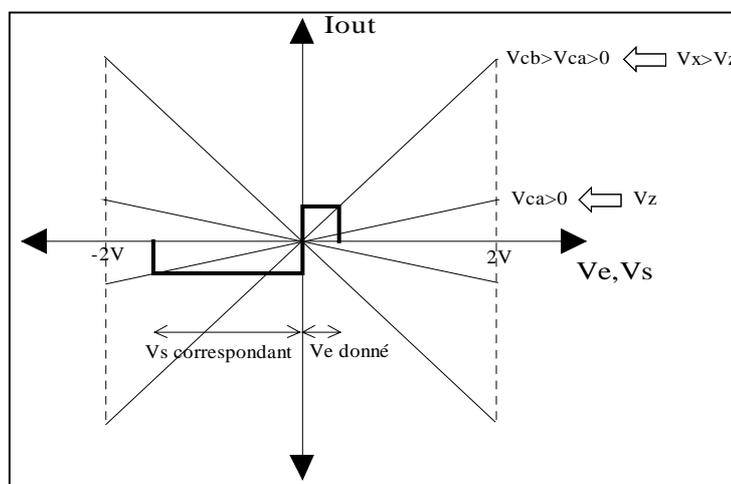


Figure 48 : Cellule en mode amplification

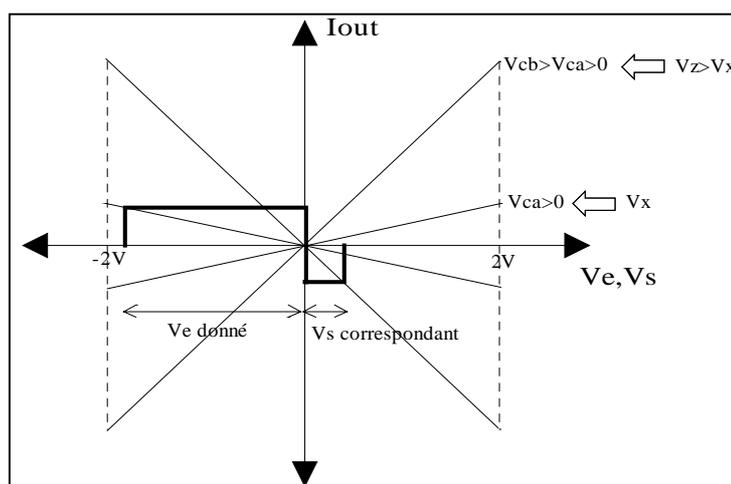


Figure 49 : Cellule en mode atténuation

### 2.3 Imperfections de la cellule

Le schéma bloc proposé possède deux imperfections : une liée à une imperfection du multiplieur additionneur et l'autre liée à un bouclage se comportant en réaction positive.

La fonction de transfert réelle du multiplieur additionneur conçu est en fait :

$$I_{OUT} = K(V_{C1} - V_{C2}) \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2} + \alpha(V_{OUT} - V_0)$$

Le terme  $\alpha(V_{OUT} - V_0)$  modélise l'influence de la résistance de sortie du multiplieur additionneur en tenant compte de la tension de sortie  $V_{OUT}$ . Il faut bien évidemment diminuer

le terme  $\alpha$  ce qui veut dire augmenter la résistance de sortie du multiplieur additionneur. La fonction de transfert de la cellule devient alors :

$$V_{S1} - V_{S2} = -\frac{1}{2} \frac{(V_{X1} - V_{X2})}{(V_{Z1} - V_{Z2}) + \frac{\alpha}{K}} [(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})]$$

Si la cellule est utilisée en mode amplification, le gain n'est plus  $\frac{V_x}{V_z}$ , mais  $\frac{V_x}{\left(V_z + \frac{\alpha}{K}\right)}$  ce

qui a tendance, pour des valeurs faibles de  $V_z$ , a diminué le gain souhaité.

La deuxième imperfection vient du fait que si  $V_{z1} - V_{z2}$  est négatif, le système est instable et part en saturation. La cellule peut se modéliser (Figure 50) de la manière suivante :

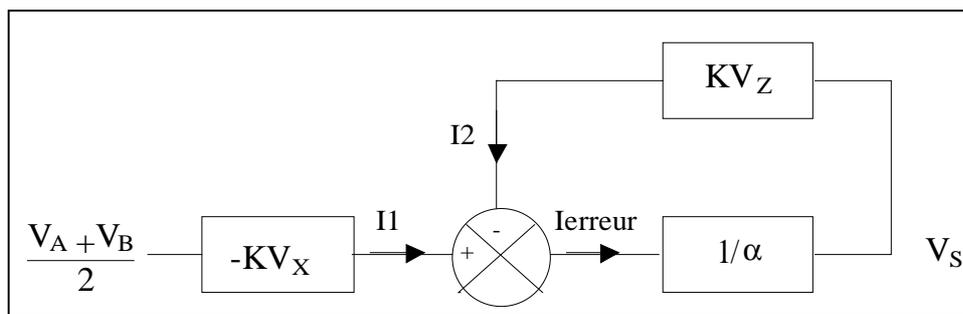


Figure 50 : Modèle 1 de la cellule

Ce modèle montre bien que si  $V_{z1} - V_{z2}$  est négatif, alors la rétroaction devient une réaction ce qui a pour but de saturer la sortie. Le bloc  $1/\alpha$  correspond à l'amplificateur du chapitre 2 qui amplifie un courant d'erreur en une tension. Plus  $\alpha$  est petit, c'est à dire résistance de sortie du multiplieur ( $R_s$ ) grande (Figure 51), et plus le gain de cet amplificateur est grand.

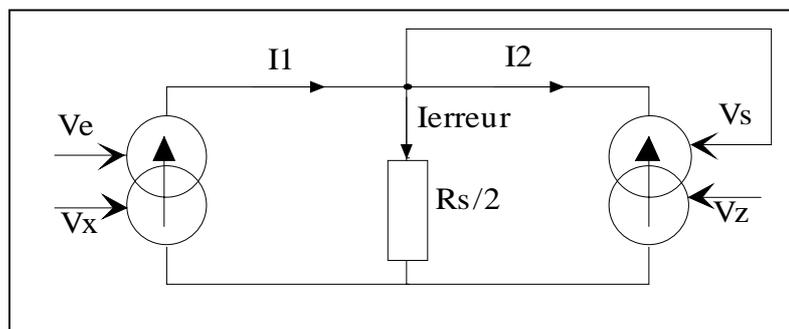


Figure 51 : Modèle 2 de la cellule

### 3. Structure du multiplieur additionneur

Le multiplieur additionneur doit être conçu avec comme objectif principal d'avoir la meilleure linéarité par rapport à ses deux entrées. Ces dernières doivent être à haute impédance et totalement différentielles.

#### 3.1 Schéma du multiplieur additionneur

Le schéma proposé (Figure 52) en technologie CMOS est dérivé du schéma exposé au chapitre 2 en technologie BiCMOS. Ce schéma ne représente que la partie multiplication et fait la synthèse de deux articles [GS98 - LH94]. Quatre transistors supplémentaires seront nécessaires pour réaliser la partie addition.

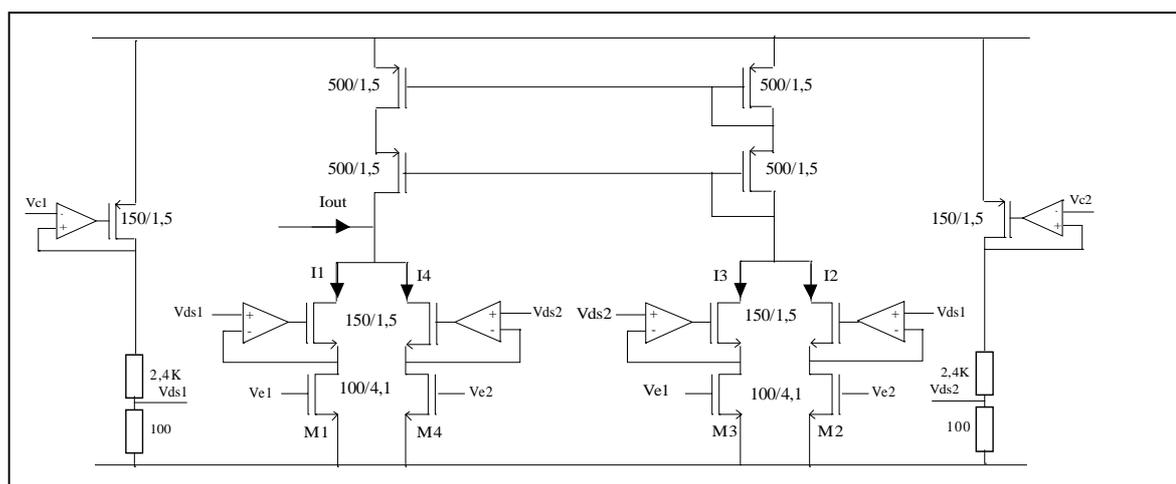


Figure 52 : Schéma du multiplieur CMOS quatre quadrants

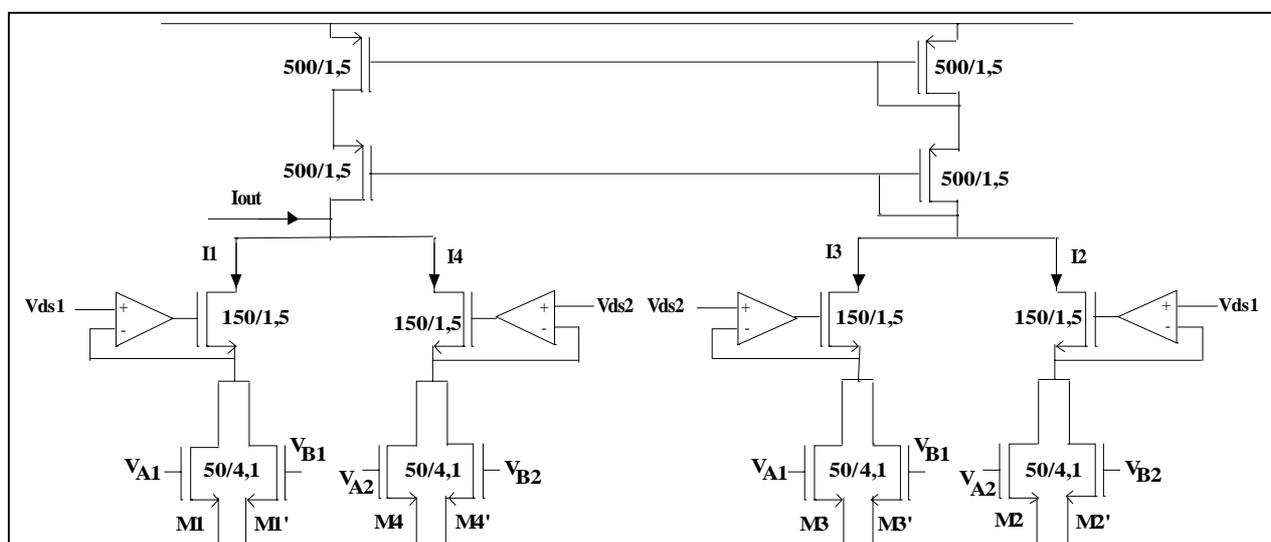
Les transistors M1, M2, M3 et M4 représentent les 4 transistors en régime linéaire. Pour polariser ces transistors dans la bonne région, un amplificateur différentiel bouclé est utilisé. L'addition des courants est simplement réalisée en reliant ensemble les branches où circulent les courants  $I_1$  et  $I_4$  ainsi que  $I_2$  et  $I_3$ . La soustraction finale pour définir le courant  $I_{out}$  est effectuée à l'aide d'un miroir casodé. Dans le but d'obtenir les mêmes gammes de tension pour les 2 entrées différentielles ( $V_{E1}-V_{E2}$ ) et ( $V_{C1}-V_{C2}$ ) du multiplieur dont le mode commun est à 2,5V, un étage d'adaptation est nécessaire pour fournir les tensions  $V_{ds1}$  et  $V_{ds2}$  comprises entre 60mV et 140mV à partir de  $V_{c1}$  et  $V_{c2}$  comprises entre 1,5V et 3,5V.

L'expression finale de ce multiplieur est : 
$$I_{OUT} = \frac{\mu C_{ox}}{25} \frac{W}{L} (V_{E1} - V_{E2})(V_{C1} - V_{C2})$$

La résistance de sortie exprimée dans le paragraphe 2.3 est en fait celle d'un miroir cascodé, donc très grande.

Pour réaliser l'addition, les transistors M1 à M4 sont dupliqués respectivement en M1' à M4' en appliquant le couple de tensions  $\{V_{A1}, V_{A2}\}$  sur  $\{M_1, \dots, M_4\}$  et le couple  $\{V_{B1}, V_{B2}\}$  sur  $\{M_1', \dots, M_4'\}$  comme l'indique la Figure 53. Le multiplieur additionneur ainsi conçu a

pour fonction de transfert finale : 
$$I_{OUT} = \frac{\mu C_{ox}}{25} \frac{W}{L} \left( \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2} \right) (V_{C1} - V_{C2}).$$



**Figure 53 : Schéma du multiplieur additionneur quatre quadrants CMOS**

Il est à noter que pour concevoir le multiplieur additionneur de gain  $-K$ , il suffit de retourner le miroir de courant.

### 3.2 Résultats de simulation

Ce circuit a été simulé sous HSPICE avec les modèles BSIM3V3. Afin de caractériser le multiplieur-additionneur, les simulations montrent la linéarité du courant de sortie en fonction des deux entrées différentielles, ainsi que les valeurs des constantes  $K$ ,  $\alpha$  et  $V_0$ . Les résultats obtenus sont résumés dans les graphiques décrits Figure 54 et Figure 55.

Du premier graphique, on tire  $K=81,61\mu\text{A}/\text{V}^2$ . Du second graphique, on tire :  $\alpha=0,73\mu\text{A}/\text{V}$  et  $V_0=2,73\text{V}$ . Connaissant les valeurs de  $K$  et  $\alpha$ , on en déduit le rapport  $\frac{\alpha}{K}$  qui constitue une imperfection de la cellule décrite au paragraphe 2.3 :  $\alpha \approx 0,01$ . La non-linéarité simulée est de 0,04% pour l'entrée  $V_E$  et de 0,01% pour l'entrée  $V_C$ .

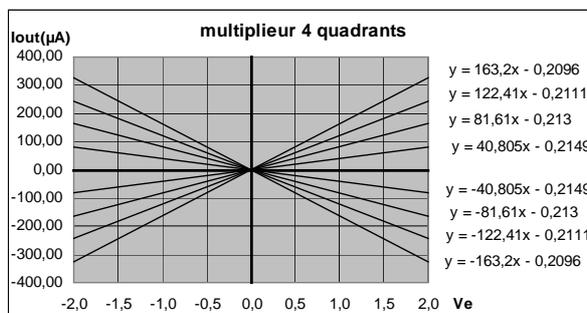


Figure 54 :  $I_{out}=f(V_E)$  pour différentes valeurs de  $V_C$  et  $V_{OUT}=2,5\text{V}$

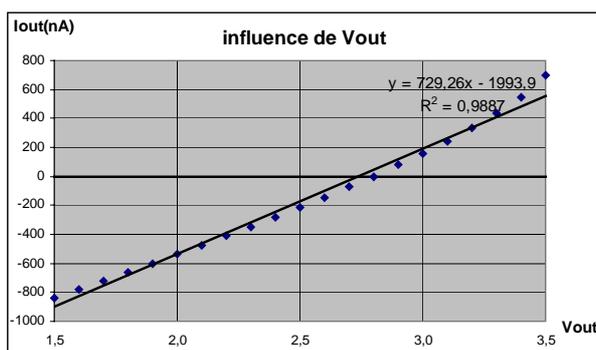


Figure 55 :  $I_{out}=f(V_{OUT})$  pour  $V_E=V_C=0\text{V}$

## 4. Structure de l'amplificateur inverseur

### 4.1 Schéma de l'amplificateur inverseur (Figure 56)

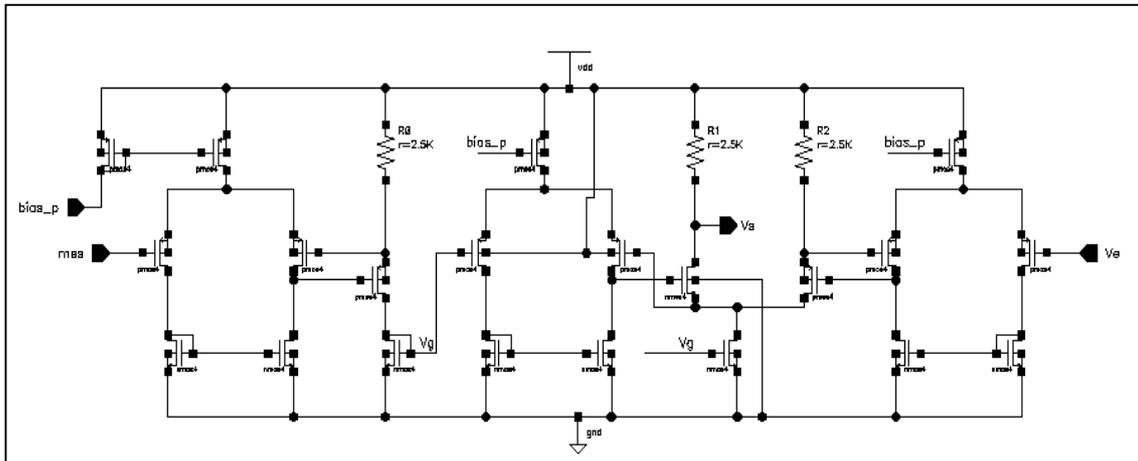


Figure 56 : Schéma de l'amplificateur inverseur

Cet amplificateur permet d'imposer le mode commun en sortie de la cellule. Il est clair que le gain doit être le plus proche de  $-1$  et que cet étage doit être le plus linéaire possible.

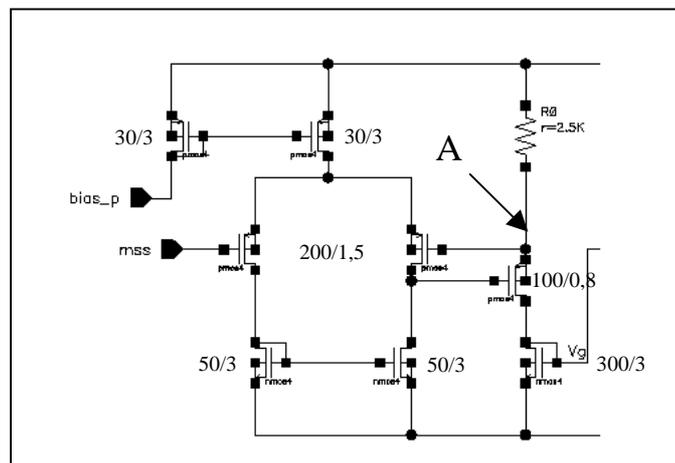


Figure 57 : Etage n°1 de l'amplificateur inverseur

Le premier étage Figure 57 est un amplificateur différentiel bouclé qui vient recopier la tension  $mss=2,5V$  au point A et définir un courant  $I_3$  qui a pour expression :  $I_3 = \frac{V_{DD} - m_{ss}}{R}$ .

Ce courant va être recopié avec un facteur 2 par un miroir simple à partir d'une tension appelée  $V_g$ .

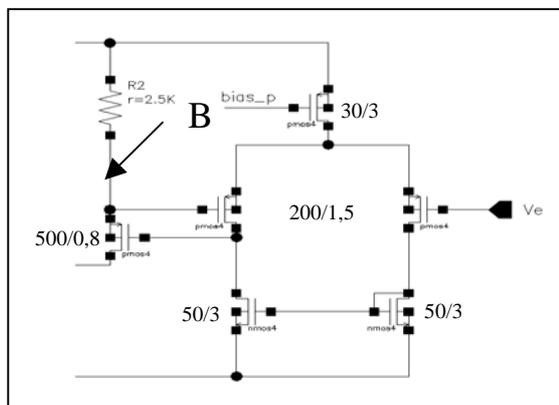


Figure 58 : Etage n°2 de l'amplificateur inverseur

De même, cet étage est un amplificateur différentielle bouclé qui vient recopier la tension  $V_e$  au point B et déterminer un courant  $I_2$ :  $I_2 = \frac{V_{DD} - V_e}{R}$

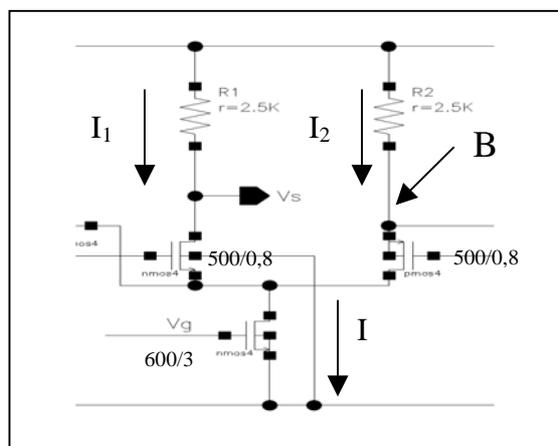


Figure 59 : Etage final de l'amplificateur inverseur

Dans le transistor attaqué par une tension  $V_g$ , on retrouve un courant qui a pour valeur :  $I = 2I_3 = 2 \left( \frac{V_{DD} - m_{ss}}{R} \right)$ . Or, on a  $I = I_1 + I_2$ , d'où  $2 \left( \frac{V_{DD} - m_{ss}}{R} \right) = \frac{V_{DD} - V_e}{R} + \frac{V_{DD} - V_s}{R}$

De cette expression on tire :  $V_s = -V_e + 2.m_{ss} = -V_e + 5V$  : c'est bien la fonction de transfert recherchée.

Le miroir simple qui recopie avec un facteur 2 le courant  $I_3$  est quasiment parfait dans sa recopie car la tension  $V_{ds}$  des deux transistors qui composent ce miroir, est la même et est

égale à  $V_g$ . Ceci est dû à l'étage intermédiaire, non décrit jusqu'à présent, qui recopie la tension  $V_g$ .

#### 4.2 Résultats de simulation

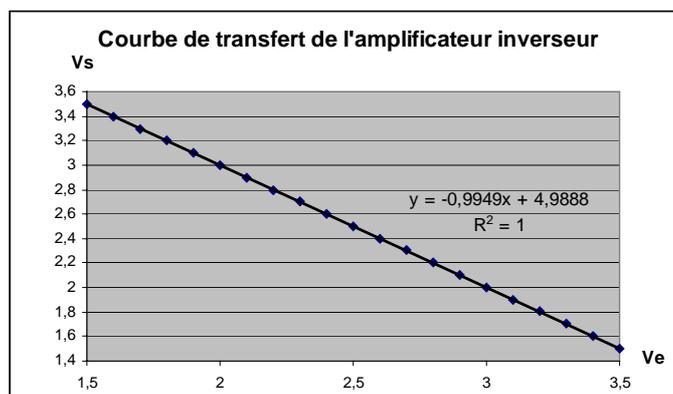


Figure 60 : Courbe de transfert de l'amplificateur inverseur

L'erreur de non linéarité est de 0,07% et l'imprécision sur la fonction souhaitée est de 0,3%.

### 5. Comportement de la cellule de calcul en simulation

La cellule a été simulée sous HSPICE avec les modèles BSIM3V3 [4] pour les transistors MOS. La cellule est alimentée en monotension 5V. Les tensions différentielles ont un mode commun égal à 2,5V et une excursion allant de -2V à 2V ce qui donnent des tensions simples comprises entre 1,5V et 3,5V.

#### 5.1 Cellule programmée en gain

Pour programmer la cellule en gain, on impose  $V_A = V_B = V_E$  et le gain est  $G = -\frac{V_x}{V_z}$ . Or comme il a été montré dans le paragraphe 2.3, si l'on tient compte de l'influence de la tension de sortie du multiplieur additionneur, le gain théorique ou calculé est  $G_c = -\frac{V_x}{V_z + \alpha/K}$ . Avec

$G_c$ , on définit le pourcentage d'imprécision :  $\%i = \frac{(V_s - G_c V_E)_{\max}}{V_{s \max} - V_{s \min}}$ . Des simulations pour

différents gains programmés ont été effectuées. A partir des points obtenus en simulation, on trace la droite de régression linéaire et le coefficient directeur de cette droite nous donne  $G_s$  appelé gain simulé. Afin de caractériser la linéarité de la cellule, on définit le pourcentage de non linéarité :  $\%l = \frac{(V_s - G_s V_E)_{\max}}{V_{s \max} - V_{s \min}}$ . Le Tableau 6 montre les performances de la cellule pour des gains allant de 0,1 à 50.

Tension entrée	Tension entrée	Gain souhaité	Gain calculé	Gain simulé	Non linéarité	Imprécision
$V_X$	$V_Z$	G	$G_C$	$G_S$	%l	%i
-0,2	2	0,1	0,0996	0,0999	0,02%	0,15%
-2	2	1	0,996	0,999	0,02%	0,15%
-2	1	2	1,982	1,988	0,02%	0,14%
-2	0,4	5	4,89	4,90	0,04%	0,12%
-2	0,2	10	9,57	9,60	0,08%	0,1%
-2	0,04	50	40,9	41,2	0,1%	0,3%

**Tableau 6 : Performances de la cellule de calcul programmée en gain**

### 5.2 Cellule programmée en fonctions non linéaires

La cellule a été aussi programmée pour réaliser des fonctions non linéaires telles que mise au carré, racine carrée et division. Pour ces 3 fonctions non linéaires, la condition  $V_A = V_B = V_E$  a été imposée. Les conditions de simulation pour caractériser ces 3 fonctions sont décrites dans le Tableau 7:

Fonctions	Conditions	Fonction transfert
« carré »	$V_Z=2V, V_X=V_E$	$V_s = -\frac{1}{2}V_E^2$
racine carrée	$V_X= -2V, V_Z=V_s$	$V_s = \sqrt{2}\sqrt{V_E}$
division	$V_X= -2V, V_E=0,1V$	$V_s = \frac{0,2}{V_Z}$

**Tableau 7 : Conditions de simulation**

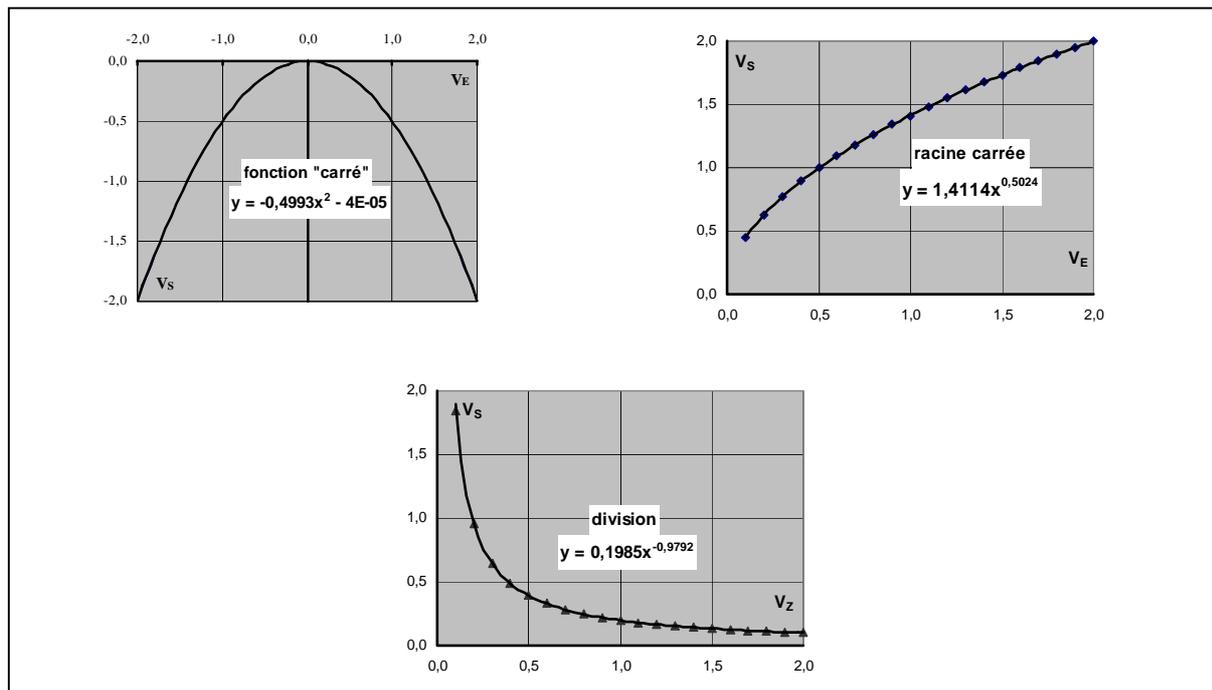


Figure 61 : . Courbes de tendance associées aux simulations des fonctions non linéaires

On définit  $f$  comme étant la fonction non linéaire désirée et  $f_{calc}$  comme la fonction non linéaire calculée tenant compte des imperfections de la cellule. A partir de ces deux définitions, on peut considérer deux critères de performance qui sont les erreurs relatives suivantes :

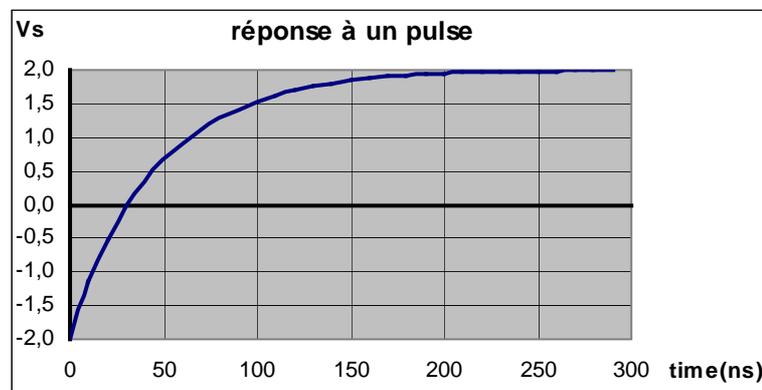
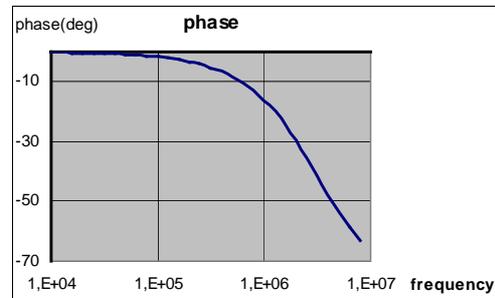
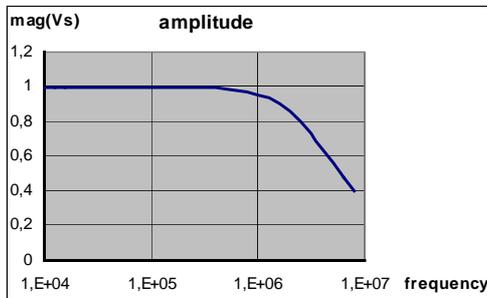
$$\%e(f) = \left( \frac{V_S - f(V_E)}{f(V_E)} \right)_{\max} \quad \text{et} \quad \%e(f_{calc}) = \left( \frac{V_S - f_{calc}(V_E)}{f_{calc}(V_E)} \right)_{\max}$$

Fonction programmée	Erreur relative sur $f$	Erreur relative sur $f_{calc}$
« carré »	0,04%	0,3%
Racine carrée	0,9%	0,25%
division	1%	0,6%

Tableau3. Performances de la cellule de calcul programmée en fonctions non linéaires

### 5.3 Bande passante

Pour la bande passante, la réponse impulsionnelle et une analyse AC (petits signaux) ont été menées. Les graphiques suivants montrent le comportement du circuit :



Ces deux simulations montrent que la bande passante à  $-3\text{dB}$  est de l'ordre de 3,5MHz. Il est à noter, que cette bande passante ne dépend pas de l'amplitude du signal d'entrée.

## 6. Résultats expérimentaux

Le multiplieur additionneur, l'amplificateur inverseur ainsi que la cellule de calcul ont été réalisés dans une technologie CMOS  $0,8\mu\text{m}$  double niveau de polysilicium et double niveau de métal. La surface du circuit multiplieur additionneur est de  $0,15\text{ mm}^2$  et celle de la cellule de calcul de  $1,2\text{ mm}^2$ .

### 6.1 Présentation du circuit de test (Figure 62)

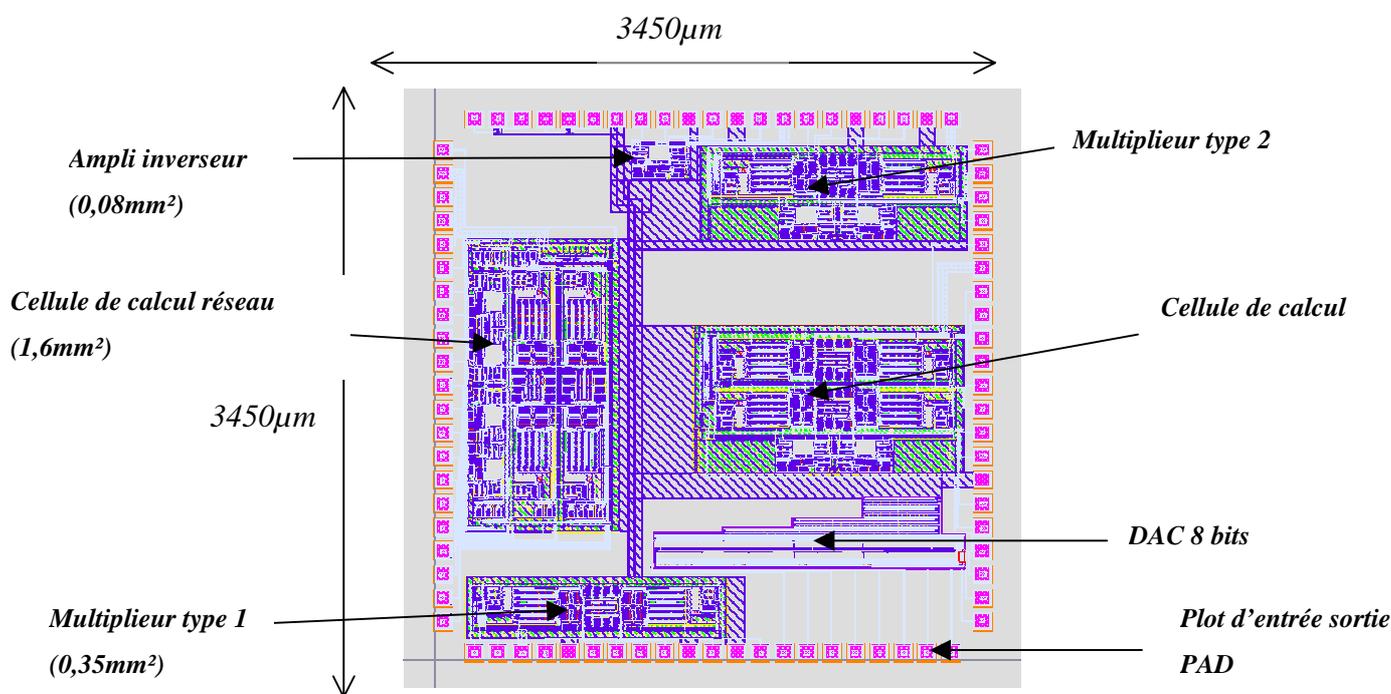


Figure 62 : Layout du circuit (version1)

Les briques élémentaires implémentées dans le circuit sont le multiplieur type 1 comportant un multiplieur additionneur de gain  $K$  et un multiplieur additionneur de gain  $-K$ , le multiplieur type 2 comportant 2 multiplieurs contre réactionnés et l'amplificateur inverseur (inverseur par rapport à  $2,5\text{V}$ ). La cellule de calcul envoyée est celle décrite dans ce chapitre.

La cellule de calcul réseau ainsi que le DAC 8 bits sont exposés dans le prochain chapitre.

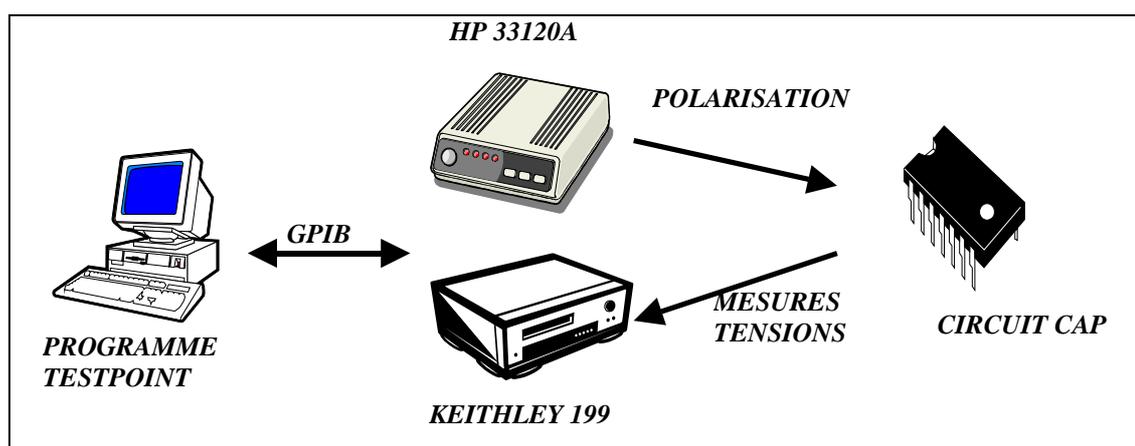
La surface de Silicium de ce circuit est d'environ  $12\text{ mm}^2$ . Il a été encapsulé dans un boîtier JLCC 84 pins.

## 6.2 Environnement de test

Afin de tester au mieux les différentes cellules que comportent ce circuit, 2 cartes de test ont été réalisées:

- une carte qui permet de tester le multiplieur type1, le multiplieur type 2 et l'amplificateur inverseur
- une carte permettant le test de la cellule de calcul

Disposant de 5 circuits à tester, il a été décidé d'automatiser les tests statiques des cellules vu le nombre élevé de mesures à effectuer. Pour cela, des programmes Testpoint ont été mis au point (un pour le test de chaque cellule). La génération des tensions continues en entrée des cellules a été assurée par des générateurs HP33120A en mode DC pilotables par un bus GPIB et l'acquisition des mesures a été réalisée par un multimètre Keithley 199 en mode scanner pilotable aussi par un bus GPIB.

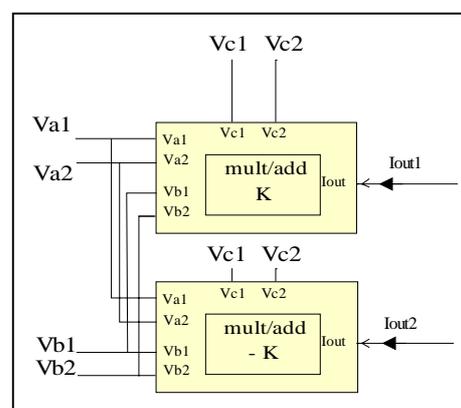


## 6.3 Test de la cellule multiplieur type1

La cellule multiplieur type 1 ci-contre doit réaliser la fonction de transfert suivante:

$$I_{out1} = K(V_{C1} - V_{C2}) \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2} + \alpha(V_{out1} - V_0)$$

$$I_{out2} = -K(V_{C1} - V_{C2}) \frac{(V_{A1} - V_{A2}) + (V_{B1} - V_{B2})}{2} + \alpha(V_{out2} - V_0)$$



La cellule a été testée en fixant  $V_A = V_B = V_E$ . Pour générer les tensions  $V_E$  et  $V_C$  et mesurer les courants  $I_{out1}$  et  $I_{out2}$  de sortie, il a fallu créer autour du circuit à tester une chaîne d'instrumentation (Figure 63). Ainsi, la génération de tensions symétriques autour de 2,5V est réalisée à partir d'un circuit AD8131 qui permet de transformer une tension simple référencée par rapport à la masse en une tension différentielle dont le mode commun est fixé par l'utilisateur (dans notre cas à 2,5V). Par conséquent, 3 circuits AD8131 permettent de générer les tensions  $V_{E1}$ ,  $V_{E2}$ ,  $V_{C1}$  et  $V_{C2}$ .

La mise en œuvre de 2 convertisseurs courant tension à base d'amplificateur opérationnel LMC6082 a été nécessaire pour mesurer les courants  $I_{out1}$  et  $I_{out2}$ . La caractéristique essentielle de l'AOP utilisé est son faible courant de polarisation d'entrée. Ainsi tout le courant passera dans la résistance et sera transformé en tension. De plus, l'entrée positive de l'AOP servira à fixer la tension  $V_{OUT}$  à la sortie de la cellule, l'entrée négative servant de masse virtuelle.

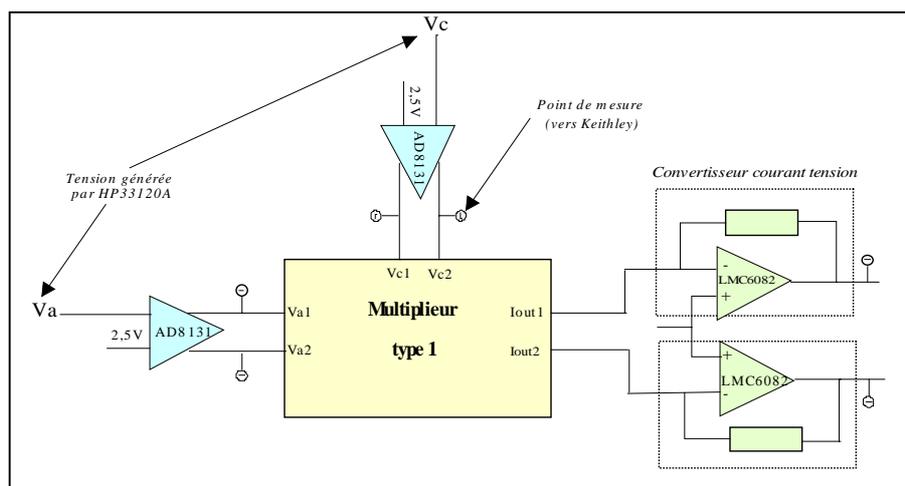


Figure 63 : Test de la cellule multiplieur

### 6.3.1 Résultats de test

Les tests ont été effectués sur 5 circuits. Ils font apparaître des offsets sur les tensions d'entrée  $V_E$  et  $V_C$  et sur les courants de sortie. Les linéarités par rapport aux entrées en tension ont aussi été caractérisées. Les résultats des tests sont récapitulés dans le Tableau 8.

Offset sur $V_E$	Offset sur $V_C$	Offset sur « Iout »	Excursion de « Iout »	Non-linéarité sur $V_E$	Non-linéarité sur $V_C$
5mV	50mV	15 $\mu$ A	$\pm 350\mu$ A	0,4%	0,05%

Tableau 8 : Résultats du circuit multiplieur pour une tension  $V_{OUT}=2,5V$

Ces résultats montrent tout d'abord que les offsets sur la tension  $V_C$  et sur le courant de sortie  $I_{OUT}$  sont importants, ce qui laisse suggérer que le design nécessite un « matching » bien meilleur entre les différents composants que ce qui a été réalisé.

Le résultat encourageant concerne la linéarité de la cellule (Tableau 9) en fonction des entrées en tension. Comme montré par les résultats de simulations, le multiplicateur est plus linéaire par rapport à la tension  $V_C$  que par rapport à la tension  $V_E$ . Par contre la linéarité attendue sur  $V_E$  ne correspond pas à la réalité, mais reste acceptable par rapport à la linéarité requise par la cellule.

	Simulée	Mesurée
Linéarité par rapport à $V_E$	0,04%	0,4%
Linéarité par rapport à $V_C$	0,01%	0,05%

**Tableau 9 : Comparaison de la linéarité du multiplicateur entre simulation et expérimentation**

Enfin, une autre source de dysfonctionnement est la non-symétrie des 2 courants de sortie, c'est-à-dire que le gain  $K$ , les offsets sur les tensions  $V_E$  et  $V_C$  et sur le courant de sortie sont différents pour les 2 courants. Les équations qui régissent les sorties des deux multiplicateurs s'expriment ainsi :  $I_{OUT_{1,2}} = K_{1,2} \cdot (V_E - off_{V_{E_{1,2}}}) \cdot (V_C - off_{V_{C_{1,2}}}) + \alpha_{1,2} (V_{OUT_{1,2}} - V_{0_{1,2}}) + I_{off_{1,2}}$ . Le terme  $\alpha_{1,2} (V_{OUT_{1,2}} - V_{0_{1,2}})$ , représentant la dépendance du courant de sortie vis à vis de la tension de sortie  $V_{OUT_{1,2}}$  (résistance de sortie), est négligeable par rapport au terme  $I_{off_{1,2}}$ .

### 6.3.2 Analyse des résultats de test

Ces différents résultats nous ont permis d'émettre des hypothèses quant aux sources de dysfonctionnements. La principale erreur sur ce circuit a été la mauvaise appréhension des tensions d'offset inévitables dans les circuits intégrés, et d'autant plus pour la technologie CMOS. Ces offsets sont la conséquence d'un mauvais appairage des composants. La Figure 64 montre les points critiques du circuit multiplicateur. Des simulations de type « Monte Carlo » ont permis de confirmer ces hypothèses et de retrouver par la simulation le comportement du circuit avec ses imperfections.

L'offset de 5 mV sur  $V_E$  est dû au mauvais appairage entre les quatre transistors en régime ohmique. Cet offset est inéluctable, même en employant des techniques de layout

appropriées. L'offset de 50 mV sur  $V_C$  est causé par l'offset des amplificateurs différentiels bouclés qui recopient les tensions  $V_{DS}$ , générées par un rapport de résistances, aux bornes des quatre transistors en régime ohmique afin de les polariser dans la bonne zone de fonctionnement. Cet offset de valeur importante ramené à l'entrée  $V_C$  est celui des amplificateurs différentiels bouclés multipliés par 25 (rapport des résistances).

Enfin, l'offset en courant est dû en partie au « mismatch » du miroir cascodé et aussi aux mauvaises recopies des tension  $V_{DS}$ .

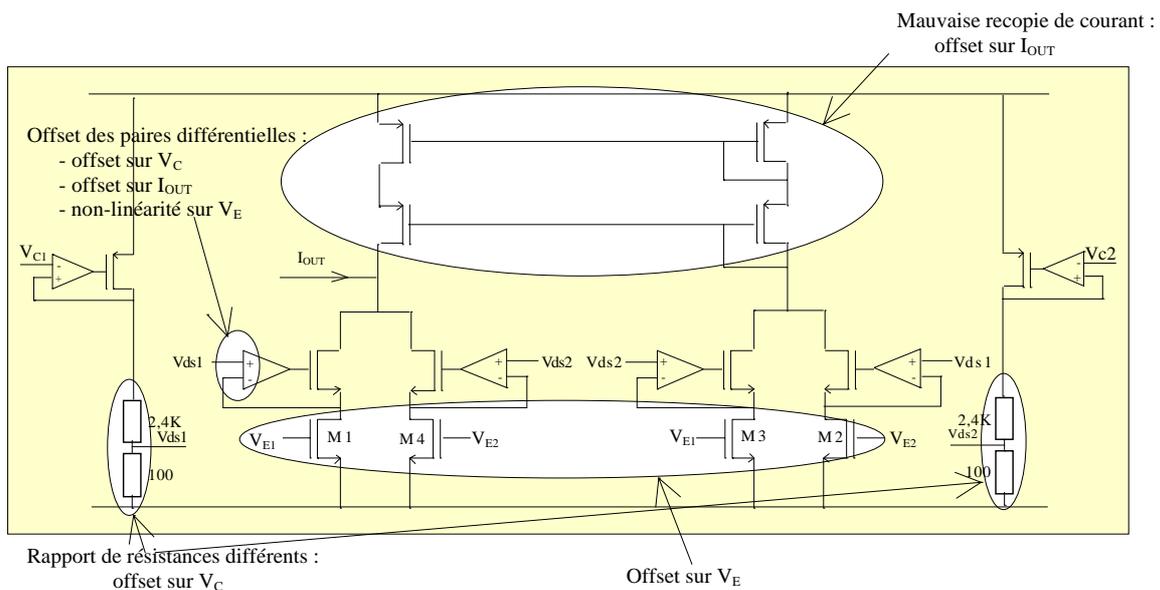


Figure 64 : Origines des dysfonctionnements du circuit multiplieur

#### 6.4 Test du circuit inverseur

Le circuit inverseur doit avoir comme fonction de transfert :  $(V_S - 2,5) = -(V_E - 2,5)$ . Son rôle est de symétriser les tensions de sortie ( $V_{S1}$  et  $V_{S2}$ ) de la cellule de calcul et de fixer leur mode commun à 2,5V. Le schéma de test est présenté sur la Figure 65. Les caractéristiques statiques de ce circuit à mesurer sont le gain (qui doit être de  $-1$ ), le mode commun  $V_{MC}$  (qui doit être 2,5V), tel que  $(V_S - V_{MC}) = -(V_E - V_{MC})$ , et sa linéarité.

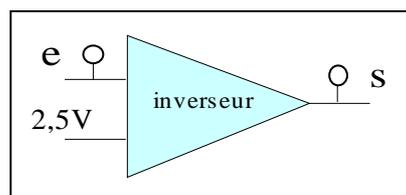


Figure 65 : Schéma de test du circuit inverseur

Les tests ont été effectués sur 4 circuits, le 5<sup>ème</sup> étant défectueux. Ils font apparaître un offset important, ce qui se traduit par un mode commun différent de 2,5V, et une non-linéarité non négligeable. Les résultats des 4 circuits sont présentés dans le Tableau 10.

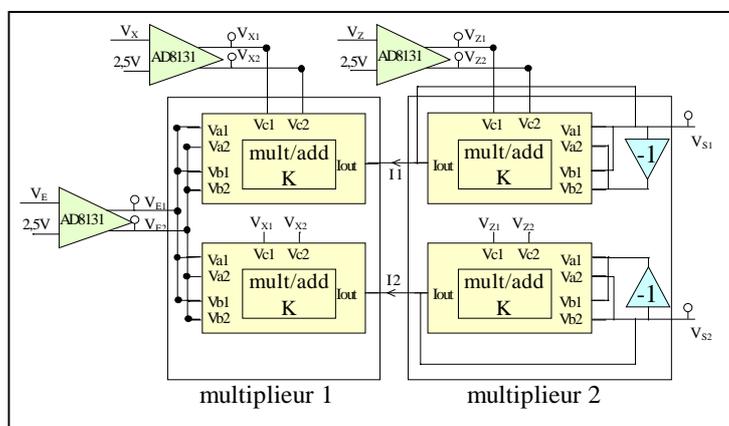
Circuit	Gain	V <sub>MC</sub>	Non linéarité
Circuit1	-0,987	2,421	0,39%
Circuit2	-0,992	2,579	0,23%
Circuit3	-0,986	2,837	0,6%
Circuit4	-0,989	2,528	0,12%

**Tableau 10 : Résultats du circuit inverseur**

De même que pour le circuit multiplieur, des hypothèses de dysfonctionnement dus à des paires de transistors ou de résistances mal appairés ont été émises et vérifiées par simulation Monte Carlo. Cependant, en ce qui concerne le circuit 3, la simulation ne fait pas apparaître une distribution de caractéristiques suffisamment large pour expliquer son offset. Des erreurs de layout sont donc supposées. La linéarité de ce circuit est moins bonne qu'escomptée. Le design de ce circuit semble lui aussi être trop dépendant des imperfections technologiques (du « matching »).

### 6.5 Test de la cellule de calcul analogique

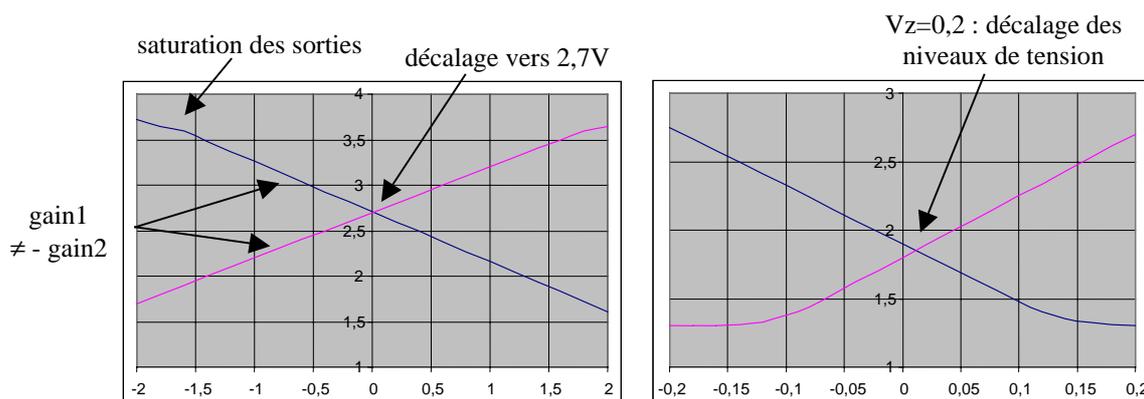
En prenant en compte les résultats obtenus sur les 2 circuits précédents, qui sont les briques élémentaires de la cellule de calcul analogique, le fonctionnement de cette dernière ne pourra être que fortement perturbé. Le schéma de test de la cellule est illustré sur la Figure 66.



**Figure 66 : Test de la cellule de calcul analogique**

Si on recalcule la fonction de transfert pour les tensions de sortie  $V_{S1}$  et  $V_{S2}$  en égalisant les courants des circuits multiplieurs comme exposé dans le paragraphe 2.1 mais en tenant compte de tous les offset des circuits multiplieurs et inverseurs, on s'attend à avoir une caractéristique semblable à celle présentée Figure 67.

Les principales caractéristiques de la cellule sont le décalage du mode commun de sortie vers 2,7V (au lieu de 2,5V), la dépendance de ce décalage vis-à-vis de la tension  $V_Z$ , la différence de gains entre les sorties  $V_{S1}$  et  $V_{S2}$ .



**Figure 67 : Résultats type d'une cellule configurée en gain 1 et en gain 10**

Ces phénomènes indésirables sont directement la conséquence des dysfonctionnements observés sur les circuits multiplieur et inverseur. En effet, le courant de sortie  $I_1$  (voir Figure 66) des 2 circuits multiplieurs sont égaux et ont pour expression (en ne tenant compte que des courants d'offset et du décalage de mode commun du circuit inverseur) :

$$I_{OUT1} = K_1 \cdot V_E \cdot V_X + I_{off1} \text{ et } I_{OUT1} = -\left(K_2 \cdot 2(V_{S1} - V_{MC}) \cdot V_Z + I_{off2}\right)$$

$$\text{Ainsi, la tension de sortie } V_{S1} \text{ vaut : } V_{S1} = \left[ V_{MC} - \frac{(I_{off1} + I_{off2})}{2 \cdot K_2 \cdot V_Z} \right] - \frac{K_1 \cdot V_E \cdot V_X}{2 \cdot K_2 \cdot V_Z}$$

Cette dernière équation explique les observations de la Figure 67, à savoir les décalages des tensions de sortie, et la non symétrie des tensions  $V_{S1}$  et  $V_{S2}$  puisque tous les offsets sont différents les uns des autres. Cependant, concernant le décalage à 2,7V en gain 1,

celui-ci est reproductible sur les circuits testés, ce qui laisse supposer qu'il est dû à un mauvais layout du circuit inverseur (offset systématique).

Les offsets observés sont si importants que les fonctions non linéaires de la cellule n'ont pas été testées.

La cellule a été caractérisée fréquentiellement en gain de 1 : la bande passante en large signaux est de 2MHz

Afin de valider la faisabilité de la cellule de calcul basée sur deux circuits multiplieurs et un circuit inverseur, il a été décidé de modifier légèrement l'architecture présentée paragraphe 2.1, et de corriger les offsets de chaque amplificateur opérationnel interne à la cellule. Un nouveau composant a été conçu et réalisé en technologie CMOS 0,8 $\mu$ m.

## **7. Définition de la nouvelle architecture de la cellule de calcul**

### **7.1 Analyse de l'architecture précédente**

Les résultats qui ont été exposés dans le paragraphe précédent montrent que la cellule a des dysfonctionnements importants. Ces dysfonctionnements se caractérisent par :

- un décalage du mode commun des tensions de sortie qui est dû au mauvais fonctionnement du circuit inverseur : le mode commun de ce dernier  $V_{CM}$  (qui doit être idéalement à 2,5V) est décalé autour de 2,7V
- une non-symétrie des tensions de sortie  $V_{S1}$  et  $V_{S2}$  qui est due au fait que les chemins analogiques les générant sont totalement indépendants l'un de l'autre
- une dépendance du mode commun de sortie avec la tension différentielle  $V_Z$ , qui est due aux offsets en courant des circuits multiplieurs

Tous ces problèmes ont en fait la même origine : le principe de fonctionnement de l'architecture nécessite un « matching » trop important des composants par rapport aux possibilités de la technologie utilisée. Notamment, de nombreuses recopies de tensions sont effectuées en interne des circuits multiplieur et inverseur grâce à des amplificateurs différentiels, dont l'influence des tensions d'offset d'entrée n'avait pas été analysée. De plus, des erreurs de layout sur des résistances sont supposées être une seconde cause du décalage de mode commun du circuit inverseur.

### 7.2 Correction sur la structure de la cellule

Tout d'abord, compte tenu des remarques précédentes, une analyse du fonctionnement du circuit multiplieur a été menée, grâce notamment à des simulations électriques de type « Monte Carlo ». Ainsi, il a été possible de concevoir une compensation des offsets d'entrée de chaque amplificateur opérationnel de cet élément. Puis, le design de celui-ci a été analysé pour ne plus être dépendant des « mismatch » des transistors et des résistances (sauf pour les tensions d'offset des amplificateurs puisqu'une compensation extérieure sera faite pour chacun d'eux).

Puis, en ce qui concerne le circuit inverseur, son architecture a été complètement abandonnée pour utiliser un circuit plus classique : un amplificateur opérationnel utilisé en gain inverseur (gain =  $-1$ ) grâce à deux résistances de  $2,5K\Omega$ , et un second amplificateur opérationnel monté en suiveur de tension pour avoir une forte impédance d'entrée du circuit. Ces 2 amplificateurs opérationnels possèdent aussi une compensation d'offset.

Enfin, l'architecture globale d'une cellule de calcul sera réduite de moitié comme illustré dans la Figure 68 (à comparer avec la Figure 47). Cela permet de réduire les contraintes de « matching » : seuls 2 circuits multiplieurs auront à être identiques, au lieu de 4 précédemment.

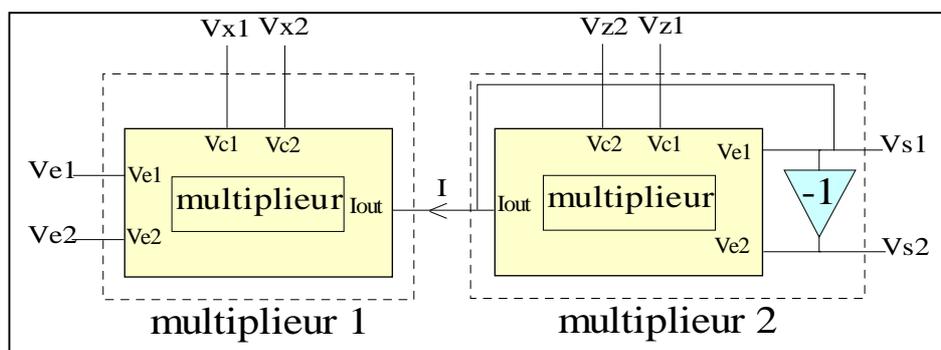


Figure 68 : Nouvelle architecture de la cellule

### 7.3 Principe de la compensation d'offset

La Figure 69 illustre la compensation d'offset du  $\mu A741$ . Deux résistances différentes entre chacune des pins « OFFSET NULL » et la tension d'alimentation négative permettent de rééquilibrer les chemins analogiques des 2 voies différentielles (ils sont déséquilibrés à cause des « mismatch » entre les transistors).

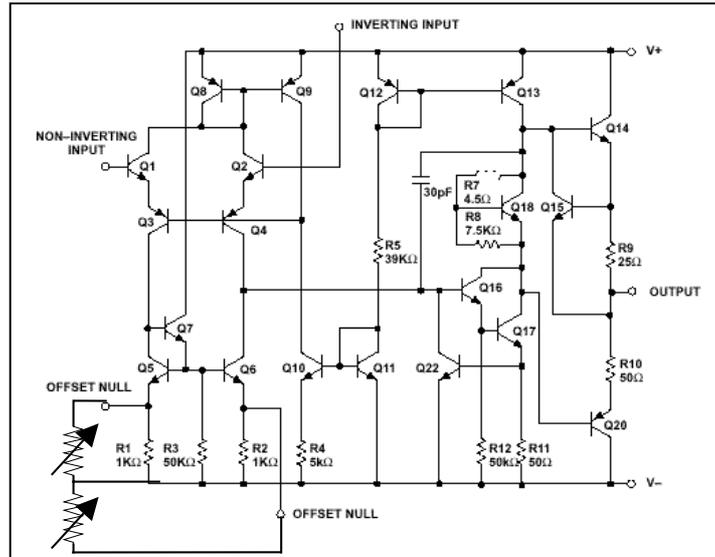


Figure 69 : Compensation d'offset du  $\mu A741$

La cellule de calcul comporte 2 circuits multiplieurs et 1 circuit inverseur. Or, un multiplieur est composé, en interne, de 6 amplificateurs opérationnels, et le circuit inverseur est composé de 2 amplificateurs opérationnels. La cellule en comporte donc 14. La calibration de la cellule nécessite donc 14 réglages d'offset. Comme on teste plusieurs circuits à partir de la même carte, il n'est pas envisageable d'utiliser des potentiomètres extérieurs pour ces réglages.

La compensation d'offset qui est utilisée pour la cellule repose sur le même principe que celle du  $\mu A741$  ; cependant, le potentiomètre extérieur est remplacé par 2 transistors MOS polarisés dans leur régime ohmique. L'un de ces transistors a une tension de grille fixe, alors que celle de l'autre est réglable. La Figure 70 illustre ce principe.

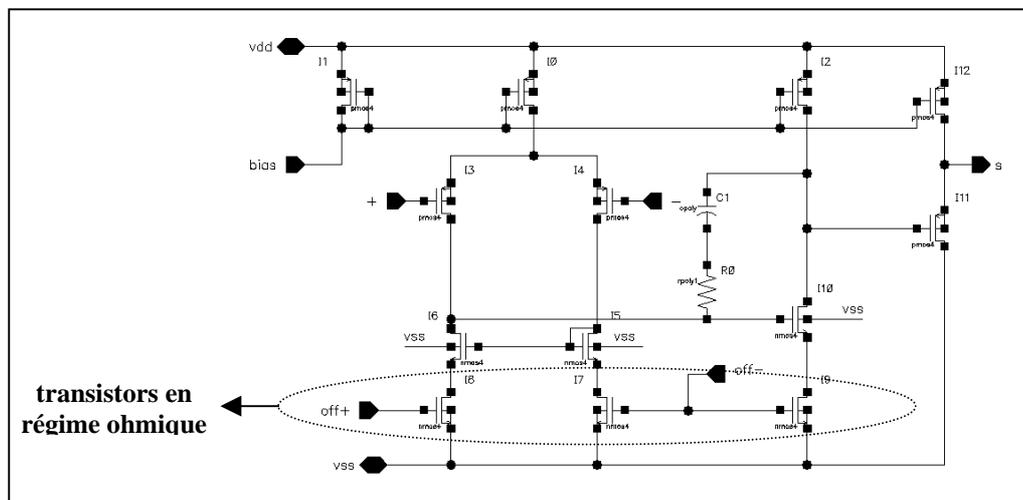


Figure 70 : Compensation d'offset commandée en tension

La tension « off- » est reliée à une référence de tension de 5V alors que la tension « off+ » est réglable sur une plage de tension [1,5V ; 4V] pour un réglage d'offset de  $\pm 5\text{mV}$ .

#### 7.4 Règles de layout utilisées

Des erreurs de layout étant supposées être une cause de dysfonctionnement de la cellule, les techniques de layout présentées en annexe telles que :

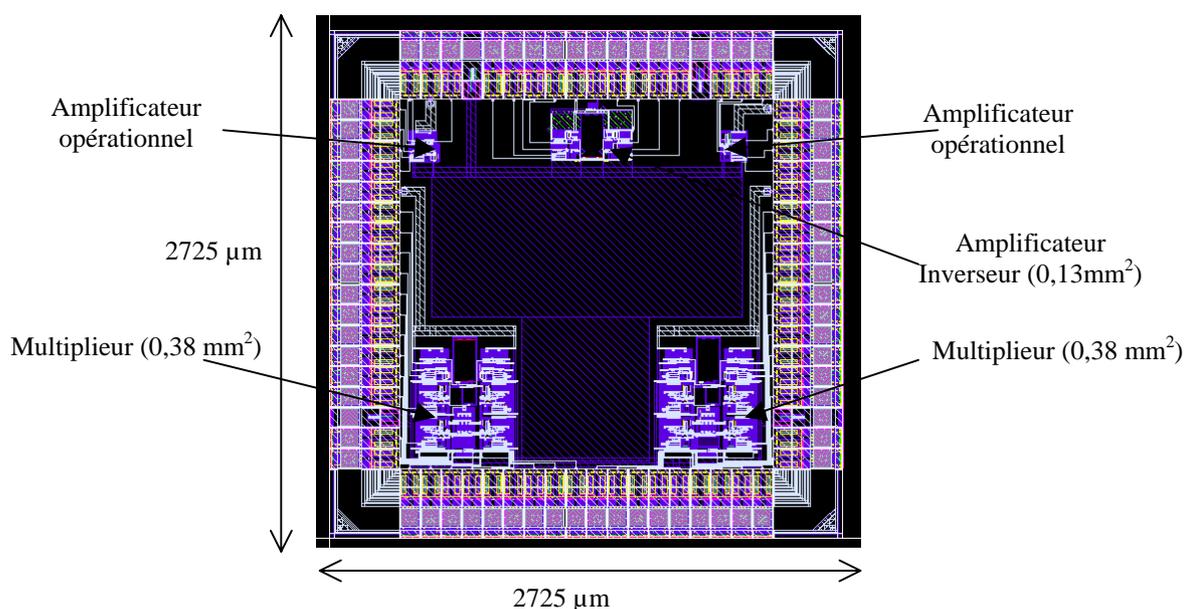
- centroïde commune
- « dummy structures »
- répétition de motifs (même taille, même sens, même orientation)

ont été employées pour toute structure nécessitant un « matching » de composants, c'est-à-dire pour :

- les paires différentielles
- les miroirs de courant
- les ponts de résistances
- les transistors en zone ohmique du circuit multiplieur

#### 7.5 Tests du nouveau circuit

Un composant comportant 2 circuits multiplieurs, 1 circuit inverseur et 2 amplificateurs opérationnels à compensation d'offset (un qui travaille dans la gamme [1,5V ; 3,5V] et un autre dans la gamme [50mV ; 150mV]) a été testé.



### 7.5.1 Cartes de tests

Pour les tests des composants, il a été prévu 3 cartes de test, afin de valider étape par étape la structure de la cellule proposée. Ainsi, ont été réalisées :

- 1 carte pour tester indépendamment les 2 multiplieurs, le circuit inverseur et les 2 amplificateurs opérationnels
- 1 carte pour tester une cellule de calcul (composée des 2 multiplieurs et du circuit inverseur)
- 1 carte pour générer les tensions de réglages d'offset (génération de 32 tensions analogiques indépendantes)

Les tests ont été développés avec le logiciel TESTPOINT. La génération des tensions continues en entrée des cellules a été assurée par des générateurs HP33120A en mode DC pilotés par un bus GPIB et l'acquisition des mesures a été réalisée par un multimètre Keithley 199 en mode scanner piloté aussi par un bus GPIB.

La carte de génération des tensions de réglage d'offset est pilotée par un FPGA qui s'interface avec un PC grâce à une carte d'entrées/sortie numériques. Le FPGA distribue via un lien série les valeurs des tensions de réglage d'offset aux convertisseurs numériques-analogiques ayant une résolution de 12 bits. Les tensions d'offset sont lues directement aux bornes « + » et « - » de chaque amplificateur grâce à une carte d'acquisition d'entrées/sorties analogiques 12 bits dont le gain d'entrée permet de lire des tensions sur une plage de  $\pm 100\text{mV}$ .

### 7.5.2 Test de l'AOP

Cet amplificateur opérationnel est représenté sur la Figure 70. Dans le circuit multiplieur, il est utilisé en suiveur de tension pour une plage de variation [1,5V ; 3,5V], et est chargé par une résistance à la masse de 2,5K $\Omega$ . Sur la carte de test, on a donc recréé ces conditions. Le schéma de ce test est représenté sur la Figure 71.

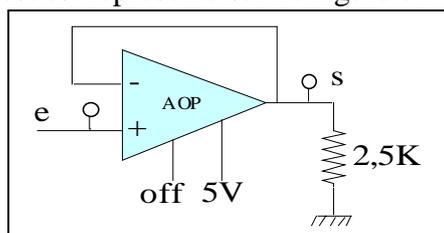


Figure 71 : Test de l'amplificateur opérationnel

## 7.5.3 Test du circuit multiplieur

Au total, 10 circuits multiplieurs ont été testés. Les tests de ces circuits vérifient leurs fonctions de transfert DC. Notamment, les offsets en tension et en courant sont mesurés ainsi que les linéarités du courant de sortie par rapport aux deux entrées en tension différentielle. Le schéma de test est présenté sur la Figure 72.

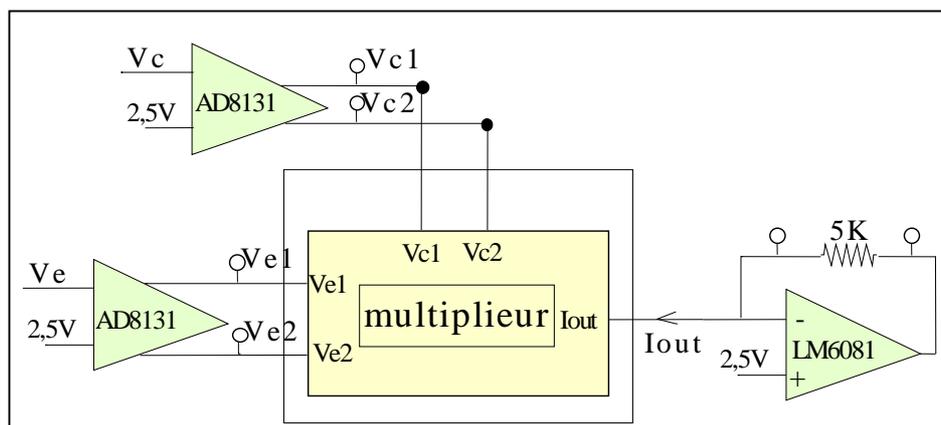


Figure 72 : Test du circuit multiplieur

Le test de ce circuit se déroule en fait en deux parties : tout d'abord une procédure de calibration des 6 offsets (car le circuit comprend 6 AOP) est effectuée ; puis, la mesure des caractéristiques sur le circuit ainsi calibré est exécutée. Au total, on dispose de 5 composants qui contiennent chacun 2 circuits multiplieurs (multiplieur « A » et multiplieur « B ») : 10 circuits multiplieurs ont donc été testés (5 multiplieurs « A » et 5 multiplieurs « B »).

Sur ces 10 multiplieurs, seuls 6 ont pu être caractérisés, un réglage d'offset ne fonctionnant pas sur les autres. Les résultats sont présentés dans le Tableau 11. Ils montrent qu'on peut toujours modéliser le comportement du circuit multiplieur par l'équation :

$$I_{OUT} = K \cdot (V_E - \text{off}_{V_E}) \cdot (V_C - \text{off}_{V_C}) + \alpha (V_{OUT} - V_0) + I_{off} \quad (1).$$

	K	Offset sur $V_E$	Offset sur $V_C$	$I_{off}$	Non-linéarité sur $V_E$	Non-linéarité sur $V_C$	imprécision
<b>Calibrés</b>	95 $\mu$ A/V <sup>2</sup>	$\pm$ 5mV	$\pm$ 5mV	$\pm$ 5 $\mu$ A	0,1%	0,05%	0,2%
<b>Non calibrés</b>	95 $\mu$ A/V <sup>2</sup>	$\pm$ 5mV	100mV	$\pm$ 20 $\mu$ A	0,2%	0,05%	0,3%

Tableau 11 : Résultats du circuit multiplieur pour une tension  $V_{OUT}=2,5V$

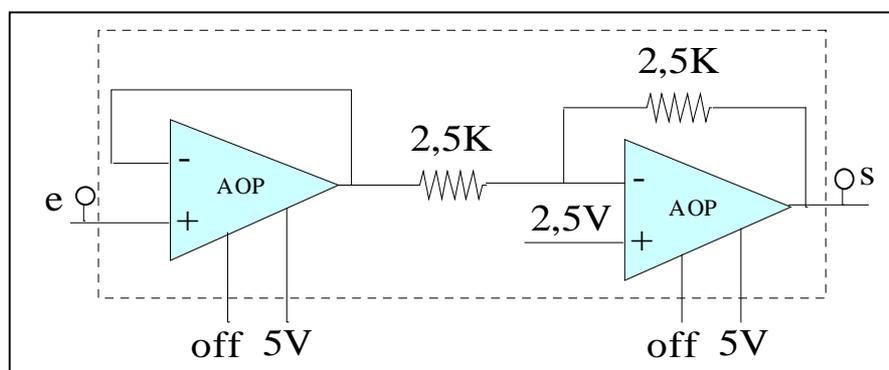
Par contre, l'offset sur  $V_C$  et l'offset sur  $I_{OUT}$  diminuent considérablement en calibrant la cellule. La linéarité de la cellule est elle aussi améliorée : elle passe de 9 bits à 10 bits.

Les non-linéarités sont définies comme l'erreur maximale en courant (par rapport à la droite de régression linéaire) divisée par la pleine échelle du courant de sortie. L'imprécision est quant à elle définie comme l'erreur maximale du courant de sortie par rapport à l'équation (1), divisée par la pleine échelle. Ces définitions sont plus ou moins équivalentes à la non-linéarité intégrale d'un convertisseur numérique analogique.

Ces résultats confirment les hypothèses de dysfonctionnements de l'architecture précédente, à savoir que ce sont les offsets des amplificateurs qui dégradent les performances du circuit multiplicateur : courant d'offset en sortie et offset sur l'entrée  $V_C$ .

#### 7.5.4 Test du circuit inverseur

Le circuit inverseur a un schéma classique. Il est composé d'un AOP en suiveur et d'un AOP utilisé en gain inverseur  $-1$ . Le schéma de test est illustré sur la Figure 73.



**Figure 73 : Test de l'inverseur**

Sur les 5 circuits, un seul fonctionne correctement. Pour les 4 autres, la correction d'offset du second AOP est inefficace, car il présente un offset de 50 à 100mV, ce qui n'est absolument pas prévisible par les simulations « Monte Carlo ».

#### 7.5.5 Conclusion des tests

Les résultats montrent tout d'abord que la compensation d'offset est efficace et permet de corriger les offsets comme prévu par les simulations « Monte Carlo ». De plus, le circuit multiplicateur a été caractérisé et ses performances sont améliorées en terme d'offset de courant (ramené à environ  $5\mu A$ ) et en terme de linéarité (de l'ordre de 0,1%).

Cependant, des problèmes sont apparus sur certaines compensations d'offset, et leur origine semble identique mais reste non identifiée à l'heure actuelle.

Quant à la cellule de calcul, elle est en cours de caractérisation.

## **8. Conclusions**

Deux circuits de tests ont permis de tester l'architecture basée autour de circuits multiplieurs et d'inverseurs.

Les résultats du premier circuit de test ont mis en évidence une mauvaise appréhension de l'influence des tensions d'offset. Ceux-ci peuvent en effet non seulement décaler les tensions d'entrée, mais aussi dégrader la linéarité de la cellule, et perturber fortement le mode commun de sortie. Ici, c'est plus l'architecture du circuit multiplieur que celle de la cellule de calcul qui est mise en cause.

Ainsi, pour tenter de valider l'architecture de la cellule de calcul, il a été décidé d'adopter la même structure légèrement modifiée, mais en corrigeant les offsets de toutes les paires différentielles. En disposant alors d'un circuit multiplieur assez précis, on peut valider l'architecture de la cellule de calcul. Les résultats du 2<sup>nd</sup> circuit test montrent, comme en simulation, que la compensation des offsets permet d'obtenir un circuit multiplieur 4 quadrants avec une linéarité de 10 bits par rapports aux 2 entrées ; celles-ci ont des offsets de l'ordre de 5mV, et le courant de sortie a un offset de l'ordre de 5 $\mu$ A pour une pleine échelle de  $\pm 350\mu$ A.

**CHAPITRE 4 :**  
**Etude d'un réseau de cellules**

## 1. Introduction

En parallèle du travail de conception et de caractérisation de la cellule, une étude réseau de cellules a été effectuée afin de valider la fonctionnalité des cellules à travers l'exemple d'un capteur résistif (résistance platine) exposé au chapitre 2. Cette étude introduit la notion de cellule réseau qui s'articule autour d'une cellule de calcul munie de switch et de deux convertisseurs numériques-analogiques, permettant ainsi de configurer la cellule dans une fonction élémentaire donnée. Une liaison série proche de l'I2C a été conçue pour envoyer les données de configuration. Le réseau complet n'a pas fait de réalisations pratiques.

## 2. Cellule réseau

### 2.1 Présentation de la cellule réseau

La cellule de base du composant analogique programmable présentée dans le chapitre précédent vérifie la relation suivante :

$$V_s = -\frac{1}{2}(V_A + V_B) \frac{V_x}{V_z}$$

La cellule réseau (Figure 74) contient une cellule de base avec autour un certain nombre de switch CMOS et 2 convertisseurs numériques analogiques qui permettent si nécessaire de fixer les tensions sur  $V_x$  et  $V_z$ .

Ces différents switch appelés « switch cellule » permettent de configurer la cellule de base dans une fonction élémentaire donnée. Ainsi par exemple pour configurer la cellule en gain, il suffit de fermer les switch swc2 et swc3 et le gain est déterminé par le rapport des 2 tensions différentielles imposées par les 2 convertisseurs numériques analogiques.

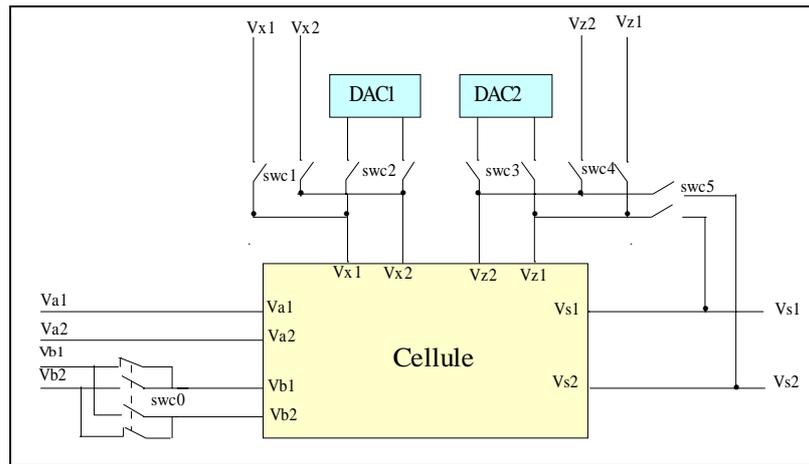


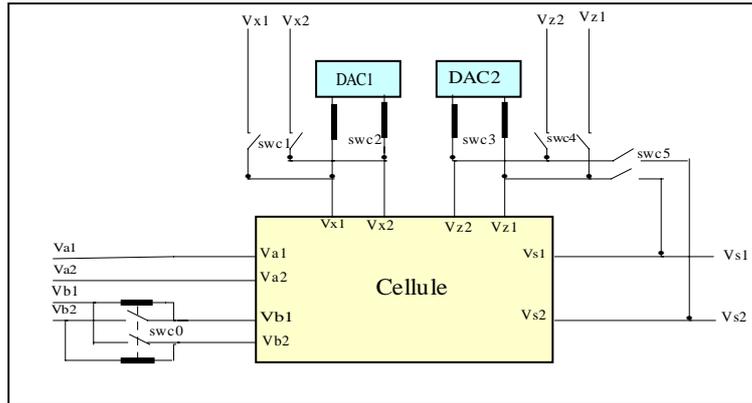
Figure 74 : Cellule réseau

La cellule réseau comporte 14 switch pilotés par 6 signaux de contrôle swc0 à swc5 (swc : commande des switch cellules). Les différentes combinaisons des switch permettent d'obtenir 12 configurations possibles de la cellule décrites ci après. Ces 12 configurations sont codées sur 4 bits et un décodeur logique 4 vers 6 permet de générer les 6 signaux de commandes.

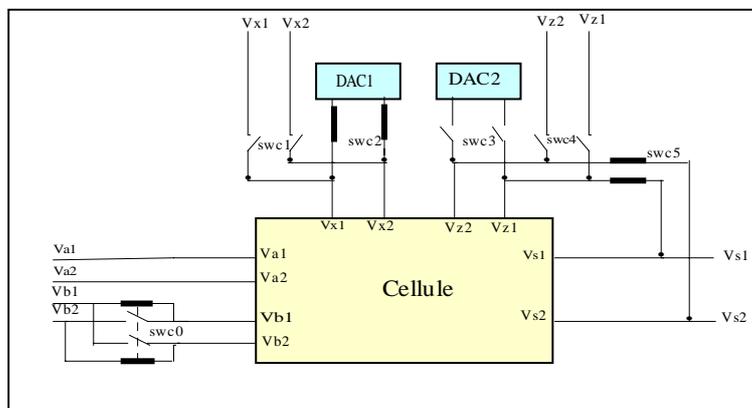
### 2.2 Configurations possibles de la cellule réseau

Codage des fonctions	Nom de la configuration cellule (dépendant des switch cellules)	Configuration des switch					
		swc0	swc1	swc2	swc3	swc4	swc5
0 0 0 0	OUVERT	O	O	O	O	O	O
0 0 0 1	GAIN	O	O	F	F	O	O
0 0 1 0	INV+GAIN	F	O	F	F	O	O
0 0 1 1	MULT	O	F	O	F	O	O
0 1 0 0	DIV	O	O	F	O	F	O
0 1 0 1	RAC	O	O	F	O	O	F
0 1 1 0	INV+MULT	F	F	O	F	O	O
0 1 1 1	INV+DIV	F	O	F	O	F	O
1 0 0 0	INV+RAC	F	O	F	O	O	F
1 0 0 1	INV+MULT+DIV	F	F	O	O	F	O
1 0 1 0	INV+MULT+RAC	F	F	O	O	O	F
1 0 1 1	MULT+DIV	O	F	O	O	F	O
1 1 0 0	MULT+RAC	O	F	O	O	O	F

Tableau 12 : Configurations possibles



**Figure 75 : Configuration en Gain (0001)**



**Figure 76 : Configuration RAC (0101)**

### 2.2.1 Fonctions analogiques réalisables

Les fonctions analogiques dépendent non seulement de la configuration de la cellule mais aussi de la configuration des switch réseaux en entrée de la cellule.

En effet si un même signal attaque  $V_A$  et  $V_B$  (dépendant des switch réseaux) alors  $V_A=V_B=V_E$  et la fonction de transfert devient :

$$V_s = -V_E \frac{V_x}{V_z}$$

ce qui permet de réaliser les fonctions analogiques suivantes selon les configurations de la cellule :

1. **Gain/atténuation** :  $V_s = GV_E$  avec  $G = -\frac{V_x}{V_z}$  ( $V_x, V_z$  tensions fixées par les DAC)

2. **Multiplication** :  $V_s = KV_E V_x$  avec  $K = -\frac{1}{V_z}$  ( $V_z$  tension fixée par DAC2)

3. **Division** :  $V_s = K \frac{V_E}{V_z}$  avec  $K = -V_x$  ( $V_x$  tension fixée par DAC1)

4. **Racine carrée** :  $V_s = \sqrt{KV_E}$  avec  $K = -V_x$  ( $V_x$  tension fixée par DAC1)

5. **Multiplication - division** :  $V_s = -\frac{V_E V_x}{V_z}$

6. **Multiplication - Racine carrée** :  $V_s = \sqrt{-V_E V_x}$  (si  $-V_E V_x > 0$ )

Par contre si  $V_A \neq V_B$  les fonctions analogiques possibles se définissent à partir de la fonction de transfert suivante :

$$V_s = -\frac{1}{2}(V_A \pm V_B) \frac{V_x}{V_z}$$

7. **Gain - Addition** :  $V_s = G(V_A + V_B)$  avec  $G = -\frac{1}{2} \frac{V_x}{V_z}$  ( $V_x, V_z$  tensions fixées par les DAC)

8. **Gain - soustraction** :  $V_s = G(V_A - V_B)$  avec  $G = -\frac{1}{2} \frac{V_x}{V_z}$  ( $V_x, V_z$  tensions fixées par les DAC)

9. **Multiplication - Addition** :  $V_s = K(V_A + V_B)V_x$  avec  $K = -\frac{1}{2V_z}$  ( $V_z$  tension fixée par DAC2)

10. **Multiplication - Soustraction** :  $V_s = K(V_A - V_B)V_x$  avec  $K = -\frac{1}{2V_z}$  ( $V_z$  tension fixée par

DAC2)

11. **Division - Addition** :  $V_s = K \frac{(V_A + V_B)}{V_z}$  avec  $K = -\frac{1}{2} V_x$  ( $V_x$  tension fixée par DAC1)

12. **Division - Soustraction** :  $V_s = K \frac{(V_A - V_B)}{V_z}$  avec  $K = -\frac{1}{2} V_x$  ( $V_x$  tension fixée par DAC2)

13. **Racine - Addition** :  $V_s = \sqrt{K(V_A + V_B)}$  avec  $K = -\frac{1}{2} V_x$  ( $V_x$  tension fixée par DAC1)

14. **Racine - Soustraction** :  $V_s = \sqrt{K(V_a - V_b)}$  avec  $K = -\frac{1}{2}V_x$  ( $V_x$  tension fixée par DAC1)

15. **Multiplication - Division - Addition** :  $V_s = -\frac{(V_A + V_B)V_x}{2V_z}$

16. **Multiplication - Division - Soustraction** :  $V_s = -\frac{(V_A - V_B)V_x}{2V_z}$

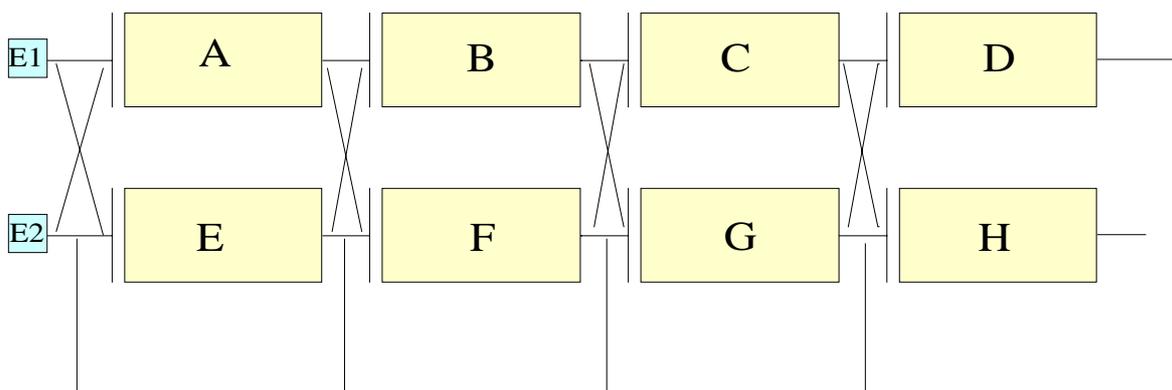
17. **Multiplication - Racine - Addition** :  $V_s = \sqrt{\frac{-(V_A + V_B)V_x}{2}}$

18. **Multiplication - Racine - Soustraction** :  $V_s = \sqrt{\frac{-(V_A - V_B)V_x}{2}}$

*Soit 18 opérations possibles pour une seule cellule*

### 3. Le réseau d'interconnexion des cellules

Le circuit comporte 8 cellules décrites précédemment, 2 entrées différentielles et 2 sorties différentielles. Le réseau adopté pour interconnecter les 8 cellules (A,B,C, ..., H) est le suivant :



On remarque que le réseau est loin d'interconnecter toutes les cellules entre elles (maillage complet) afin de limiter le nombre de switch réseau et leurs commandes. La solution adoptée est plutôt une configuration de routage qui permet le chaînage des cellules entre elles comme on peut le voir souvent dans les applications analogiques.

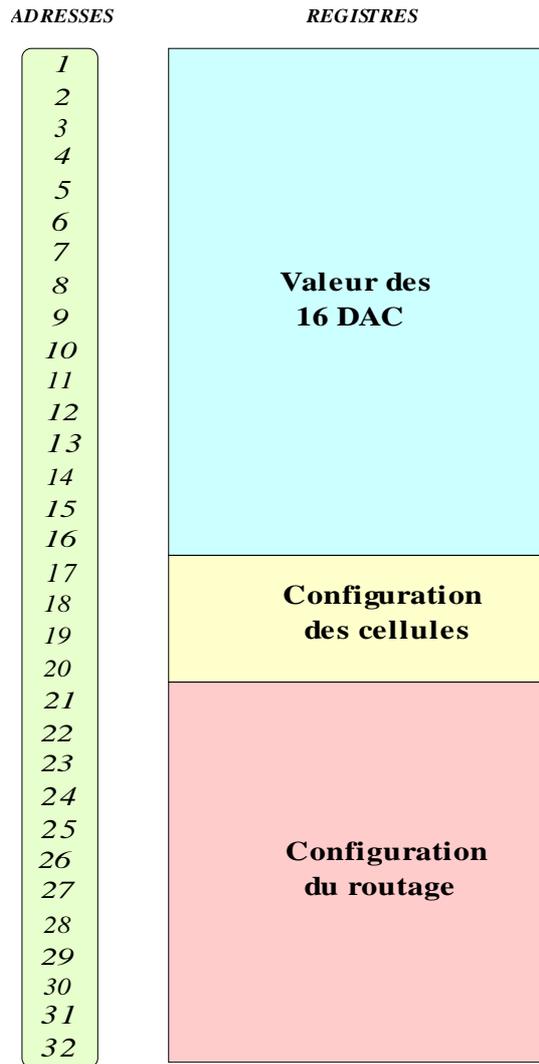
Les 2 entrées différentielles E1 et E2 peuvent attaquer soit la cellule A, soit la cellule E, soit les 2 cellules à la fois. Les 2 sorties différentielles S1 et S2 peuvent être prises à la sortie de n'importe quelle cellule.

Si l'on considère les liaisons horizontales et verticales du réseau d'interconnexion, sans prendre en compte les liaisons croisées, ceci permet de réaliser :

- une chaîne de 2 à 8 cellules
- 2 chaînes séparées de 2 à 4 cellules
- une chaîne de 5 cellules et une de 3 cellules
- une chaîne de 6 cellules et une de 2 cellules
- une chaîne de 7 cellules et une de 1 cellule

Les liaisons croisées servent à réunir ensemble par exemple les sorties de 2 chaînes pour en faire l'addition, la soustraction, la multiplication ou la division.

Le réseau final comporte 112 switch cellule et 192 switch réseau pour réaliser la configuration de routage décrite précédemment. Pour programmer un circuit dans une configuration donnée (configuration de la cellule et configuration du routage) on utilise le mapping mémoire interne (registres internes) au circuit :



### 4. Application du réseau d'interconnexion à la linéarisation d'un capteur résistif

Dans le chapitre 2, il a été montré que la linéarisation d'une résistance platine nécessitait les opérations d'addition, de racine carrée, de soustraction et de gain.

Considérons une résistance platine 100 Ω ayant pour coefficients  $A=3,91 \cdot 10^{-3}$  et  $B=5,775 \cdot 10^{-7}$  et son principe de linéarisation (Figure 77).

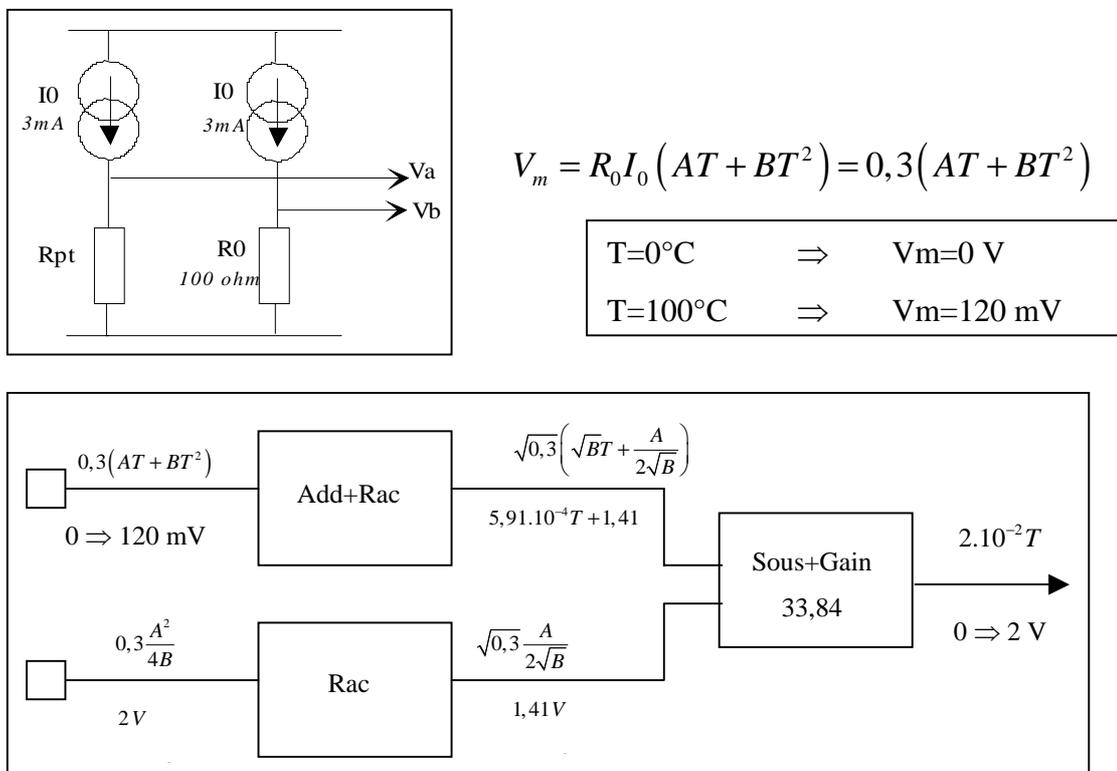


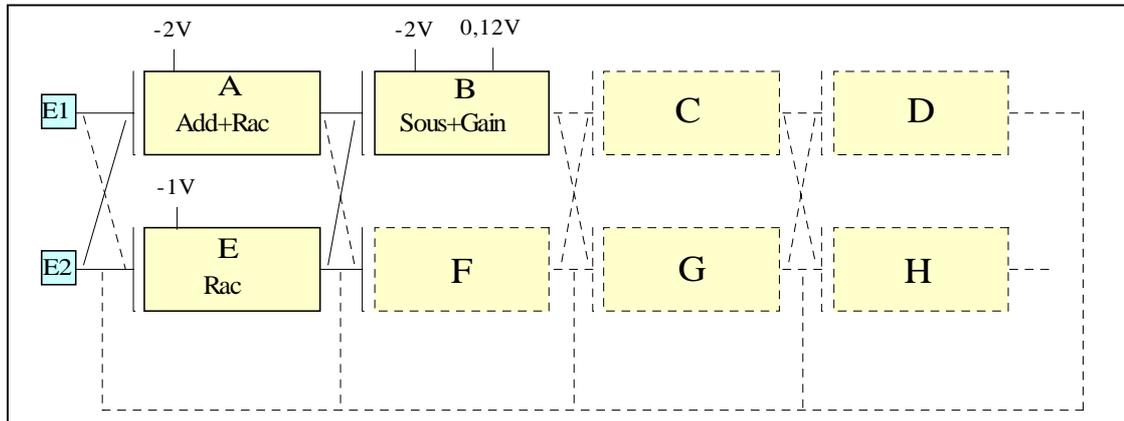
Figure 77 : Linéarisation de la résistance platine

Cette configuration permet de fournir en sortie une tension linéaire sur une plage de 2V. Implantée dans le réseau d'interconnexion (Figure 78) présenté précédemment, cette configuration nécessite la fonction addition-racine carrée, la fonction racine carrée et la fonction soustraction-gain :

**Racine - Addition :**  $V_s = \sqrt{K(V_A + V_B)}$  avec  $K = -\frac{1}{2}V_x = 1$  d'où  $V_x = -2$

**Racine carrée :**  $V_s = \sqrt{KV_E}$  avec  $K = -V_x = 1$  d'où  $V_x = -1$

**Gain - soustraction :**  $V_s = G(V_A - V_B)$  avec  $G = -\frac{1}{2} \frac{V_x}{V_z} = 33,84$



**Figure 78 : Implantation de la linéarisation capteur dans le réseau d'interconnexion**

## 5. Envoi des données de configuration

Le contrôle du circuit se fait par liaison série à 2 fils. Cette liaison incorpore un protocole de communication proche du bus I<sup>2</sup>C.

### 5.1 Liaison série

#### 5.1.1 Principe

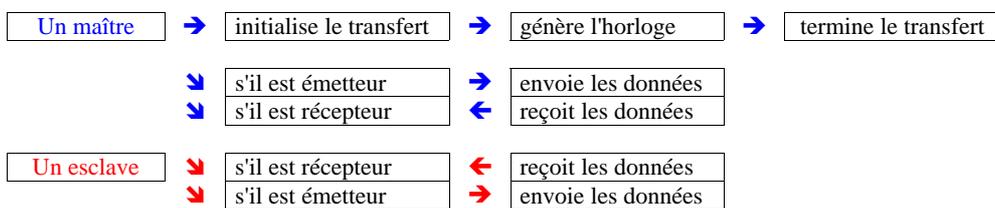
Dans le principe, la communication s'opère sur un bus bidirectionnel, imposant l'utilisation d'un meneur de jeu pour établir le dialogue. Les circuits sont vus, ici, comme des *esclaves*, obéissants aux ordres du *maître*, logiciel de configuration. Chaque circuit peut alors, soit recevoir, soit fournir des informations. Ils sont donc programmés pour être soit en mode d'écriture, soit en mode de lecture.

Plusieurs circuits peuvent être connectés sur le même bus. Afin d'être interrogé personnellement, chaque circuit possède un numéro d'identification. Une fois reconnu, le circuit monopolise la transmission. La ligne est ensuite libérée par décision du maître seulement.

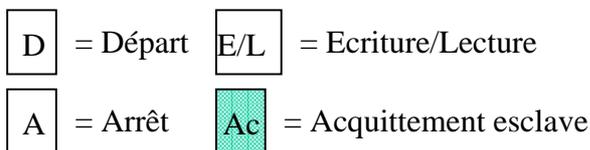
Dans un cas particulier, le protocole de communication autorise la prise de parole du maître pour l'ensemble des circuits connectés. Dans ce cas là, les circuits sont simples écouteurs et ne peuvent donc pas répondre au maître.

### 5.1.2 Trame de communication

Le bus de communication se compose d'un fil transportant les données et d'un fil de synchronisation. Suivant la combinaison des états électriques sur les 2 fils, nous obtenons une trame de communication qui se décompose de la manière suivante.



Chaque début de trame est identifié par un signal de départ  $\boxed{D}$ , suivi de l'adresse d'identification de l'esclave sur 7 bits, puis d'un bit fixant le sens de la communication des données  $\boxed{E/L}$ . Lorsque l'esclave s'est identifié, celui-ci valide la communication en fixant un bit d'acquittement  $\boxed{Ac}$ . Il s'ensuit une série d'octets, qui dans notre cas, se décomposent par une partie de sous-adressage puis d'un octet de données. Au dernier acquittement, le maître termine la communication en plaçant un bit d'arrêt  $\boxed{A}$ .



## 5.2 Architecture

La programmation du circuit nécessite la mise en place d'une architecture (Figure 79) comprenant le décodage des informations en provenance du bus, puis la mémorisation des états internes des cellules et du réseau d'interconnexions.

Le décodeur est animé par une machine d'états dont les actionneurs sont un registre à décalage d'entrée (désérialiseur), un registre à décalage de sortie (sérialiseur), une mémoire de stockage (sous-adresses et données) . Cette machine d'états est assistée d'un détecteur d'événements  $E/L$ , ainsi que d'un décodeur d'adresse externe et d'adresse globale externe. Les états internes des cellules et du réseau d'interconnexions sont mémorisés dans le registre de données de la mémoire de stockage.

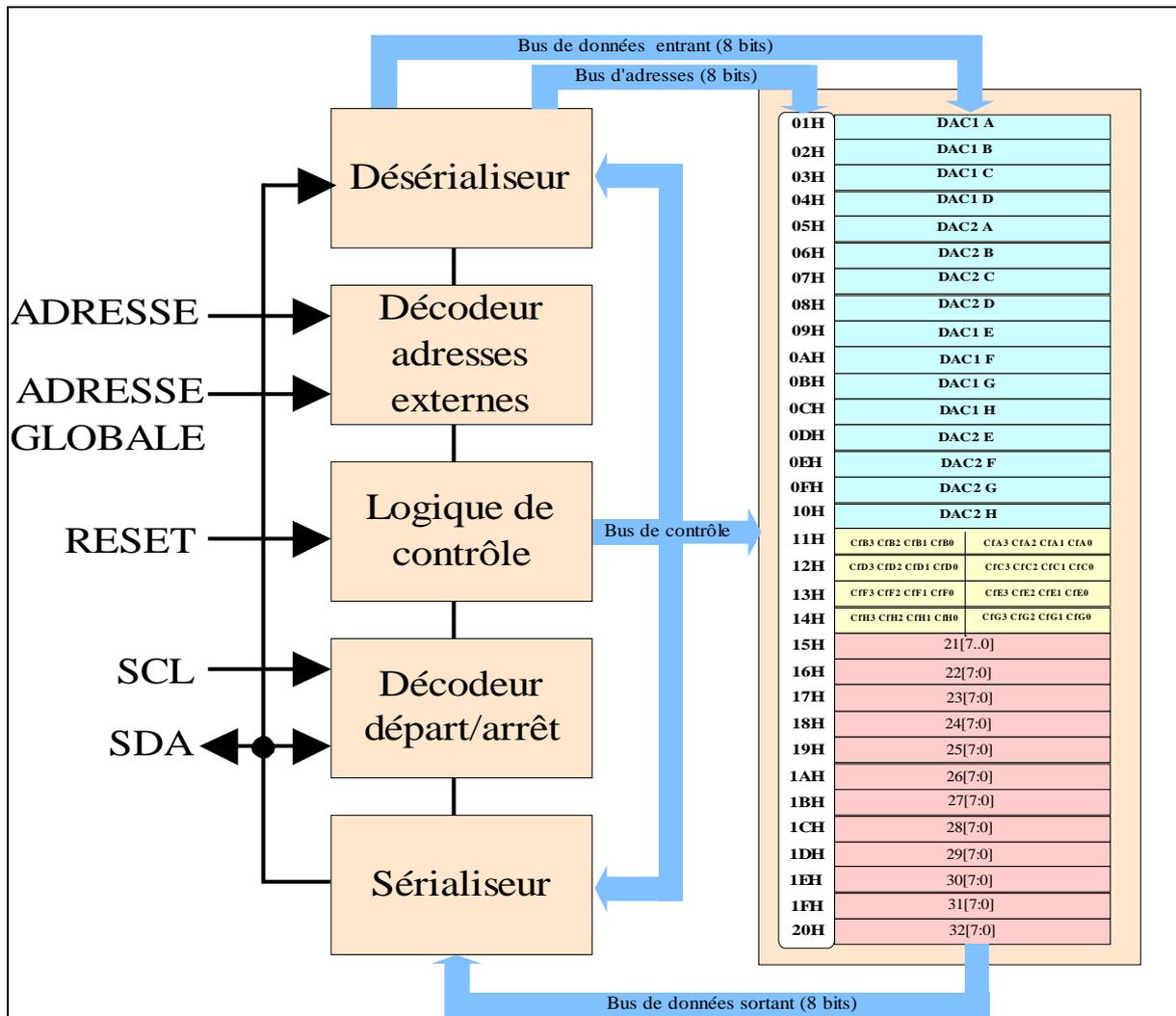


Figure 79 : Architecture du circuit

Lorsqu'une communication s'effectue entre le maître et l'esclave, le décodeur s'anime de la manière suivante.

Le détecteur d'événements *Décodeur départ/arrêt* détecte le début ou la fin d'une transmission. Il reçoit les signaux issus des lignes de données (SDA) et de synchronisation (SCL) . Il génère ou pas une information de *Départ*. Si l'information est bonne, elle reste permanente jusqu'à l'arrivée d'un *Arrêt*.

Vient ensuite le registre à décalage d'entrée *Désérialiseur*, d'une longueur de neuf bits. Son rôle est de déchaîner les données et de compter les nombres de bits reçus, soit sept bits d'adresse plus un bit de lecture/écriture ou huit bits de données, plus un bit d'acquiescement. Son action n'est validée que par la présence de l'information de début de transmission *Départ*. A l'initialisation, le registre est chargé à la valeur 001h. Après réception, les sorties parallèles du registre constituent les bus internes parallèles d'entrée de l'interface (adresses et données) .

Le bit de poids fort du bus entrant, engendré par le décalage de la valeur initiale, sert de sémaphore en signalant la fin de réception d'un octet. Il déclenche l'évolution interne de la machine d'états et la sortie de divers signaux de commande.

Son bit de poids faible contient l'information de lecture/écriture (*L/E*). Elle est ensuite mémorisée.

Les huit autres bits alimentent, dans l'ordre d'arrivée de la trame:

- (a) Les décodeurs d'adresses externes qui confrontent la propre adresse et l'adresse d'appel général du circuit, fixées matériellement, avec les valeurs retenues sur le bus interne. La sortie égalité du décodeur active un autre sémaphore.
- (b) Les registres d'adresses de la mémoire de stockage. La valeur stockée servira de pointeur pour les données.

Les registres de données de la mémoire de stockage. Ils emmagasinent les informations nécessaires au fonctionnement des cellules.

Quant aux registres à décalage de sortie *Sérialiseur*, ils permettent de déposer sur le bus de communication, les informations issues des registres de données de la mémoire de stockage, via le bus interne parallèle de sortie. Cette action s'effectue lorsqu'en fin d'adressage d'une opération de lecture, la donnée présente sur le bus de sortie est chargée dans le registre de sortie. Si le maître accuse réception de la lecture, une seconde lecture du même registre est possible. Sinon, le décodeur est en attente de l'événement *Arrêt* et devient insensible à toute nouvelle sollicitation de l'horloge.

### 5.3 Entrées/sorties du décodeur

Le bus de communication fournit deux lignes distinctes pour commander le circuit. La ligne de données SDA, basée sur le principe dominant/récessif et la ligne de synchronisation SCL, battant à 100 KHz.

La ligne SDA se situe à haute impédance à l'état de repos. Elle est mise à l'état bas lorsqu'elle est monopolisée par un circuit. En fin de communication, elle est relâchée pour revenir à haute impédance.

La ligne SCL est unidirectionnelle, du maître vers les esclaves. Elle n'est activée qu'en phase de dialogue et devient passive le reste du temps.

Une remise à zéro manuelle RESET est prévue pour réinitialiser le décodeur, si besoin est.

Le décodeur a besoin d'avoir un numéro d'identification codé sur 7 bits. Deux bits seulement sont libres, les cinq derniers sont câblés dans le circuit, ce qui laisse la possibilité de brancher 4 circuits ensemble.

Le décodeur a aussi besoin d'avoir un numéro d'identification global. Ceci est utile pour un appel général du maître à l'ensemble des circuits connectés. Limité à 1 bit, il permet seulement deux possibilités.

<i>Entrées/Sorties</i>	<i>Valeur par défauts</i>	<i>Intitulé</i>
SDA	Haute impédance (haut)	ligne de données
SCL	Haute impédance (haut)	ligne d'horloge à 100 KHz
RESET	(haut)	remise à zéro matérielle
ADRESSE[1:0]	20h	Adresse matérielle du circuit sur 2 bits (de 20h à 27h)*
ADD_GLOBAL[0]	0h	Adresse matérielle globale du circuit sur 1 bit (0h ou 3Fh)**

\* Le bit de  $\lfloor E \rfloor$  est vu par le maître, comme le huitième bit de l'adresse.

\*\* Les cinq derniers bits ont été reliés ensemble ; ce qui laisse deux possibilités.

### 5.4 Mémoire de stockage

Les registres de données internes permettent de mémoriser deux fonctions :

La configuration de chaque cellule (analogique et numérique)

La configuration d'interconnexions des cellules entre elles.

Dans cette optique, il a été prévu une profondeur de mémoire de 32x8 bits qui se décompose de la manière suivante :

- 16 adresses pour mémoriser les valeurs des convertisseurs numériques – analogiques.
- 4 adresses pour mémoriser les configurations des interrupteurs des cellules.
- 2 adresses pour mémoriser les configurations des interrupteurs de prévisualisations des signaux en sorties des cellules.
- 10 adresses pour mémoriser les configurations des interrupteurs d'interconnexions.

La mémoire de stockage contient donc 32 adresses qui vont de 01h à 10h pour les convertisseurs numériques – analogiques (DAC), de 11h à 14h pour les interrupteurs des cellules, de 15h à 16h pour les interrupteurs de visualisation des signaux de sortie des cellules, et de 17h à 20h pour les interrupteurs d'interconnexions des cellules entre elles.

ADRESSES	REGISTRES	Configuration des cellules
01H 1	DAC1 A	1er DAC de la cellule A
02H 2	DAC1 B	1er DAC de la cellule B
03H 3	DAC1 C	1er DAC de la cellule C
04H 4	DAC1 D	1er DAC de la cellule D
05H 5	DAC2 A	2ème DAC de la cellule A
06H 6	DAC2 B	2ème DAC de la cellule B
07H 7	DAC2 C	2ème DAC de la cellule C
08H 8	DAC2 D	2ème DAC de la cellule D
09H 9	DAC1 E	1er DAC de la cellule E
0AH 10	DAC1 F	1er DAC de la cellule F
0BH 11	DAC1 G	1er DAC de la cellule G
0CH 12	DAC1 H	1er DAC de la cellule H
0DH 13	DAC2 E	2ème DAC de la cellule E
0EH 14	DAC2 F	2ème DAC de la cellule F
0FH 15	DAC2 G	2ème DAC de la cellule G
10H 16	DAC2 H	2ème DAC de la cellule H
11H 17	CB3 CB2 CB1 CB0 CFA3 CFA2 CFA1 CFA0	Interrupteurs des cellules B et A
12H 18	CFD3 CFD2 CFD1 CFD0 CFC3 CFC2 CFC1 CFC0	Interrupteurs des cellules D et C
13H 19	CFE3 CFE2 CFE1 CFE0 CFE3 CFE2 CFE1 CFE0	Interrupteurs des cellules F et E
14H 20	CFH3 CFH2 CFH1 CFH0 CRG3 CRG2 CRG1 CRG0	Interrupteurs des cellules H et G
15H 21	21[7:0]	Interrupteurs des signaux de sorties des cellules
16H 22	22[7:0]	Interrupteurs des signaux de sorties des cellules
17H 23	23[7:0]	<b>Configuration des interconnexions</b>
18H 24	24[7:0]	
19H 25	25[7:0]	
1AH 26	26[7:0]	
1BH 27	27[7:0]	
1CH 28	28[7:0]	
1DH 29	29[7:0]	
1EH 30	30[7:0]	
1FH 31	31[7:0]	
20H 32	32[7:0]	

Figure 80 : Mémoire de stockage

## **6. Conclusion**

Dans le but de valider la cellule de calcul développée sur un exemple précis de linéarisation de capteur résistif, une étude de réseau a été menée définissant la structure de la cellule réseau ainsi que la structure des interconnexions. L'envoi des données de configuration de la cellule et des interconnexions est réalisé par une liaison série proche de l'I2C. Un module de communication a été conçu et réalisé en technologie CMOS. Ce module donne des résultats satisfaisants concernant l'écriture des données dans des registres.

# CONCLUSION

Ce travail a consisté principalement en l'étude, la conception et la caractérisation d'une cellule de calcul analogique destinée à être intégrée dans un circuit analogique programmable. L'application visée se situe dans le domaine de l'interfaçage capteur où un besoin de linéarisation de la mesure est nécessaire.

On s'est tout d'abord intéressé à exposer un état de l'art des différentes approches et réalisations existantes dans le domaine de l'analogique programmable. Des circuits industriels proposent des fonctions telles que l'amplification, le filtrage et la conversion de données, avec des performances moyennes. L'objectif de ces circuits est d'apporter au concepteur non rompu aux subtilités de l'analogique, une façon d'intégrer facilement des fonctions dans son système à partir d'un cahier des charges. Pour cela, des blocs IP « clefs en main » permettent de créer en quelques clics de souris une application donnée.

Toutes les réalisations industrielles utilisent l'amplificateur opérationnel comme élément de base de la cellule configurable. Cet amplificateur est entouré d'un réseau de capacités, d'un réseau de résistances ou de transconductances. Le traitement du signal à l'intérieur de ces circuits est réalisé soit en temps continu, soit en temps discret avec la technique des capacités commutées.

Les travaux actuels des laboratoires de recherche ont essayé d'améliorer les performances d'une cellule en terme de bande passante. Pour cela, l'amplificateur opérationnel a été remplacé par le convoyeur de courant qui possède une bande passante plus élevée et un produit gain bande non constant. Un travail propose aussi une cellule multiplieur de capacités commandée par une tension, à la place du réseau de capacités gourmand en place. Enfin, un circuit analogique programmable développé par l'université Hopkins utilise des anti-fusibles comme interconnexions permettant de réduire la résistance des switch à l'état passant.

L'idée de concevoir une cellule de calcul analogique est venue d'industriels travaillant dans le domaine de l'interfaçage capteur, tous désireux de réduire leur cycle et coût de

développement. L'objectif est de faire face aux évolutions des capteurs sans remettre en cause le circuit imprimé. Lors de chaque développement les variables de type gain, offset, gamme de mesure, précision, compensations diverses sont à chaque fois différentes. La part d'étude consacrée au développement et à la mise au point et qualification des étages de traitement analogique est très importante. L'utilisation d'un circuit analogique programmable permettrait de réduire considérablement cette part d'étude.

Les fonctions utiles dans ce domaine sont l'amplification, le filtrage et la détection de seuils. Ces fonctions ont déjà fait l'objet d'étude de la part des fabricants de circuits analogiques programmables. Par contre, il existe un besoin en terme de linéarisation de la mesure qui n'a pas été encore exploré. Des procédés de linéarisation ont été exposés permettant de corriger le défaut d'un capteur résistif (résistance platine) et d'un conditionneur à pont de Wheatstone. Ces procédés font appels à des opérateurs mathématiques tels que l'addition, la multiplication, la division et la racine carrée. Une méthode générale analogique de linéarisation a été proposée permettant d'utiliser les fonctions de multiplication et d'addition pondérée.

Ce besoin en terme de linéarisation a abouti à l'écriture des spécifications de la cellule qui doit réaliser les fonctions mathématiques décrites précédemment. Après avoir étudié la cellule de calcul développé par C. Prémont dans sa thèse, une analyse des spécifications de la cellule a débouché sur un schéma de principe à base de deux multiplieurs dont l'un contre-réactionne un amplificateur. Une étude a déterminé que le principe d'un multiplieur à base de quatre transistors en régime ohmique était le meilleur candidat pour satisfaire la linéarité souhaitée. Un multiplieur quatre quadrants BiCMOS a été conçu utilisant ce principe.

Dans le souci de réduire les coûts de fabrication, un multiplieur quatre quadrants répondant aux exigences de linéarité a été conçu en technologie CMOS. Ce multiplieur inclut la fonction d'addition. Une nouvelle architecture, permettant d'éliminer l'amplificateur, définit une cellule basée autour de quatre mutiplieurs-additionneurs et d'amplificateurs inverseurs. Cette cellule permet de réaliser la fonction de transfert souhaitée. Le comportement de la cellule en simulation laisse penser que les performances de la cellule conçue correspondent aux spécifications requises. La caractérisation expérimentale met en évidence trois défauts majeurs : un décalage du mode commun en sortie, une non-symétrie des tensions de sorties et une dépendance du mode commun de sortie en fonction de la tension

VZ. Tous ces défauts ont un point commun : des offsets provenant de « mismatch » entre composants du circuit dégrade les performances de celui-ci. Des simulations Monte-Carlo confirment que le schéma adopté est trop dépendant du « matching » entre composants. Afin de valider le concept de la cellule autour de multiplieurs-additionneurs et d'inverseurs, il a été décidé de compenser les offsets des amplificateurs différentiels intégrés dans ces structures. De plus, l'architecture a été allégée puisqu'elle n'utilise que deux multiplieurs-additionneurs et un amplificateur inverseur. Des premiers résultats de test ont montré que les performances du multiplieur étaient améliorées en terme de linéarité et d'offset. La cellule de calcul est à l'heure actuelle en cours de caractérisation. Les performances du multiplieur laissent penser que cette cellule possédera de meilleures caractéristiques qu'auparavant.

En parallèle de ce travail de conception et caractérisation, un réseau de cellules a été développé dans le seul but de valider les performances de la cellule à travers l'exemple de linéarisation du capteur résistif (résistance platine). Dans ce cadre, il a été développé une cellule réseau comportant des switch CMOS qui dans ce domaine de fréquence ne constitue pas un inconvénient majeur. Pour permettre de programmer des tensions fixes à l'intérieur du circuit, une liaison proche de l'I2C a été conçue ainsi qu'un convertisseur numérique analogique.

L'avenir à court terme est de valider l'architecture de la cellule autour de deux multiplieurs et d'un amplificateur inverseur. Puis, il faudra rechercher une structure de multiplieur moins dépendante des « matching » entre composant. Par contre, il semble que la technologie CMOS n'est quand même pas adaptée lorsque l'on cherche de la précision car les offsets dus aux « mismatch », existent toujours même en employant des techniques de layout appropriées. Les schémas comporteront toujours des structures qui doivent être appariées telles que miroir de courant, paire différentielle, ... Dans le domaine de fréquence requis pour l'interfaçage capteur, la technique des capacités commutées peut remédier à ce problème car elle compense par nature les offsets. Cependant, il semble que la réalisation d'un multiplieur quatre quadrants en capacités commutées n'est pas triviale.

Une autre solution peut consister à une auto-calibration des offsets à la mise sous tension. Ce moyen, permettant de compenser les offsets, aurait une incidence non négligeable

en terme de surface. De plus, il ne résoudrait pas les dérives dues à la température et au vieillissement.

L'avenir à plus long terme est d'intégrer toutes les fonctions nécessaires à l'interfaçage capteur, en particulier la fonction de filtrage. A ce niveau, se pose le problème de concevoir soit une cellule universelle qui réalise la fonction d'amplification, filtrage et calcul analogique afin de réduire le nombre de cellules dans le circuit, soit des cellules distinctes réalisant des fonctions bien spécifiées au détriment du taux d'utilisation du circuit. La fonction de filtrage doit permettre de réaliser des filtres du premier et du second ordre à partir desquels se construisent tous les autres types de filtre.

## Références bibliographiques

- [ANA] Anadigm: Home of the Field Programmable Analog Array [en ligne]. Disponible sur : <<http://www.anadigm.com/indexnf.htm>> (consulté le 02/12/2001).
- [AR01] AUBERT A., RUBY C. Multiplieur analogique CMOS 4 quadrants haute linéarité. **In** : Colloque Journées Nationales du Réseau Doctoral de Microélectronique JNRDM 2001, avril 2001, Strasbourg. pp.133-134.
- [AUR01] AUBERT A., RUBY C. Cellule configurable de calcul analogique en technologie CMOS. **In** : Colloque Traitement analogique de l'Information, du Signal et ses Applications TAISA 2001, septembre 2001, Bordeaux. pp. 30-34.
- [CYP] Cypress microsystems: PSoC Product [en ligne]. Disponible sur : <<http://www.cypressmicro.com>> (consulté le 02/12/2001).
- [EQO96] EMBABI S.H.K., QUAN X., OKI N. et al. A Field Programmable Analog Signal Array. **In** : Midwest Symposium on Circuits and Systems MWSCAS'96, 1996, Ames, Iowa. pp. 151-153.
- [FCC97] FRANCIOTTA M., COLLI G., CASTELLO R. A 100 MHz 4mW four quadrant BiCMOS analog multiplier. IEEE Journal of Solid State Circuits, octobre 1997, vol 32, pp. 1568-1572.
- [GAS90] GEIGER R.L., ALLEN P.E., STRADER N.R. Analog Systems. **In** : VLSI Design techniques for Analog and Digital Circuits. New-York :Mc GRAW-HILL Int.1990, pp. 745.  
(Electronic Engineering Serie)

ISBN 0-07-100728-8.

- [GG97] GAUDET V., GULAK G. CMOS Implementation of a Current Conveyor-Based Field Programmable Array. **In** : 31<sup>st</sup> ASILOMAR Conference on Signals, Systems, and Computers, Novembre 1997, Pacific Grove, CA [**en ligne**]. Disponible sur : <<http://www.eecg.toronto.edu/~vgaudet/fpaa/bibliography.html> > (consulté le 02/12/2001).
- [GG99] GAUDET V., GULAK G. 10 MHz Field Programmable Analog Array Based on CMOS Current Conveyors. **In** : Micronet Annual Workshop, Avril 1999, Ottawa, Ontario [**en ligne**]. Disponible sur : <<http://www.eecg.toronto.edu/~vgaudet/fpaa/bibliography.html>> (consulté le 02/12/2001).
- [GS98] GUNHEE HAN, SANCHEZ-SINENCIO E. CMOS transconductance multipliers: a tutorial. IEEE Transaction on Circuits and systems, décembre 1998, vol 45, pp. 1550-1563.
- [HPB98] HAMILTON A., PAPATHANASIOU K., BRANDTNER T. Palmo Field Programmable Mixed Signal Array Techniques: a Status Report. **In** : 5<sup>th</sup> Canadian Workshop on Field-Programmable Devices, juin 1998, Montréal, Canada [**en ligne**]. Disponible sur: <<http://www.ee.ed.ac.uk/~kap/>> (consulté le 02/12/2001).
- [HW98] HSIAO S., WU C. A parallel structure for CMOS four quadrant analog multiplier and its application to a 2 GHz RF downconversion mixer. IEEE Journal of Solid-State Circuit, juin 1998, vol 33, pp. 859-869.
- [LAT] Lattice semiconductor: Programmable Analog ICs Lattice: ispPAC devices [**en ligne**]. Disponible sur: <<http://www.latticesemi.com/products/ispPAC/index.cfm>> (consulté le 02/12/2001).

- [LH94] LIU S., HWANG Y. CMOS four quadrant multiplier using feedback techniques. IEEE Journal of Solid-State Circuit, juin 1994, vol 29, pp 750-752.
- [PC87] PENA-FINOL J., CONNELLY J. A MOS four quadrant analog using the quarter-square technique. IEEE Journal of Solid State Circuits, décembre 1987, vol.sc-22, pp. 1064-1073.
- [PDW89] PELGROM M.J.M., DUINMAIJER C.C.J., WELBERS P.J. Matching Properties of MOS Transistors. IEEE Journal of Solid-State Circuits, octobre 1989, vol. 24, n° 5, pp. 1433-1439.
- [PGA98] PREMONT C., GRISEL R., ABOUCHI N. et al. A Current Conveyor based Field Programmable Analog Array", Analog Integrated Circuits and Signal Processing, 1998, vol 17, pp. 105-124.
- [PGA99] PREMONT C., GRISEL R., ABOUCHI N. et al. A BiCMOS Current Conveyor Based Four-Quadrant Analog Multplier, Analog Integrated Circuits and Signal Processing, 1999, vol 19, pp. 159-162.
- [PP94] PIERZCHALA E., PERKOWSKI M. A. High Speed Field Programmable Analog Array Architecture Design. **In** : International Symposium on Field Programmable Gate Array FPGA Workshop, 1994, Berkeley. pp. 1-9.
- [PPG94] PIERZCHALA E., PERKOWSKI M. A., GRYGIEL S. A Field Programmable Analog Array for Continuous, Fuzzy, and Multi-Valued Logic Applications. **In**: 26<sup>th</sup> International Symposium on Multiple Valued Logic ISMVL, mai 1994, Boston, pp. 254-256.
- [PRE98] PREMONT C. Etude et conception d'un composant analogique programmable en technologie CMOS standard. Thèse CEGELY : INSA de Lyon, 1998, 195 p.

- [PS86] PARK C.S., SCHAUMANN R. A High-Frequency CMOS Linear Transconductance Element. IEEE Transaction on Circuits and systems, 1986, vol. CAS-33, pp. 1132-1138.
- [QES98] QUAN X., EMBABI S.H.K., SANCHEZ-SINENCIO E. A Current-Mode Based Field Programmable Analog Array Architecture for Signal Processing Applications. **In** : Custom Integrated Circuits Conference CICC, mai 1998, Santa Clara, Californie. pp.277-280.
- [RBC97] REZZI F., BASCHIROTTO A., CASTELLO R. A 3V 12-55 MHz BiCMOS Pseudo Differential Continuous-Time Filter. IEEE Transactions on circuits and systems- Fundamental theory and applications, novembre 1995, vol 42, n°11.
- [SID] SIDSA: FIPSOC [**en ligne**]. Disponible sur : <<http://www.sidsa.es/fipsoc.htm>> (consulté le 02/12/2001).
- [SK90] SONG H, KIM C. An MOS four quadrant analog multiplier using simple two-input squaring circuits with source followers. IEEE Journal of Solid State Circuit, juin 1990, vol 25, pp. 841-847.
- [SS68] SMITH K. C., SEDRA A. S. The Current Conveyor- A New Building Block. IEEE Proceedings, 1968, vol 56, pp. 1368-1369.
- [TSJ99] TIMOTHY EDWRADS R., STROHBEHN K., JASKULEK S. et al. Analog Module Architecture for Space-Qualified Field-Programmable Mixed-Signal Arrays. **In** : MAPLD Conference, Septembre 1999, Maryland [**en ligne**]. Disponible sur :

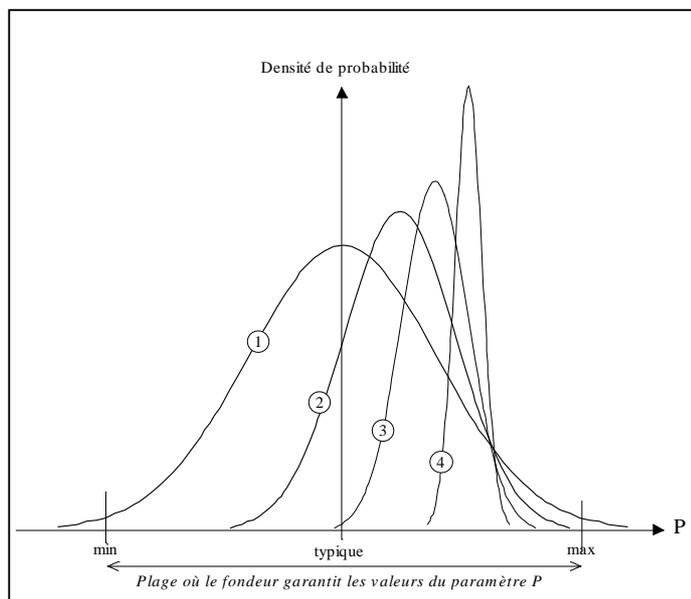
<<http://bach.ece.jhu.edu/~tim/research/fpaa/mapld/mapld.html>> (consulté le 02/12/2001).

[ZET] Zetex semiconductors: TRAC products [**en ligne**]. Disponible sur : <<http://www.zetex.com/> > (consulté le 02/12/2001).

**ANNEXE**

# DISPERSION DE PROCESS ET MATCHING

Quand on conçoit un circuit avec une technologie d'un fondeur, les valeurs des paramètres du process ne sont pas figées. Un process est caractérisé par la dispersion de ses paramètres qui généralement s'exprime par une loi Gaussienne (Figure 81) avec une valeur moyenne et un écart type.



**Figure 81 : Dispersion de process**

- ① distribution de lots à lots : courbe de dispersion du process
- ② distribution de wafers à wafers pour un lot donné
- ③ distribution de puces à puces pour un wafer donné
- ④ distribution de transistors à transistors (matching) pour une puce donnée

Le concepteur doit tenir compte de ces dispersions lors de la phase de conception d'un circuit. Pour cela, il dispose d'outils comme la simulation des corners et la simulation Monte-Carlo.

Un circuit comporte des composants de base tels que transistors NMOS, PMOS, résistances et capacités. Ces composants sont caractérisés par un ensemble de paramètres

(tension de seuil, épaisseur d'oxyde, mobilité, ...). La simulation des corners utilise trois jeux de paramètres par composant qui tiennent compte des dispersions du process. Un jeu de paramètres se situe vers les valeurs min, un autre vers les valeurs max et le dernier prend les valeurs typiques. La simulation des corners permet d'effectuer des combinaisons de ces jeux de paramètres pour chaque composant. Par exemple, la simulation des corners n°1 va utiliser les jeux des paramètres typiques pour tous les composants du circuit. La simulation n°2 se servira des valeurs min pour les transistors NMOS et des valeurs typiques pour les autres composants du circuit. Dans ce cas là, tous les transistors NMOS auront les mêmes paramètres. Ce type de simulation ne prend donc pas en compte la dispersion de transistors à transistors appelée « mismatching » (décrite par la courbe n°4).

Pour tenir compte de ce phénomène, on utilise la simulation Monte-Carlo. Cette dernière implique un nombre important de simulation caractérisant de façon statistique les performances d'un circuit compte tenu des variations de process et des « mismatch ». Ainsi, elle permet d'estimer le rendement de conception d'un circuit qui se définit par le rapport entre le nombre de simulations donnant des résultats conformes aux spécifications et le nombre total de simulations. Lors d'une simulation Monte Carlo, on définit le nombre total de simulation que l'on veut faire et le type d'analyse statistique que l'on souhaite. Il existe trois types d'analyse : une qui prend en compte les variations de process, une autre qui prend en compte les « mismatch » et la dernière qui prend en compte des deux phénomènes à la fois. C'est ce dernier type d'analyse qui permet d'avoir une estimation du rendement (Figure 82). La simulation Monte-Carlo tire au hasard des valeurs de paramètres se situant sur la courbe n°4 et les applique de façon aléatoire aux composants du circuit. Elle répète cette opération autant de fois que le nombre total de simulation spécifié.

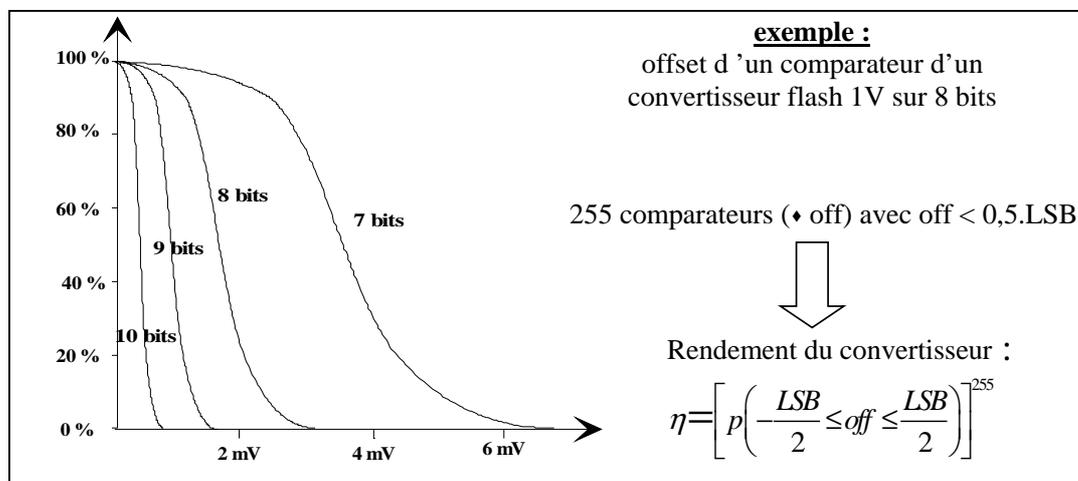


Figure 82 : Rendement d'un convertisseur flash 1V sur 8 bits

## 1. Dispersion de process

Les dispersions de process sont dues aux variations des réglages des machines (implantation, recuits, dépôts, etc, ...). Elles se traduisent sur tout le wafer, par exemple, par des variations d'épaisseur d'oxyde, de niveau de dopage, de la mobilité des porteurs ainsi que des variations de dimensions et de température. Ces variations ont des incidences différentes (Figure 83) sur les performances des circuits selon que l'on se situe au niveau wafer ou au niveau puce.

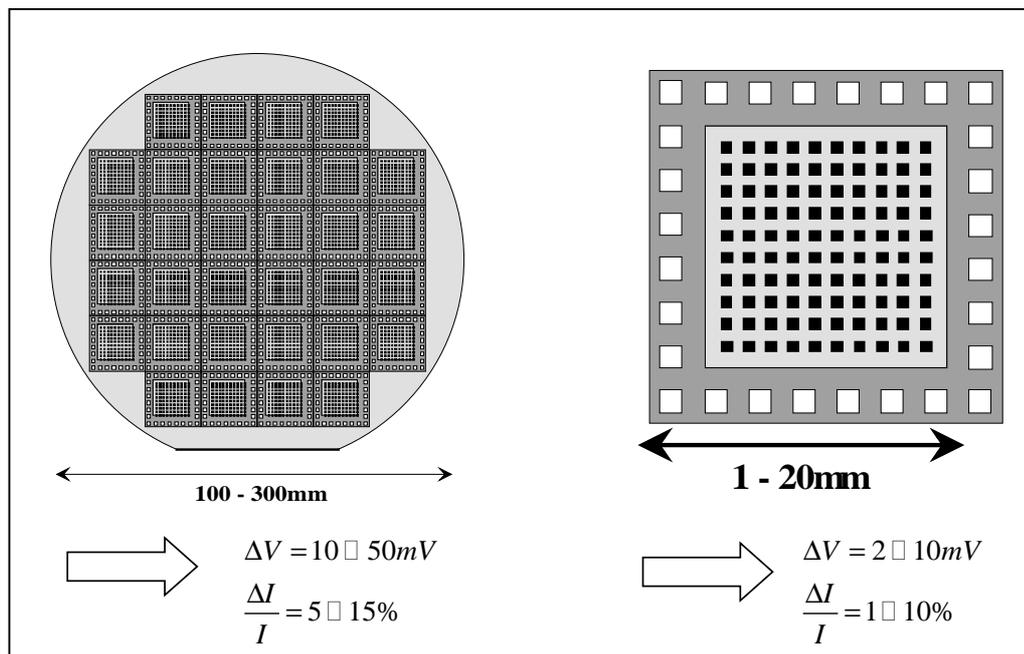


Figure 83 : Incidences dues aux dispersions de process

Le Tableau 13 donne quelques variations de paramètres.

PARAMETER	SYMBOL	MIN	TYPICAL VALUE	MAX	UNITS
tension de seuil (NMOS)	V <sub>thn</sub>	0,558	0,565	0,572	V
tension de seuil (PMOS)	V <sub>thp</sub>	0,51	0,53	0,55	V
mobilité des électrons	$\mu_n$				cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup>
mobilité des trous	$\mu_p$				cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup>
épaisseur d'oxyde	t <sub>ox</sub>	4,5	4,7	4,9	nm
longueur de canal	L <sub>eff</sub>		0,14		$\mu$ m
largeur de canal	W <sub>eff</sub>				$\mu$ m

Tableau 13 : Variations de quelques paramètres

## 2. Matching entre composants

Le concepteur analogicien utilise souvent des structures tels que miroir de courant , paire différentielle, ... qui sont basées sur le matching (appariement) des composants pour obtenir des performances optimales. Le « mismatch » entre deux composants (transistors, résistance ou capacités) est la non égalité de paramètres indépendants du temps. Il existe deux sources de « mismatch » qui sont dues :

➤ à des variations globales : gradient de l'épaisseur d'oxyde, gradient de l'épaisseur du Polysilicium, qui ont pour effet d'introduire des offsets systématiques que l'on peut éliminer avec des techniques de layout appropriées.

➤ à des variations locales : charges piégées sous l'oxyde, granularité d'oxyde, états d'interface qui impliquent des offsets aléatoires qu'il est impossible d'éliminer.

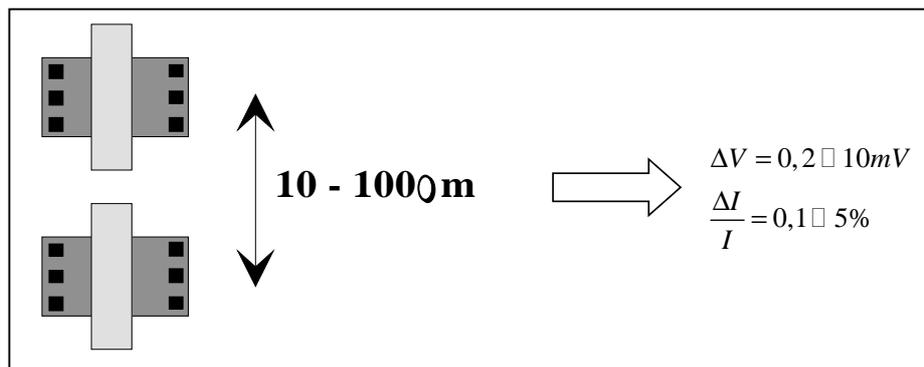


Figure 84 : Incidences dues au « mismatch »

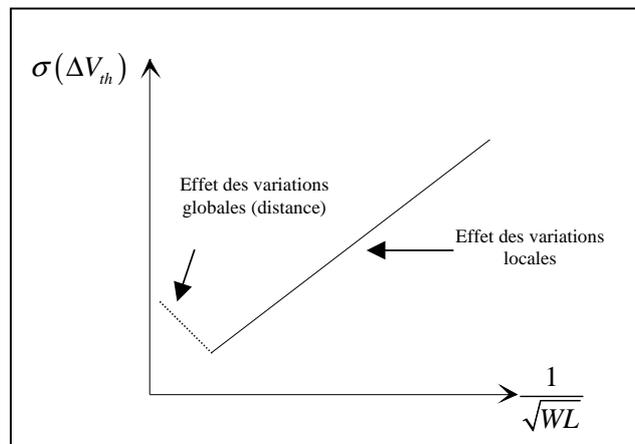
Marcel Pelgrom, dans son article [21], a modélisé ces deux phénomènes par la loi suivante :

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p \cdot D^2$$

L'écart type de la variation d'un paramètre entre deux composants est égal à la valeur rms (root mean square) de deux termes. Le premier terme  $\frac{A_p^2}{WL}$  modélise les variations locales alors que le deuxième  $S_p \cdot D^2$  modélise les variations globales.

Les variations locales dépendent donc de la taille des composants (WL) tandis que les variations globales dépendent de la distance D entre les composants. Cette distance D correspond à la distance entre les deux barycentres des composants. Plus les composants sont

de grande taille, meilleure est le matching à condition que le terme dépendant de la distance ne devienne pas prépondérant.



**Figure 85 : Ecart type du paramètre tension de seuil par rapport à l'inverse de la racine carrée de la taille**

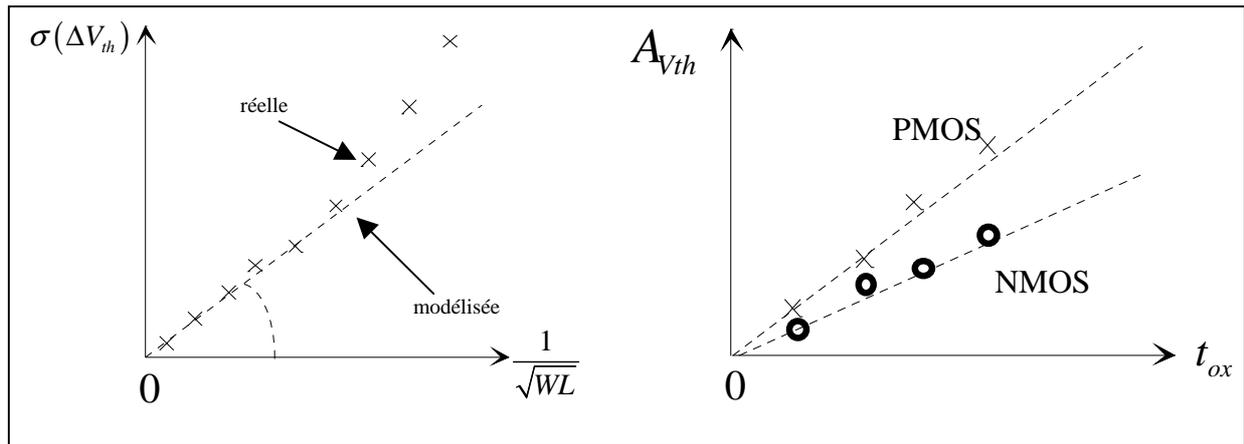
Le Tableau 14 donne des ordres de grandeurs des valeurs  $A_P$  et  $S_P$  pour trois paramètres.

PARAMETER	TYPICAL VALUE
$A_{vt}$	$10^{-4} \text{ mV} \cdot \mu\text{m}$
$S_{vt}$	$10^{-2} \text{ V} / \mu\text{m}$
$A_{\Omega}$	$10^{-2} \%$
$S_{\Omega}$	$10^{-2} \%$
$A_k$	$10^{-4} \text{ mV}^{0.5} \cdot \mu\text{m}$

**Tableau 14 : Ordre de grandeur des valeurs  $A_P$  et  $S_P$  de la loi de Pelgrom**

Le paramètre  $V_T$  est la tension de seuil d'un transistor, le paramètre  $\beta$  est égal à  $\mu C_{ox}$  et le paramètre  $K$  est le paramètre qui est défini dans l'expression de la tension de seuil quand il y a un effet de substrat :  $V_{th} = V_{th0} + K \left( \sqrt{\phi_B + V_{SB}} - \sqrt{\phi_B} \right)$ .

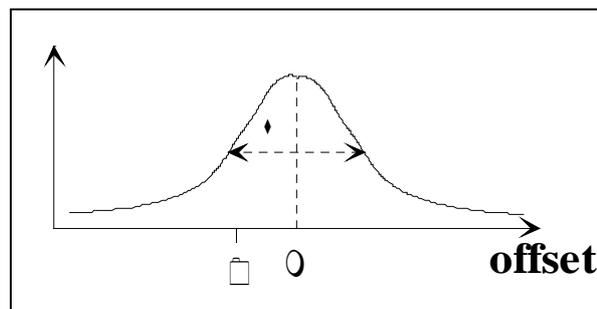
Concernant les variations locales, la Figure 86 montre qu'il existe un problème de modélisation pour les petits transistors. Elle montre aussi que les transistors NMOS s'appartient mieux que les PMOS. Enfin, plus la technologie est fine, plus petite est la valeur  $A_{vth}$ , ce qui veut dire que le « matching » est meilleur.



**Figure 86** Variation du facteur  $A_{vth}$  en fonction de l'épaisseur d'oxyde

L'offset d'une paire différentielle est donc dû :

- aux variations globales qui engendrent un offset systématique  $\mu$  dont la valeur augmente si la taille des transistors de la paire différentielle augmente ou alors si on éloigne les deux transistors en conservant le même W/L. Cet offset peut être éliminé par des techniques de layout.
- aux variations locales qui impliquent un offset aléatoire dont la valeur diminue si la taille des transistors augmente. Cet offset ne peut pas s'éliminer et caractérise l'offset final de la paire différentielle si l'offset systématique a été supprimé.



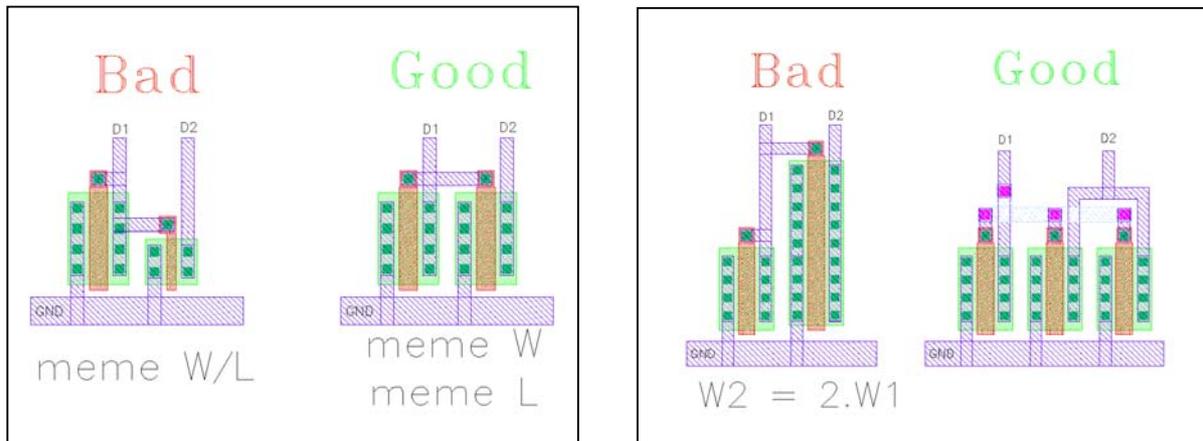
**Figure 87** :Offset d'une paire différentielle

La simulation Monte-Carlo ne prend en compte que les « mismatch » dus aux variations locales car elle ne peut pas connaître la distance  $D$  qui existe entre les composants. Cette distance n'est connue qu'après la phase de layout du circuit.

### 3. Techniques de layout

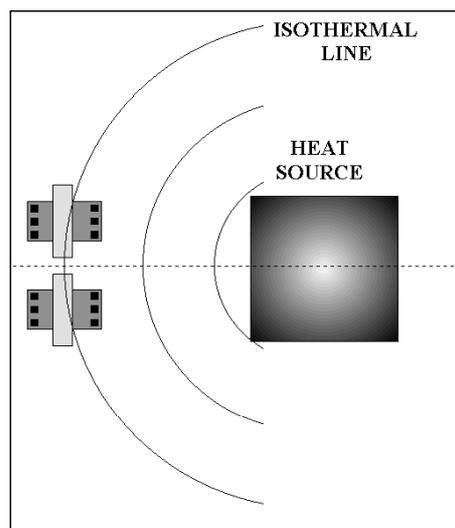
La phase de layout est la phase la plus critique dans la conception d'un circuit car elle définit l'implémentation réelle du circuit sur le Silicium. Pour appairer deux composants entre eux, des techniques de layout existent.

#### 3.1 Règle n°1 : même motif



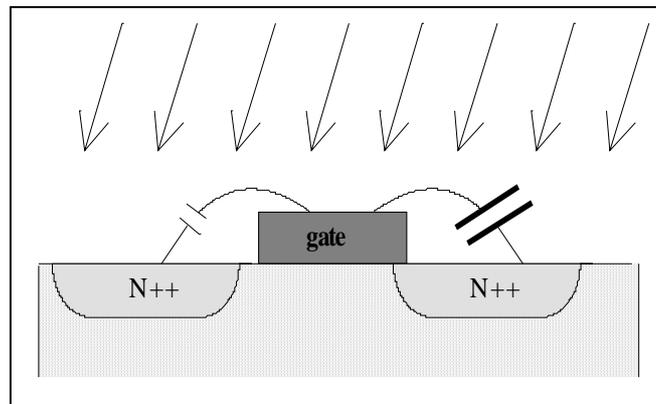
Seuls des motifs identiques qui se répètent peuvent s'appairer de façon convenable.

#### 3.2 Règle n°2 : même température

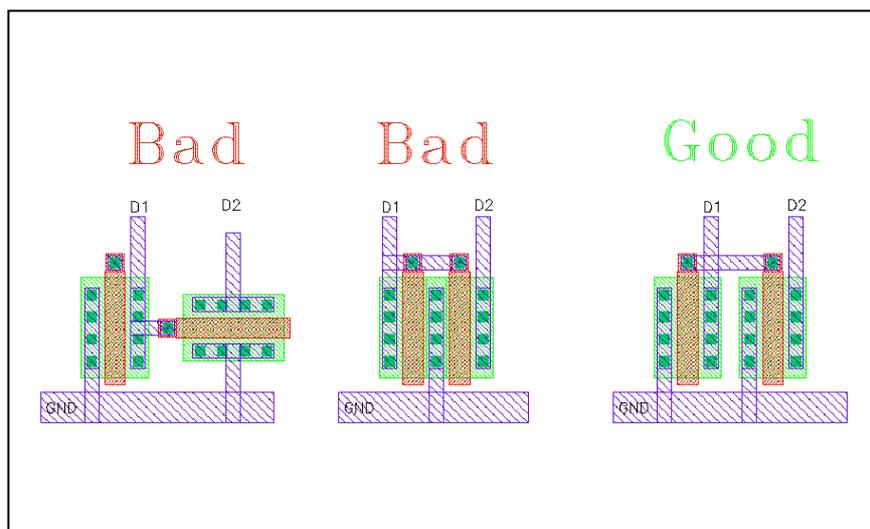


Il faut placer les composants sur une isotherme.

### 3.3 Règle n°3 : même orientation

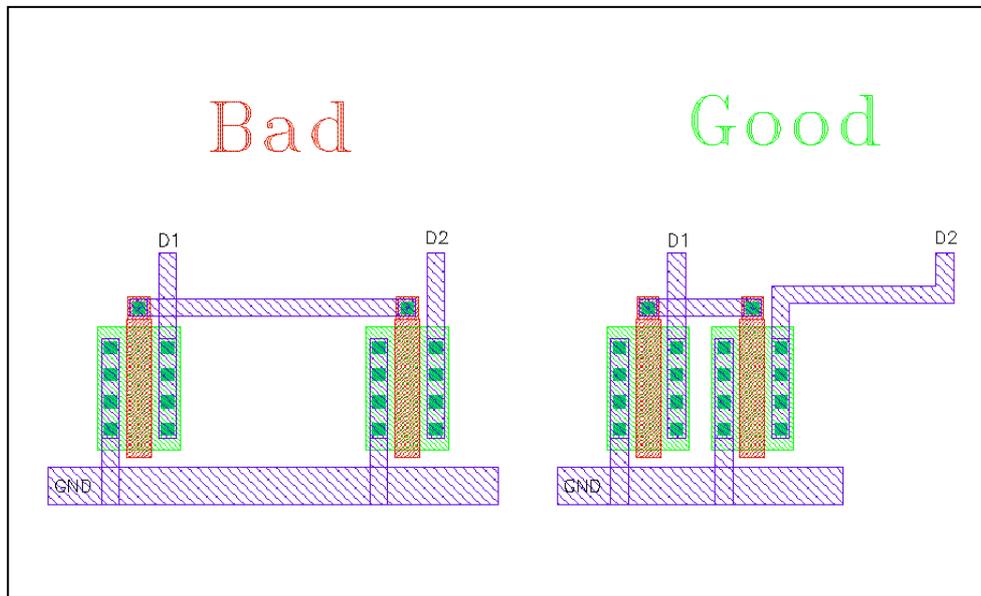


L'implantation des zones de drain et de source se fait avec un angle pour éviter la canalisation des dopants dans le réseau cristallin. Il en résulte que le drain et la source ne sont plus symétriques : il existe un effet d'ombre à cause de la grille.



Les courants doivent circuler dans le même sens dans les deux composants qui doivent être appariés.

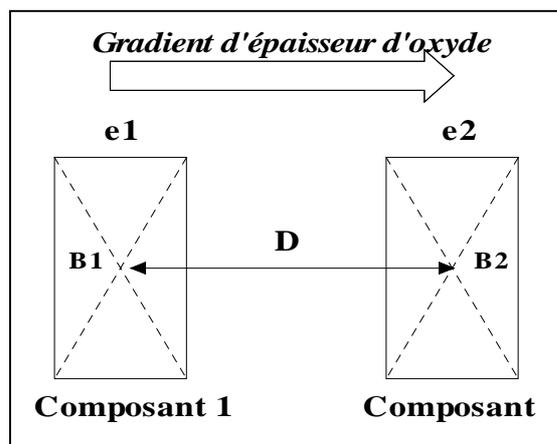
### 3.4 Règle n°4 : minimiser les distances



La loi de Pelgrom montre l'influence de la distance.

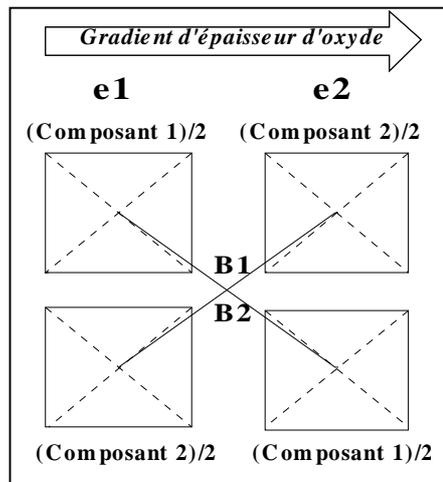
### 3.5 Règle n°5 : Centroïde commune

Pour éliminer toute variation due à l'effet de la distance (par exemple variation de l'épaisseur d'oxyde) sur une paire différentielle M1 et M2, on construit une centroïde commune qui permet d'annuler la distance entre les deux barycentres des composants.

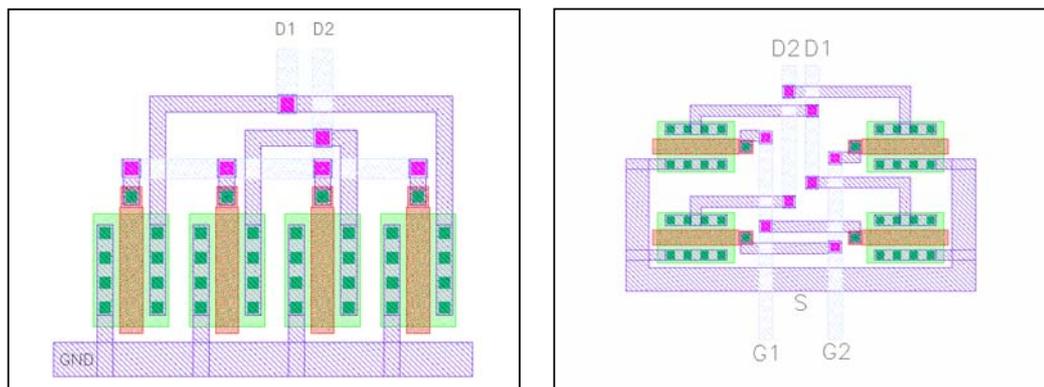


avec B1, B2 barycentre des deux composants et e1, e2 épaisseurs d'oxyde respectives pour le composant 1 et 2

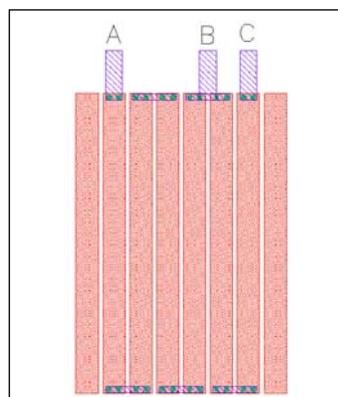
La centroïde commune scinde le composant 1 et 2 en deux de la manière suivante :



L'effet de la distance est annulé. Les composants 1 et 2 voient la même variation d'épaisseur d'oxyde contrairement au layout précédent.



### 3.6 Règle n°6 : même environnement



Les composants identiques doivent avoir le même voisinage pour éviter la sur-gravure. On utilise pour cela des structures factices (dummy device) qui n'ont aucune signification électrique.